



## SISTEMAS DIGITALES I

SEGUNDA EVALUACIÓN

I TÉRMINO 2011-2012

31 de Agosto del 2011

NOMBRE : \_\_\_\_\_

PARALELO : \_\_\_

### PROBLEMA # 1 (24 p)

Diseñe un circuito digital que calcule el peso a tarifar para envío de paquetes. Para este fin el circuito ejecutará dos ajustes, uno dependiendo del tipo de carga y otro dependiendo si el cliente tiene descuento.

El circuito recibe las siguientes señales de entrada:

- Paquete.H, que al ser verdadera (H) significa que hay un paquete presente.
- Peso (de 4 bits), que en binario indica la cantidad de Kg que tiene de peso el paquete
- Descuento.H que al ser verdadera (H) significa que el usuario tiene descuento de peso.

Si el paquete pesa menos de 6Kg se considera carga ligera, si pesa entre 6 y 10Kg se considera carga mediana y si pesa más de 10Kg se considera carga pesada.

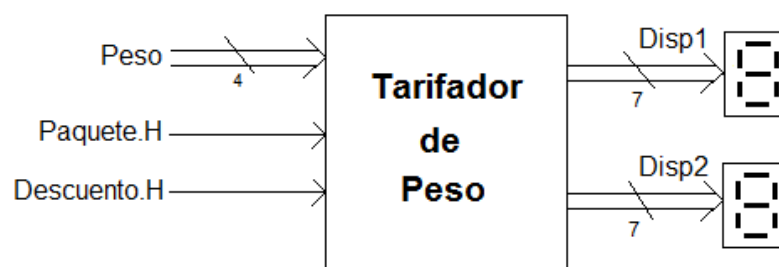
Si hay un paquete presente el circuito debe detectar el tipo de carga (ligera, mediana o pesada) y de acuerdo a ello sumarle el peso base en Kg, esto es: le suma 2Kg si la carga es ligera, 6Kg si la carga es mediana o 12Kg si la carga es pesada.

Ahora este valor preliminar debe ser nuevamente ajustado de la siguiente manera:

- Si no tiene descuento la salida Total debe ser igual al valor preliminar
- Si tiene descuento y el valor preliminar es menor a 15Kg, el valor total se hace igual a 10Kg.

En dos displays de 7 segmentos se debe mostrar el valor Total ajustado

Todo lo anterior se ejecuta siempre que haya un paquete presente, en caso contrario la salida Total permanece en cero.

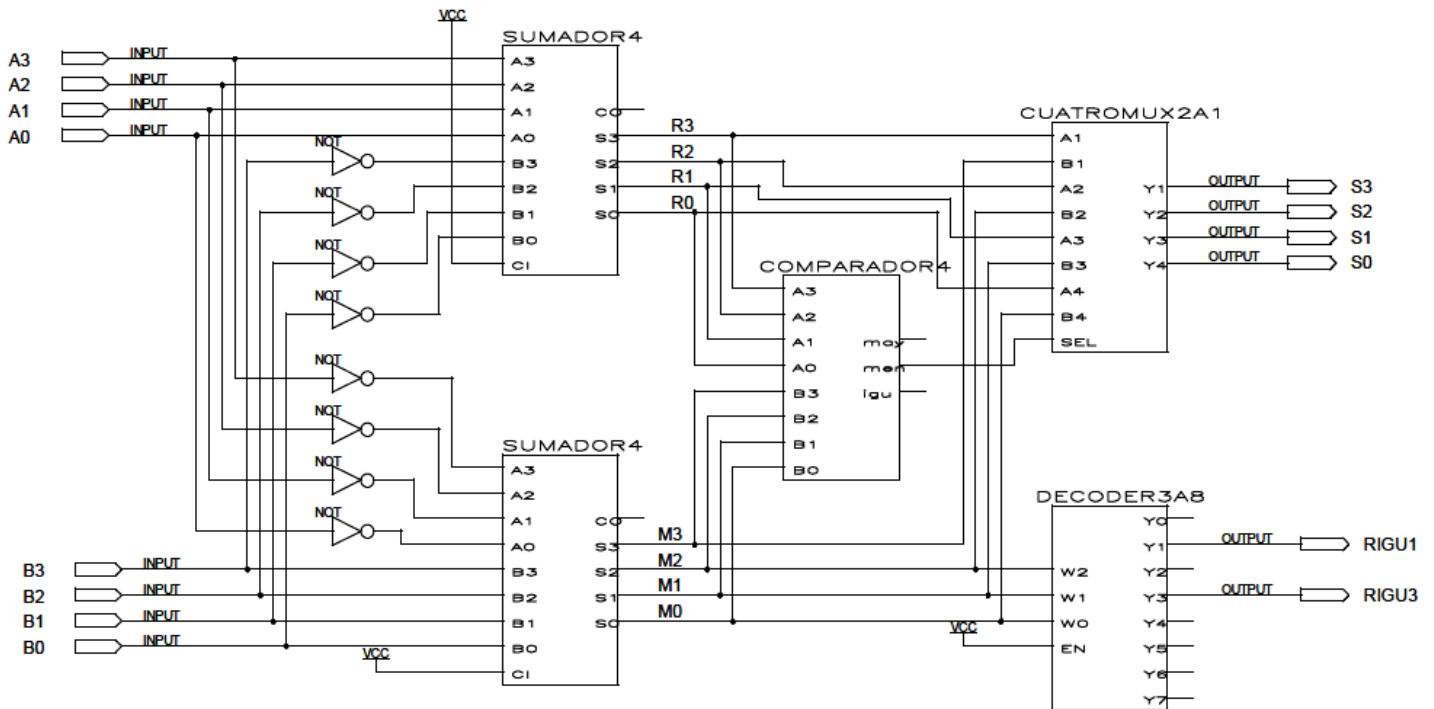


Presentar:

- a) El diagrama de bloques del calculador de peso, mostrando claramente la función que realiza cada bloque. (5p)
- b) La implementación completa del circuito, utilizando circuitos integrados MSI y puertas adicionales. Indique claramente las conexiones, nombre de las señales y de los integrados usados (**no trabajar con buses de datos**). (19p)

**PROBLEMA # 2 (23 p)**

A continuación se muestra la implementación de un circuito digital diseñado con componentes MSI y puertas adicionales

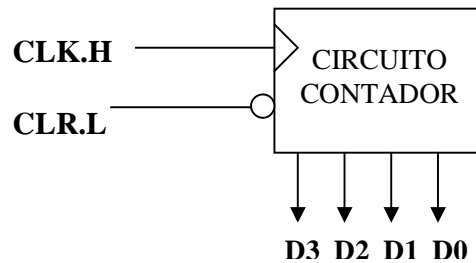


- Escriba el código VHDL del subcircuito **DECODER3A8** mostrado. (5p)
- Suponga que en una carpeta de trabajo dispone de los programas **SUMADOR4.VHD**, **COMPARADOR4.VHD** y **CUATROMUX2A1.VHD**, que contienen la descripción VHDL de los correspondientes elementos mostrados. Cree en VHDL un paquete llamado **ELEMENTOS** que incluya los dos circuitos indicados más el MUX descrito en el literal anterior. Para declarar entradas y salidas, asuma un orden de señales similar al mostrado en el gráfico, esto es: entradas desde la izquierda y de arriba hacia abajo y salidas a la derecha. (5p)
- Usando el paquete anterior y las descripciones **RTL** y **ESTRUCTURAL** (o lógica), escriba un programa en VHDL para implementar completamente el circuito mostrado. Note que **no dispone de subcomponentes para las puertas lógicas básicas** (13p).

**PROBLEMA # 3 (23 p)**

Diseñar e implementar un circuito secuencial síncrono, que opere como un contador utilizando el registro universal 74194. El circuito digital recibe una señal de reloj CLK y la señal de borrado CLR y tiene cuatro salidas (D3, D2, D1 y D0) de lógica positiva. La secuencia de conteo es:

D3	D2	D1	D0
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0



Presente:

- Diseño del Circuito Contador usando registro universal 74194, puertas lógicas y circuitos MSI adicionales (de ser necesario). (13p)
- Programa en VHDL del Contador Down usando la descripción comportamental o algorítmica. (10p)