



SISTEMAS DIGITALES II

TERCERA EVALUACIÓN

II TÉRMINO 2011-2012

15 de Febrero del 2012

NOMBRE : _____

PARALELO : _____

PROBLEMA # 1 (32 p)

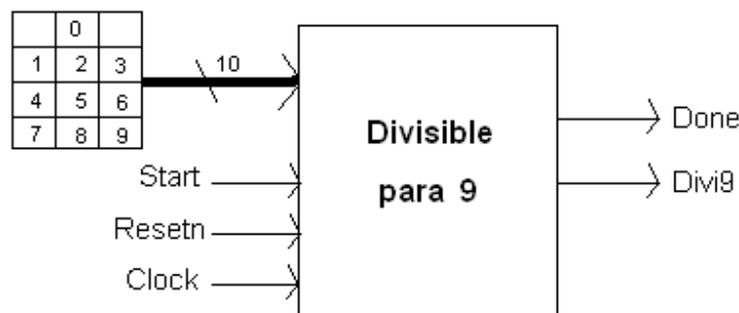
Diseñe un pequeño Sistema Digital, que permita detectar si un **número es Divisible para nueve**.

Inicialmente el sistema debe recibir la señal **Start**, luego de lo cual queda esperando el número. Ahora el usuario debe ingresar por medio de un teclado decimal, un número de tres dígitos, dígito por dígito empezando por centenas, luego decenas y finalmente unidades.

El sistema debe sumar las tres cifras del número. Si el resultado es mayor que 9, debe nuevamente sumar sus cifras hasta obtener un número de un solo dígito. Si este es el número 9, la cantidad original si es divisible para nueve.

Ejemplo : Si el número es 117, al sumar las cifras se tiene $1+1+7=9$ y por lo tanto el número original si es divisible para nueve

Ahora se debe activar la salida **Done** y si el número fue divisible para nueve, también se debe activar la salida **Divi9**. Ambas salidas deben permanecer activadas mientras la señal **Start** continúe siendo verdadera, luego de lo cual el sistema regresa al estado inicial en espera de un nuevo número.

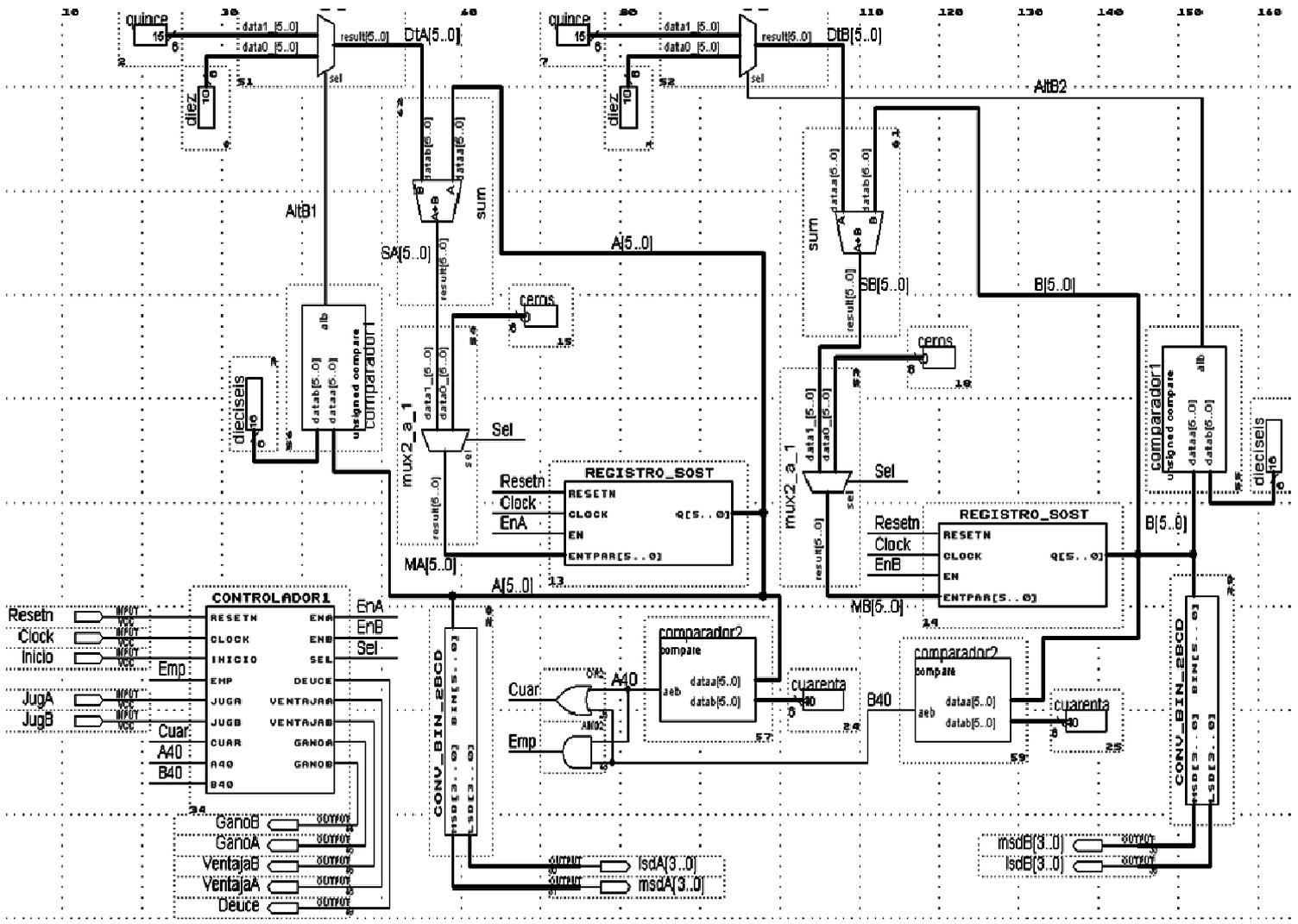


Presente:

1. **Diagrama ASM** del circuito **Controlador** debidamente documentada. (indicar todos las entradas y salidas) (16/32)
2. **Partición Funcional** (16/32)

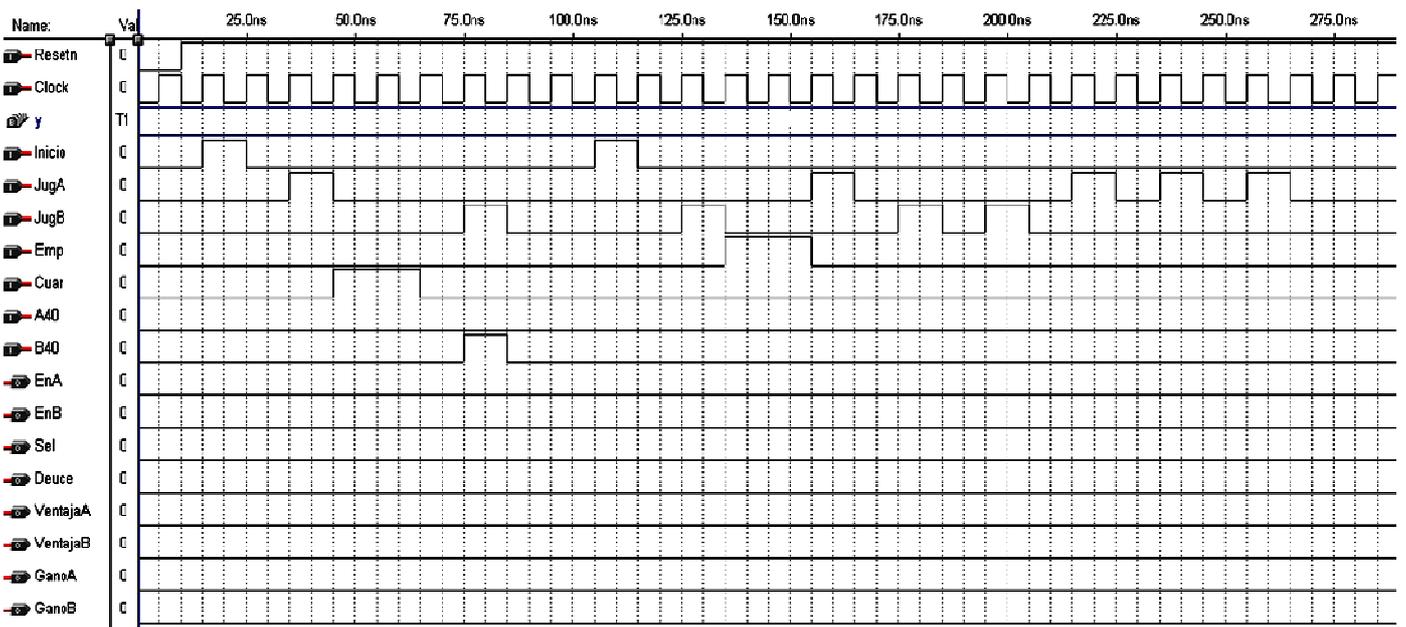
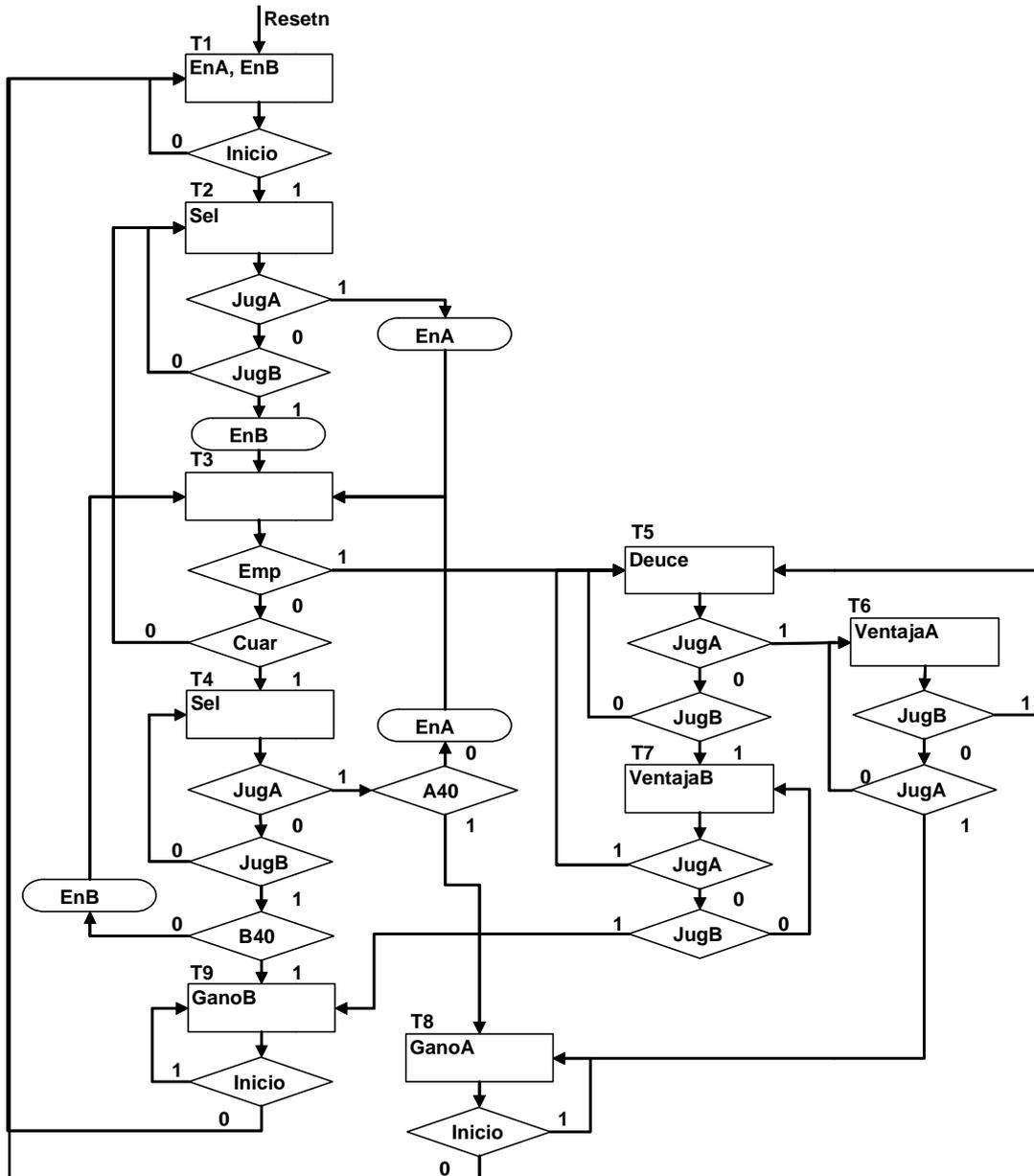
PROBLEMA # 2 (36 p)

Para el siguiente Sistema Digital, se muestran la **Partición Funcional** y el **Diagrama ASM** del circuito Controlador.



Presente:

1. Descripción del Sistema en un solo programa en **VHDL** usando las declaraciones **process – case** para describir las Transiciones de Estados y las Salidas del **Controlador**, y la **architecture mixta** para la **Partición Funcional**. Asuma que dispone de archivos **.vhd** en la misma carpeta de Trabajo para **Registro_sost** y **Conv_bin_2bcd** que forman parte del Sistema Digital. El circuito **Controlador**, **Muxs**, **Sumadores**, **Comparadores** y las **puertas lógicas** deben ser descritos dentro de **architecture**. Así mismo suponga que el orden de las entradas en la declaración **port** de los sub-circuitos es similar (de izquierda a derecha y de arriba abajo) al del Diagrama Esquemático presentado.
2. Grafique los **Diagramas de Tiempo** del circuito **Controlador** asumiendo las condiciones de entrada dadas. Indique claramente los intervalos de tiempo que corresponden a cada estado (y).



PROBLEMA # 3 (32 p)

Diseñar en modo Fundamental una **MSA** (Maquina Secuencial Asincrónica) que tiene dos entradas **X1** y **X2** y una salida **Out**.

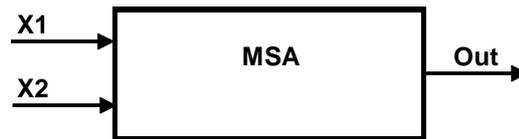
Inicialmente **X1 = X2 = 0** y **Out = 0**.

Cuando las entradas cambien **X1 X2 → 00 – 01 – 11** la salida **Out** se hace igual a **1**.

La salida **Out** se mantiene igual a **1** hasta que las entradas detectan la secuencia

X1 X2 → 11 – 10 – 00.

Entonces la **MSA** regresa al estado inicial.



Presentar:

1. Diagrama de Estados Primitivo (Formato: **X1 X2 / Out**). Mapa de Estados Primitivo. Tabla de Implicantes.
2. Diagrama de Estados Reducida. Mapa de asignación de Código de Estados.
3. Mapa de Excitación. Mapas para las salidas **Y1** y **Y0** y para la salida **Out**.
4. Diagrama de tiempo para la salida **Out** asumiendo valores de las entradas **X1** y **X2** dados. Indica claramente los periodos de tiempo correspondiente a cada estado de su Diagrama de Estados Reducido.
5. Indica si su circuito corre riesgo de tener los **Hazard Estáticos** o no. ¿Como se puede evitar?

