

ESCUELA SUPERIOR POLITECNICA DEL LITORAL

FACULTAD DE INGENIERIA EN ELECTRICIDAD Y COMPUTACION

SISTEMAS DIGITALES I

EXAMEN DE SEGUNDA EVALUACION

NOMBRE

PARALELO

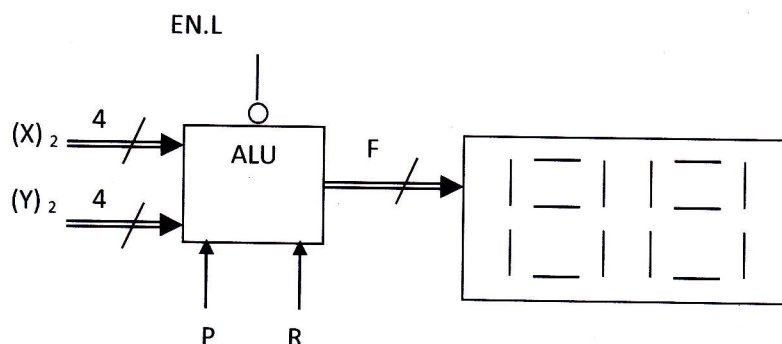
FECHA

PROBLEMA # 1 (25 puntos)

Realice el diseño modular de una unidad aritmética y lógica (ALU) que efectúe las siguientes operaciones:

CÓDIGO DE LA OPERACIÓN	OPERACIÓN
P R	F
0 0	$(X - Y)_{NBCD}$
0 1	$(X + Y)_{NBCD}$
1 0	$(Y * 2)_{NBCD}$
1 1	$(X / 2)_{XS3}$

Las entradas X y Y son números binarios de 4 bits. Las entradas P y R son controles de la ALU que seleccionan la operación que se realizará. La salida F se presentará en varios displays. La entrada EN.L es de habilitación, por lo que cuando EN.L=L la ALU funciona y se muestra la información de F en los display. Cuando EN.L =H en los display se muestra todo en cero.

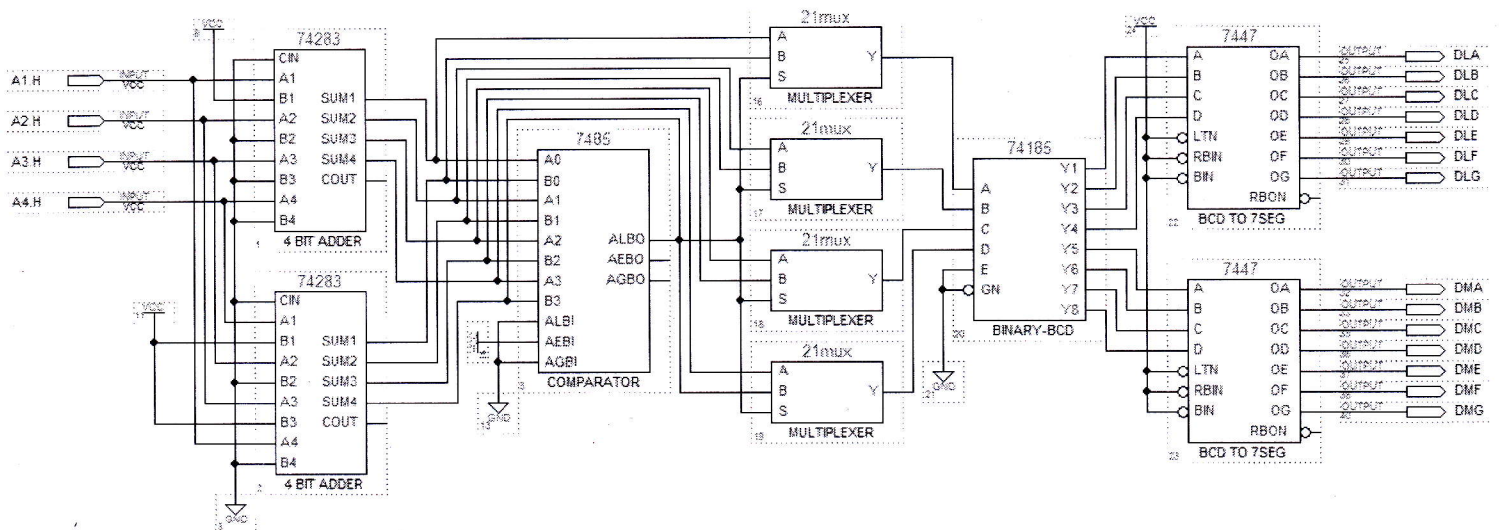


Presentar:

- 5 a) El diagrama de bloques de la ALU, mostrando claramente la función que realiza cada bloque.
- 20 b) La implementación completa del circuito, utilizando circuitos integrados MSI y puertas adicionales. Indique claramente las conexiones, nombre de las señales y de los integrados usados.

PROBLEMA #2:

A continuación se muestra la implementación de un Circuito Digital diseñado con componentes MSI y puertas adicionales:



- 9 a) Presente el código en VHDL del sub-circuito "MULTIPLEXOT 2 a 1" mostrado. Sabiendo que si $S=0$, la salida "Y" es igual a "A" y si $S=1$, la salida "Y" es igual a "B".
- 9 b) Considere que en una carpeta de trabajo con su nombre dispone de los programas "4_BIT_ADDER.VHD", "COMPARADOR.VHD", "BINARY_BCD.VHD" y "BCD_TO_7_SEG.VHD" que incluyen la descripción de VHDL de los respectivos circuitos mostrados. Cree en VHDL un paquete llamado "MISCIRCUITOS" que incluya los circuitos indicados mas el multiplexor del literal anterior. Para declarar las entradas y salidas, asuma un orden de señales similar al mostrado en el gráfico, esto es: Entradas a la izquierda comenzando de arriba hacia abajo y salidas a la derecha, ordenadas de arriba hacia abajo.
- 7 c) Usando el paquete implementado en el literal anterior, escriba la descripción en VHDL (Estructural/Lógica) del circuito completo.

PROBLEMA #3:

Suponga que dispone de un Flip Flop "HM" cuya tabla característica se adjunta.

H	M	Q _n	Q _{n+1}	
0	0	0	1	INVIERTE
0	0	1	0	
0	1	0	0	RESET
0	1	1	0	
1	0	0	0	MANTIENE
1	0	1	1	
1	1	0	1	SET
1	1	1	1	

Presentar:

- 7 a) Tabla completa de Diseño del FF deseado.
- 7 b) Minimizar e implementar.
- 6 c) Convierta el Flip Flop "HM" en un Flip Flop "JK"