

# **ESCUELA SUPERIOR POLITÉCNICA DEL LITORAL**

## **Facultad de Ingeniería en Electricidad y Computación**

Modernización de la tarjeta generadora de voltajes de referencia del banco de pruebas de misiles para buques de la Armada del Ecuador

### **PROYECTO INTEGRADOR**

Previo la obtención del Título de:

**Ingeniero en Electricidad especialización Electrónica y  
Automatización Industrial**

PRESENTADO POR:

Henry Steven Arana Clemente

Carlos Manuel Yagual Robles

GUAYAQUIL - ECUADOR

Año: 2018

## DEDICATORIA

En el transcurso de estos últimos seis años he dedicado días y noches enteras en este largo camino que esta por culminar, camino lleno de conocimientos, aprendizaje y experiencia que dejaron buenas lecciones de vida, pero sobre todo de personas maravillosas a las que siempre llevo presente. Dedico este proyecto de titulación a *Ruth Jaqueline Clemente De La Cruz* y *Henry Segundo Arana Rodríguez* como mérito al sacrificio en la difícil tarea de ser padres comprometidos en la lucha incesante del bienestar y futuro para sus hijos, a mis hermanos, mi familia entera y amigos por sus palabras de aliento y en especial a todos los jóvenes que un día partieron de sus hogares y se enfrentaron a lo desconocido lleno de ilusiones, sueños, metas y pese a todo obstáculo no doblegaron hasta cumplir sus ideales.

*Henry Steven Arana Clemente*

## DEDICATORIA

Este proyecto se lo dedico a mis padres *Carlos Yagual Ríos* y *Martha Robles Morejón* por ser pilar fundamental de mis estudios por confiar en mí en cada momento de mi etapa estudiantil, se lo dedico a mis hermanos *Hugo* y *Martha* por ser parte de mi vida universitaria por acompañarme en todos estos años de estudios y a mi enamorada *María Esther* por enseñarme a no rendirme y ser inspiración para alcanzar mis metas, sin ellos no hubiera llegado tan lejos.

*Carlos Manuel Yagual Robles.*

## AGRADECIMIENTOS

A Dios por brindarme el privilegio de vivir y forjar una vida llena de conocimiento, a la Armada del Ecuador en especial al personal de DINDES por confiar en mi trabajo y conocimientos de ingeniería para resolver el problema que se plantea en este proyecto integrador.

*Henry Steven Arana Clemente.*

Agradezco a Dios por llevarme de la mano a una vida llena de fe y sacrificio, motivos principales para formarme como persona de bien y con buenas aspiraciones, a mi familia por el apoyo incondicional a lo largo de mi carrera, a la Armada del Ecuador y a los ingenieros de DINDES por permitirme formar parte de sus proyectos y confiar en mi trabajo.

*Carlos Manuel Yagual Robles.*

## DECLARACIÓN EXPRESA

“Los derechos de titularidad y explotación, nos corresponde conforme al reglamento de propiedad intelectual de la institución; *Henry Steven Arana Clemente* y *Carlos Manuel Yagual Robles* damos nuestro consentimiento para que la ESPOL realice la comunicación pública de la obra por cualquier medio con el fin de promover la consulta, difusión y uso público de la producción intelectual”

---

Arana Clemente Henry Steven

---

Yagual Robles Carlos Manuel

# EVALUADORES

**Ing. Carolina Godoy**  
PROFESOR DE LA MATERIA

**Ing. Lisbeth Mena**  
PROFESOR TUTOR

## RESUMEN

En el presente proyecto integrador se presenta la solución al problema presente en el módulo ETA-100 del Rack de Unión del Banco de Control Automático, la solución consiste en reemplazar tecnología obsoleta por tecnología de vanguardia aplicada al diseño de placas electrónicas que cumplan las mismas funcionalidades que el módulo original, pero con señales que se caractericen por su precisión, ausencia de ruido y que garanticen la ejecución exitosa de las pruebas de diagnóstico de los misiles.

El documento se divide en cuatro capítulos:

**Capítulo 1:** Se describe detalladamente el problema inicial con su justificación, además de los objetivos que se cubren en el proyecto y un marco teórico donde se menciona el uso de la electrónica en armas militares y varias aplicaciones de filtros activos.

**Capítulo 2:** Se describen brevemente los métodos utilizados en el proyecto detallando todos los circuitos electrónicos diseñados y dimensionados en Pspice y Proteus.

**Capítulo 3:** En esta sección se presenta el diseño final de las tarjetas T1 y T2 con cada señal obtenida en los módulos de referencias, también se presenta el resultado del análisis de costo del proyecto con la simulación en Labview donde se muestran los efectos de las señales en las pruebas de diagnóstico.

**Capítulo 4:** Finalmente se presentan las conclusiones donde se menciona la importancia y confiabilidad de los diseños presentados como solución junto con una serie de recomendaciones para los trabajos de fabricación y futuros mantenimientos. Al final del documento se adjuntan todos los anexos considerados idóneos para la comprensión y verificación de las diversas secciones del proyecto en las que se citan.

**Palabras Clave:** filtro, frecuencia, precisión, generación, placas.

## **ABSTRACT**

*This project shows the solution to the problem present in the ETA-100 module of the BCA Union Rack, the solution is to replace obsolete technology with modern technology applied to the design of the electronic boards that fulfill the same functions as the original module but with signals that is characterized by its accuracy, absence of noise and that guarantees the successful execution of diagnostic tests of the missiles.*

*The document is divided into four chapters:*

**Chapter 1:** *The initial problem is described in detail with its justification, in addition to the objectives that are covered in the project and a theoretical framework, where the use of weapon protection and active filter applications is used.*

**Chapter 2:** *The methods used in the project of the view were briefly selected for all electronic circuits designed and dimensioned in Pspice and Proteus.*

**Chapter 3:** *In this section we present the final design of the T1 and T2 cards with each signal obtained in the modules of the references, the result of the cost analysis of the project is also presented with the simulation in Labview where the effects of the signs in the diagnostic tests.*

**Chapter 4:** *Finally, the conclusions are presented, where the importance and reliability of the designs presented as a solution are mentioned along with a series of recommendations for the manufacturing and future maintenance work.*

*At the end of the document, all the annexes considered suitable for the understanding and verification of the different sections of the project in which they are mentioned are attached.*

**Keywords:** *filter, frequency, precision, generation, plates.*

# ÍNDICE GENERAL

RESUMEN.....	I
ABSTRACT .....	II
ÍNDICE GENERAL .....	III
ABREVIATURAS.....	V
SIMBOLOGÍA.....	VI
ÍNDICE DE FIGURAS .....	VII
ÍNDICE DE TABLAS.....	IX
CAPÍTULO 1.....	1
1. INTRODUCCIÓN .....	1
1.1 Descripción del Problema.....	1
1.2 Justificación.....	3
1.3 Objetivos .....	3
1.3.1 Objetivo General.....	3
1.3.2 Objetivos Específicos.....	3
1.4 Marco Teórico .....	4
1.4.1 La electrónica en el desarrollo de artillería militar .....	4
1.4.2 Filtros activos utilizados en aplicaciones electrónicas .....	5
CAPÍTULO 2.....	7
2 METODOLOGÍA.....	7
2.1 Métodos de diseño .....	7
2.1.1 Generación de señales de referencias AC .....	8
2.1.2 Amplificación de señales de referencias Ac.....	12
2.1.3 Generación de nivel alto (HL) .....	13
2.1.4 Regulación de señales de referencia DC.....	14
2.2 Métodos de Simulación y Programación .....	16

2.2.1	Diseño de etapas modulares de la tarjeta.....	16
2.2.2	Programación HMI .....	18
CAPÍTULO 3.....		26
3	RESULTADOS Y ANÁLISIS.....	26
3.1	Filtro pasa banda Sallen Key.....	26
3.2	Módulos de señales de referencia.....	27
3.2.1	Módulos de señales AC .....	27
3.2.2	Módulos de señales DC.....	29
3.2.3	Nivel lógico (HL).....	33
3.2.4	Módulo de señales cuadradas .....	34
3.3	Análisis de costos.....	36
3.3.1	Materiales .....	36
3.3.2	Costos de mano de obra.....	36
3.3.3	Inversión .....	37
3.4	Diseño final de tarjetas T1 y T2.....	38
3.5	Simulación pruebas de diagnóstico .....	40
3.5.1	Simulación del problema inicial.....	41
3.5.2	Simulación de la solución final.....	44
CAPÍTULO 4.....		47
4	CONCLUSIONES Y RECOMENDACIONES .....	47
4.1	CONCLUSIONES.....	47
4.2	RECOMENDACIONES .....	51
BIBLIOGRAFÍA.....		47
ANEXOS.....		48

## ABREVIATURAS

ESPOL	Escuela Superior Politécnica del Litoral
DINDES	Departamento de Investigación y Desarrollo
MM	Mar-Mar
ITL	Instalación de Tiro Ligero
BCA	Banco de Control Automático
ETA-100	Módulo generador de voltajes de referencia
TFQ	Índice de relación
HMI	Interfaz hombre máquina
ADAC	Auto Director Activo
FMCW	Frequency Modulated Continuous Wave
OP AMP	Operational Amplifier
CI	Circuitos Integrados
FPGA	Field Programmable Gate Array
DCM	Digital Clock Manager
HL	High Level
LCD	Liquid Cristal Display
T1	Tarjeta generadora de voltajes de referencia AC/DC
T2	Tarjeta generadora de ondas cuadradas
J1	Terminal del ETA-100

## SIMBOLOGÍA

$mV$	milivoltio
$\Omega$	ohmios
$\mu F$	microfaradios
$mH$	microhenrios
$Hz$	Hertz
$f_0$	Frecuencia central
$f_L$	Frecuencia de corte en baja
$f_H$	Frecuencia de corte en alta
$R$	Resistencia
$C$	Capacitancia
$L$	Inductancia
$A_0$	Ganancia en la banda pasante
$Q$	Factor de calidad
$B$	Ancho de banda
$\alpha$	Factor de amortiguamiento
$V_{RMS}$	Voltaje RMS
$V_{HL}$	Voltaje de nivel alto
$V_{OUT}$	Voltaje de salida
$V_{IN}$	Voltaje de entrada
$VAC$	Voltaje alterno
$VDC$	Voltaje continuo
$+VCC/-VCC$	Voltaje de polarización
$\overline{SQ}$	Inversor de onda cuadrada

## ÍNDICE DE FIGURAS

Figura 1.1 Señal de -0.100 V con presencia de ruido.....	2
Figura 1.2 Diagrama de etapas del prototipo de audífono [8].....	6
Figura 2.1 Diagrama de bloques del módulo generador de señales de referencia.....	7
Figura 2.2 Filtro activo pasa banda topología Sallen Key [9].....	9
Figura 2.3 Respuesta de frecuencia del filtro de segundo orden en función de Q[10] .....	11
Figura 2.4 Contenido armónico de una onda cuadrada [12].....	12
Figura 2.5 Amplificador no inversor [9] .....	12
Figura 2.6 Generador de HL.....	13
Figura 2.7 Convertidor DC-DC elevador XL6009 .....	15
Figura 2.8 Amplificador inversor .....	15
Figura 2.9 Placa individual (entradas y salidas) .....	17
Figura 2.10 Placa madre (orificios de conexión de las entradas y salidas) .....	17
Figura 2.11 Placa madre (divisores de voltaje, entradas y salidas de alimentación) .....	18
Figura 2.12 Arquitectura del proyecto.....	19
Figura 2.13 Estructura genérica de programación.....	20
Figura 2.14 Ventana de configuración de eventos .....	20
Figura 2.15 Bloque de generación y medición de señales .....	21
Figura 2.16 Configuración del generador de señales .....	21
Figura 2.17 Adición de ruido.....	22
Figura 2.18 Bloque variador de TFQ .....	23
Figura 2.19 Segmento de secuencia de leds.....	23
Figura 2.20 Segmento Open-Close VI-NEXT-WINDOW .....	24
Figura 3.1 Módulo de filtro Sallen Key .....	26
Figura 3.2 Vout filtro – señal de referencia 2.6 V RMS.....	26
Figura 3.3 Módulo de referencia V1 AC .....	27
Figura 3.4 Vout – señal de referencia 0.866 V RMS .....	27
Figura 3.5 Módulo de referencia V2 AC .....	28
Figura 3.6 Vout-señal de referencia 6.5 VRMS .....	28
Figura 3.7 Módulo de referencia V3 AC .....	28
Figura 3.8 Módulo de referencia V4 AC .....	29
Figura 3.9 Vout – señal de referencia 26 V RMS .....	29

Figura 3.10 Módulo de referencia V1 DC .....	29
Figura 3.11 Señal Vout módulo V1 DC .....	30
Figura 3.12 Módulo de referencia V2 DC .....	30
Figura 3.13 Señal Vout módulo V2 DC .....	30
Figura 3.14 Módulo de referencia V3 DC .....	31
Figura 3.15 Señal Vout módulo V3 DC .....	31
Figura 3.16 Módulo de referencia V4 DC .....	31
Figura 3.17 Señal Vout módulo V4 DC .....	32
Figura 3.18 Módulo de referencia V5 DC .....	32
Figura 3.19 Señal Vout módulo V1 DC .....	32
Figura 3.20 Señal HL módulo V5 AC .....	33
Figura 3.21 Señal HL módulo V3 DC .....	33
Figura 3.22 Módulo de onda cuadrada .....	34
Figura 3.23 Onda cuadrada 10K Hz .....	34
Figura 3.24 Onda cuadrada negada de 10K Hz .....	34
Figura 3.25 Onda cuadrada 100 Hz .....	35
Figura 3.26 Onda cuadrada negada de 100 Hz .....	35
Figura 3.27 Diseño final de la tarjeta T1 generadora de señales de referencia.....	38
Figura 3.28 Diseño final de la tarjeta T2 amplificadora de ondas cuadradas. ....	39
Figura 3.29 Encendido del BCA .....	40
Figura 3.30 Prueba C1 .....	40
Figura 3.31 Fin de la prueba C1 .....	41
Figura 3.32 Prueba C2 – Error .....	41
Figura 3.33 Fin de prueba C2 .....	42
Figura 3.34 Prueba C5 .....	42
Figura 3.35 Circuitos electrónicos inactivos.....	43
Figura 3.36 Estado no operativo del misil.....	43
Figura 3.37 Selector modo de operación -solución .....	44
Figura 3.38 Señales de referencia correctamente generadas .....	44
Figura 3.39 Rango permitido para la variación del TFQ .....	45
Figura 3.40 TFQ óptimo-inicio de conmutación .....	45
Figura 3.41 Activación de circuitos electrónicos del misil .....	46
Figura 3.42 Estado operativo del misil.....	46

## ÍNDICE DE TABLAS

Tabla 2.1 Configuraciones DCM.....	8
Tabla 2.2 Dimensiones de elementos – Filtros Sallen Key.....	10
Tabla 2.3 Dimensiones de elementos-voltajes alternos .....	13
Tabla 2.4 Dimensionamiento de rectificadores de las señales alternas .....	14
Tabla 2.5 Dimensionamiento de elementos-amplificadores inversores.....	15
Tabla 2.6 Señales I/O de los módulos AC.....	16
Tabla 2.7 Señales I/O de los módulos DC.....	17
Tabla 2.8 Controles del panel principal .....	19
Tabla 3.1 Costos de materiales .....	36
Tabla 3.2 Valor de la mano de obra .....	36
Tabla 3.3 Costo total de mano de obra .....	37
Tabla 3.4 Inversión Inicial .....	37

# CAPÍTULO 1

## 1. INTRODUCCIÓN

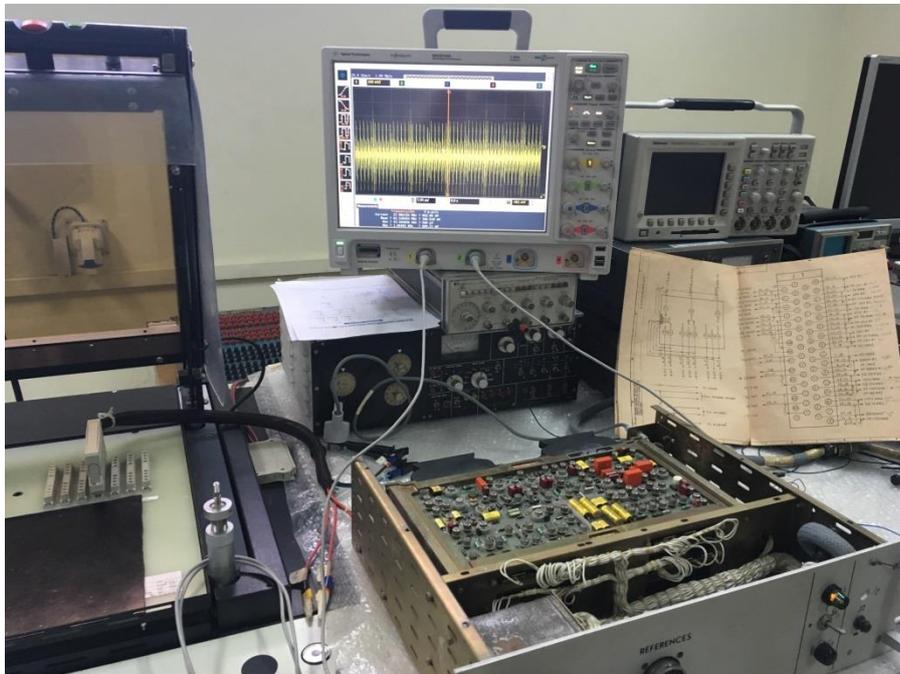
El estudio, tratamiento y generación de señales es facilitada gracias al desarrollado campo de la electrónica que es una herramienta principal en procesos de fabricación, modernización y reparación de armas militares, en este proyecto se reemplaza tecnología de los años 70 por tecnología moderna que garantice precisión en el módulo generador de señales de referencias ETA-100 en el Rack de Unión del BCA.

### 1.1 Descripción del Problema

Los misiles se componen de dos partes principales: La parte electrónica y la pirotécnica. Para la validación electrónica de los misiles, la Armada del Ecuador cuenta con un equipo conocido como Banco de Control Automático (BCA), el cual está conformado por siete racks, los cuales son: conmutación, generador, registro, autodirector, unión, pirotecnia y el de repartición. Estos se encuentran interconectados entre sí y son controlados por un computador central, interfaz Hombre-Máquina (HMI), que envía sentencias para la ejecución de una determinada acción. El funcionamiento conjunto y sincronizado de los racks permite llevar a cabo la ejecución de los distintos programas de diagnósticos del banco BCA, y convergen en la validación exitosa de los misiles.

En el Rack de Unión se encuentra el módulo ETA-100, el cual es el encargado de la generación de señales de referencias del BCA. En la actualidad se encuentra operando parcialmente debido a que ciertos componentes se encuentran defectuosos porque que han cumplido su ciclo de vida. Estas fallas repercuten en la calidad de las señales generando ruido, fluctuación y afectando la precisión de estas. Así mismo, al ser un equipo con tecnología de los años 70, no se han podido adquirir sus componentes originales en el mercado local lo que ha obligado a realizar la gestión para exportarlos, resultando más costoso para la Armada.

En las pruebas realizadas por los Ingenieros de DINDES en el banco de control notaron fluctuación en la señal senoidal con magnitud de  $0.866V_{AC}$  con frecuencia de 400 Hz y la presencia de ruido en la señal de  $-100\text{ mV}_{DC}$  (Ver figura 1.1). Las señales procedentes del módulo ETA-100 son utilizadas como referencia y calibración para la tarjeta voltímetro ubicada en el Rack de conmutación, la presencia de estas fallas en las señales de referencias repercute en las mediciones realizadas por la tarjeta voltímetro dando como resultado fallas en las pruebas de diagnósticos del BCA.



**Figura 1.1 Señal de  $-0.100\text{ V}$  con presencia de ruido**

## **1.2 Justificación**

La empresa fabricante del banco BCA le propuso a la Armada del Ecuador reemplazar el módulo por un costo que ronda los \$200.000,00 [1]. En la actualidad la Armada no cuenta con los recursos suficientes para solventar este gasto y conociendo de la importancia que representa el módulo ETA para el BCA, es imprescindible realizar el estudio y diseño para la modernización del módulo generador de señales de referencia.

Con el diseño propuesto se plantea mejorar el módulo original garantizando que cumplan con las mismas especificaciones establecidas por el fabricante y a un costo que no superará los \$12.000,00. El diseño consiste en reemplazar las tres tarjetas que forman el módulo ETA-100 (CAR ANA ETA, CAR ALIM ETA, CAR BDT ETA ) del Rack de Unión del BCA por una tarjeta de desarrollo, la cual tiene una FPGA embebido y sumado a un conjunto de circuitos amplificadores que contarán con elementos electrónicos de precisión para garantizar la estabilidad de la frecuencia de las señales, respaldado con las respectivas simulaciones y cálculos de dimensionamiento de cada una de las etapas que la conforman.

La modernización de la tarjeta generadora de señales de referencia será el punto de partida para futuros trabajos y procesos de renovación en la arquitectura del BCA, es diseñada de forma modular de manera que facilite a los técnicos e ingenieros los trabajos de mantenimiento gracias a la simplicidad de su estructura al tener la posibilidad de desmontar las diferentes etapas que la conforman.

## **1.3 Objetivos**

### **1.3.1 Objetivo General**

Diseñar la tarjeta generadora de voltajes de referencia para el rack de unión del banco de pruebas de misiles empleando software y hardware modernos.

### **1.3.2 Objetivos Específicos**

- Diseñar un filtro pasa banda utilizando electrónica de precisión para una onda sinusoidal de 400 Hz.
- Diseñar la etapa generadora de voltajes continuos y alternos para el terminal J1 del ETA 100 empleando módulos convertidores de voltajes y amplificadores de señales.

- Obtener el diseño modular de la tarjeta generadora de señales del BCA integrando todas las etapas diseñadas.

## **1.4 Marco Teórico**

Esta sección es dividida en dos partes la primera enfatiza en la estrecha relación de la electrónica con el desarrollo de armas de combate desde el primer invento hasta la actualidad mencionando el tipo de armamento utilizado por las fuerzas de defensa en nuestro país, mientras que la segunda sección menciona el uso de filtros para el tratamiento de señales en proyectos y aplicaciones electrónicas. Se hace un énfasis en los filtros y se toma ejemplos de estudios internacionales y nacionales debido a que el presente proyecto tiene como punto de partida el diseño y simulación de un filtro activo de segundo orden.

### **1.4.1 La electrónica en el desarrollo de artillería militar**

Es evidente e importante mencionar la vanguardia y presencia que está abarcando el mundo de la electrónica en todas las áreas de vida del hombre, jugando un papel primordial en el desarrollo de armas militares [2].

Desde el siglo XIII hasta la actualidad se conocen como armas militares a los cañones toscos e ineficientes, pero fueron el primer gran paso para el desarrollo de armas de defensa. Seguido por el cohete que lograba mayor alcance que el anterior con el valor agregado del giroscopio para mayor ajuste en sus giros y finalmente para corregir el problema de precisión del cohete aparece el misil con sistemas de control equipados de electrónica pura, lo que le da la capacidad de elegir un objetivo exacto y acertar en el blanco [3]. Marcando precedente como principal arma militar en combate y defensa en la actualidad por su eficacia y versatilidad.

En la década de los 70 la Armada del Ecuador adquirió flotas misileras de una fábrica francesa, equipadas con armamento que actualmente se encuentran en etapa de modernización. Para la evolución de misiles de la familia MM, la fábrica realizó enfoques de ingeniería haciendo uso de subsistemas de versiones anteriores y presentaron la nueva versión de los misiles MM-40 renovados con electrónica avanzada.

La nueva generación de misiles reemplaza el buscador ADAC de banda I por otro de banda J, ADAC es un buscador con mejores medidas de protección

electrónica que utiliza un receptor algorítmico para mejorar la resolución e incorpora un altímetro de radar de onda continua de frecuencia modulada (FMCW) que le permite al misil una planificación más rápida en su lanzamiento [4].

La renovación de la familia de misiles fue realizada bajo el criterio de arquitectura abierta, permitiendo que el diseño de su módulo de control de armas ITL 70A-B3 sea compatible con versiones anteriores, haciendo que todo el sistema sea integrado y controlado desde consola como parte del sistema de mando y control en la flota [5].

#### **1.4.2 Filtros activos utilizados en aplicaciones electrónicas**

Así como la electrónica es utilizada en aplicaciones militares, también es necesario mencionar su utilidad en diversos proyectos y aplicaciones electrónicas donde es de relevancia estimar con el menor error posible la amplitud y la frecuencia de señales periódicas [6]. Partiendo de este concepto se puede acotar sobre la importancia y preferencia que se les da a los filtros para el manejo y tratamiento de señales, como lo son la estabilidad en su frecuencia, el rechazo, y la selectividad de señales de interés.

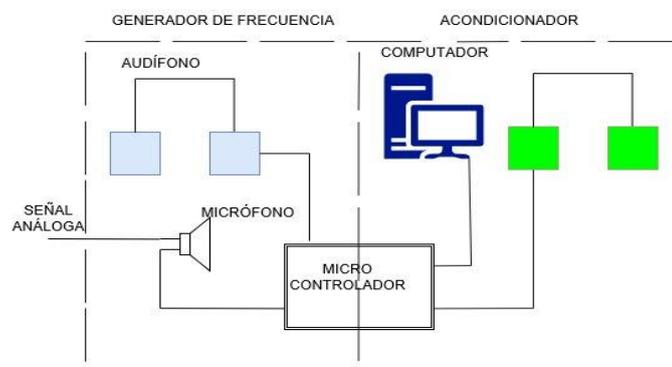
Inventados en la segunda guerra mundial los filtros activos han sido de mucha utilidad con el pasar de los años, hasta el día de hoy son necesarios para diferentes aplicaciones como la medicina, radio frecuencia y sistemas de comunicación en general.

En una investigación realizada en la ciudad de Barcelona sobre un sistema de medida de espectroscopia de impedancia eléctrica se explica la existencia de una relación directa entre la concentración de biomasa y la medida de la impedancia eléctrica. Aplicando una corriente variable en frecuencia se mide la impedancia, obteniendo una variación del comportamiento celular en función de la frecuencia. Esta variación se llama relajación  $\beta$ , está centrada en la banda 1-30MHz y permite obtener información del estado de la muestra a partir de un modelo eléctrico [7].

Debido a que se trabaja con una banda de frecuencia es necesario eliminar armónicos o señales con frecuencias fuera de la banda de trabajo. Se utiliza

un filtro pasa bajos en el proyecto con una frecuencia de corte necesaria para que se obtengan los valores correspondientes de fase y cuadratura de tensión para luego ser adquiridas. De esta manera, se convierte al filtro parte fundamental del diseño final del sistema de medida de espectroscopia de impedancia eléctrica, este ejemplo muestra como algo sencillo puede ser de gran importancia al momento de realizar estudios o trabajar con señales eléctricas.

En el Ecuador se realizó un estudio sobre el diseño de un prototipo de audífono personalizado capaz de obtener el espectro de frecuencia audible para el oído humano.



**Figura 1.2 Diagrama de etapas del prototipo de audífono [8]**

La (figura 1.2) muestra el diagrama de etapas conformado por un generador de frecuencias y por un acondicionador de señal, dos etapas necesarias para medir umbrales y aumentar niveles de intensidad de frecuencia dependiendo del paciente que realice las pruebas. En la etapa del acondicionador de señales entra en acción un filtro digital con la finalidad de modificar las señales de modo que se cumpla con las necesidades del paciente [8].

Tomando de base la aplicación de filtros en campos importantes como lo es la medicina, y sabiendo que el correcto tratamiento de señales es de suma importancia en el campo militar se decidió utilizar un filtro activo de segundo orden con elementos de precisión para nuestro proyecto.

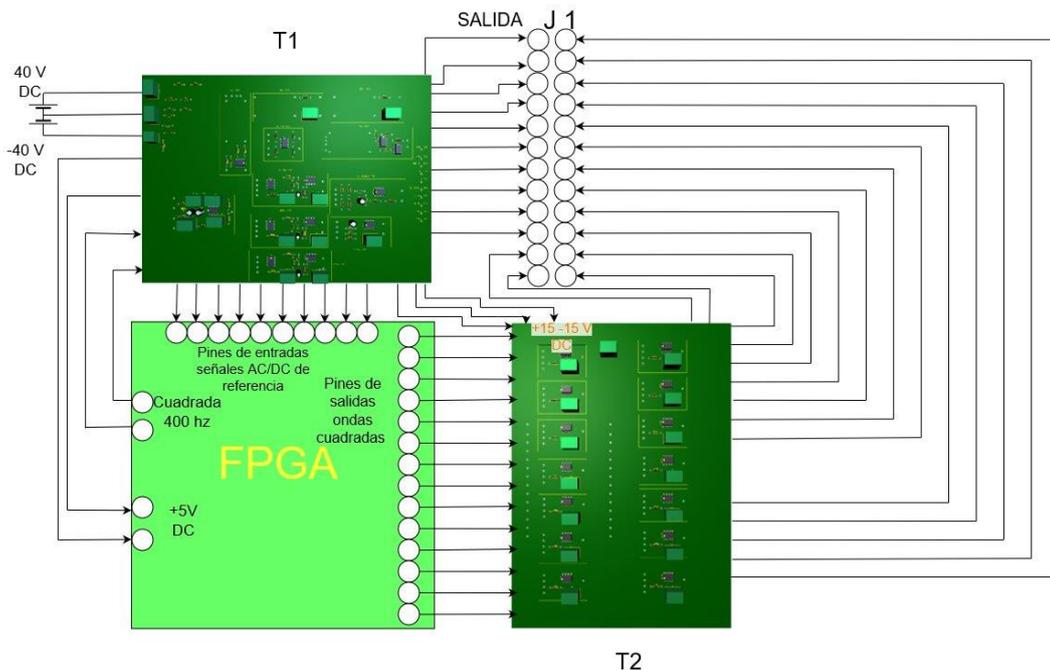
# CAPÍTULO 2

## 2 METODOLOGÍA

El presente capítulo se divide en dos secciones, en la primera se describen las diferentes alternativas de diseño de los módulos que conforman la tarjeta generadora de voltajes alternos y continuos denominada T2 y los módulos de amplificación de señales cuadradas denominada T1 junto con sus respectivos criterios de diseño, en la segunda sección se mencionan las técnicas de programación utilizadas en la creación del HMI para la visualización de los efectos e importancia de la generación de señales de referencia.

### 2.1 Métodos de diseño

Para lograr que el diseño de las tarjetas sea de uso práctico y facilite futuras modificaciones cada señal de referencia fue diseñada en módulos individuales para luego ser integrados a las tarjetas madres T1 y T2, de esta manera obtener el conjunto de señales que forman el terminal J1 del módulo ETA-100 ver Anexo A.



**Figura 2.1 Diagrama de bloques del módulo generador de señales de referencia**

En la figura 2.1 se observan las tarjetas T1 y T2 junto con una FPGA, la tarjeta de desarrollo utiliza programación (VHDL) para generar ondas cuadradas a diferentes valores de frecuencias, debido a que el nivel de voltaje de las ondas no era el

requerido se diseñó la tarjeta T2 formada por diversos módulos amplificadores con el fin de obtener voltajes amplificados de 8 a 9 V. La tarjeta T1 es la de mayor relevancia ya que para el diseño de los diferentes módulos se aplicó varios circuitos electrónicos para obtener los voltajes alternos y continuos de interés, empezando desde la fuente de alimentación seguido de la etapa de filtrado, amplificación, regulación y rectificación.

### 2.1.1 Generación de señales de referencias AC

Generar señales sinusoidales con frecuencia de  $400 \text{ Hz} \pm 10^{-4}$  fue una de las etapas que más tiempo llevó en diseñarlas, para ello se analizaron y probaron distintas posibles soluciones entre las que se tiene:

- Generación de una señal alterna desde una FPGA procesando una tabla de 4096 datos, fue descartada debido a que la onda resultante no cumplía con el requerimiento de frecuencia establecido ya que fluctuaba entre valores de hasta 473,3 Hz. La alternativa fue estudiada con el objetivo de lograr disminuir la variación hasta llegar a un valor dentro de la tolerancia permitida, para esto se realizó diferentes configuraciones del reloj de la FPGA, específicamente el DCM (Digital Clock Manager).

**Tabla 2.1 Configuraciones DCM**

Configuraciones DCM		
M	D	Frecuencia out
15	9	$400 \pm 5\%$
31	19	$400 \pm 5\%$
32	19	$400 \pm 5\%$

La tabla 2.1 muestra las diversas configuraciones del módulo DCM con sus respectivos valores de frecuencia de salida logrando reducir el rango de variación, pero no se obtuvo el valor deseado, los cálculos se presentan en el Anexo A 1.

- Al convertirse la frecuencia en el problema principal la siguiente alternativa planteada fue un filtro RLC de segundo orden topología pasa banda con los parámetros de diseños presentes a continuación:

$$f_0 = 400 \text{ Hz}$$

$$f_L = 399 \text{ Hz}$$

$$f_H = 401 \text{ Hz}$$

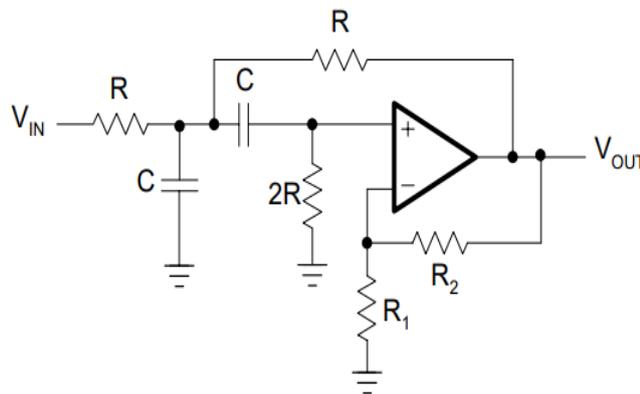
$$R = 3.9788 \Omega$$

$$C = 10 \mu\text{F}$$

$$L = 15,83 \text{ mH}$$

Una vez establecidos los valores de diseños se realizó la respectiva simulación del circuito en donde no se obtuvo la respuesta de frecuencia deseada, ver Anexo A 2.

- Luego de un riguroso análisis del valor de frecuencia deseado y estudiadas las características de los amplificadores operacionales como solución final al problema se estableció el diseño de un filtro activo de segundo orden pasa banda topología Sallen Key. Sallen Key es una de las topologías conocidas de filtros de orden superior por su simplicidad en diseño y pocos elementos, además de poseer la ventaja de ser estable, permitir facilidad en la selección de frecuencias y aportando en el ajuste de las ganancias de las señales en la banda pasante de interés por la presencia del OPAMP [9][10][11].



**Figura 2.2 Filtro activo pasa banda topología Sallen Key [9]**

La arquitectura Sallen Key se muestra en la figura 2.2 mientras que los valores de cada uno de los componentes dimensionados se listan en la tabla 2.2.

**Tabla 2.2 Dimensiones de elementos – Filtros Sallen Key**

COMPONENTE	VALOR
R	3,978 $K\Omega$
C	0,1 $\mu F$
R1	1 $K\Omega$
R2-Pot	5 $K\Omega$

Para dimensionar los componentes antes listados, se realizó el estudio de las características fundamentales de la topología Sallen Key con parámetros establecidos en los siguientes valores:

1. Frecuencia central

$$f_0 = 400 \text{ Hz}$$

2. Frecuencias de corte

$$f_L = 399 \text{ Hz}$$

$$f_H = 401 \text{ Hz}$$

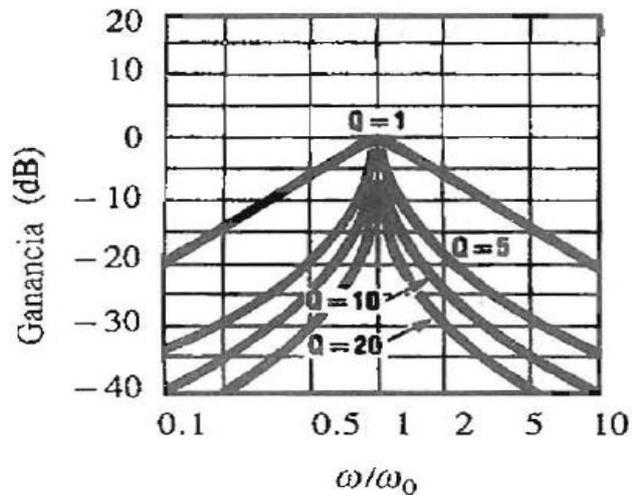
3. Ganancia

$$A_0 = 2,995$$

4. Factor de Calidad

$$Q = 200$$

Es evidente que para las frecuencias de corte la banda de paso se torna más angosta igual a 1 Hz, motivo por el cual el filtro se vuelve más selectivo al paso de las señales en el rango establecido.



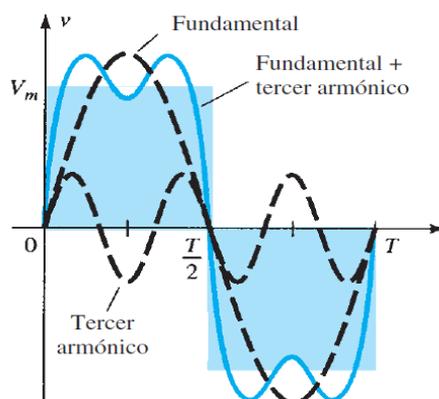
**Figura 2.3 Respuesta de frecuencia del filtro de segundo orden en función de Q [10]**

Para establecer el valor de  $Q = 200$  fue necesario el previo análisis de la figura 2.3 que muestra la naturaleza de la respuesta de frecuencia de un filtro pasa banda en donde se observa el efecto de la selectividad de señales en una banda de paso angosta, el cálculo de  $Q$  y demás valores del filtro ver Anexo A 2.1.

Como en todo circuito electrónico necesita de una señal de entrada para observar los resultados a la salida, para obtener una señal senoidal de 400 Hz se realizó la prueba de onda cuadrada al filtro pasa banda. Realizar la prueba con una onda cuadrada (Anexo 2.2) se torna menos complicado que al realizarlo con un conjunto de señales senoidales a varias frecuencias, debido a la naturaleza matemática de la onda cuadrada descrita en Series de Fourier. [12]

$$v = \frac{4}{\pi} V_m \left( \text{sen}2\pi f_s t + \frac{1}{3} \text{sen}2\pi(3f_s)t + \frac{1}{5} \text{sen}2\pi(5f_s) + \frac{1}{7} \text{sen}2\pi(7f_s) + \dots + \frac{1}{n} \text{sen}2\pi(nf_s) \right) \quad (2.1)$$

La representación gráfica de la Serie de Fourier se muestra en la figura 2.4 donde se aprecia que un conjunto de señales a varias frecuencias forma una onda cuadrada con frecuencia  $f_s$ .

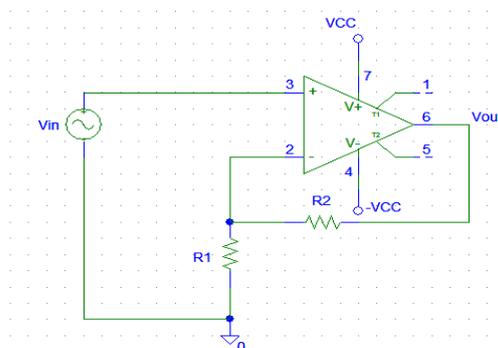


**Figura 2.4 Contenido armónico de una onda cuadrada [12]**

La teoría fue aplicada junto con el diseño del filtro forman parte de la solución en la que se obtuvo una onda senoidal con 400 Hz dentro de la tolerancia permitida resultado que será comprobado en el siguiente capítulo.

### 2.1.2 Amplificación de señales de referencias Ac

Los cinco voltajes AC de T1 trabajan con una frecuencia fija de 400 Hz, por lo que al obtener la señal de referencia a partir del filtro se procedió a amplificar y reducir el voltaje RMS hasta obtener valores deseados.



**Figura 2.5 Amplificador no inversor [9]**

Se utilizó un amplificador no inversor en tres tarjetas individuales para obtener los voltajes de 6.5 y dos de 26 V RMS, el voltaje de 0.866 V RMS se obtuvo mediante un divisor de voltaje y el último nivel de 2,6 V RMS se lo obtuvo a la salida del filtro.

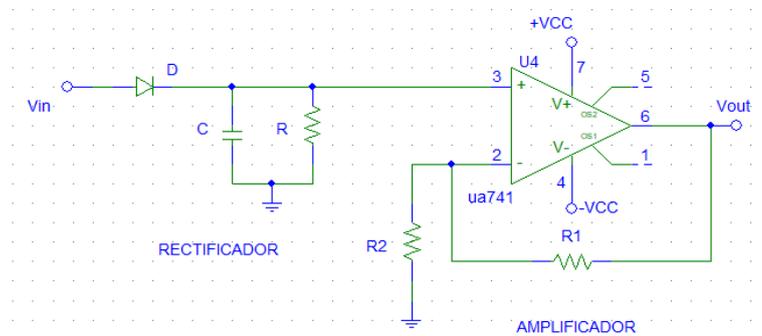
**Tabla 2.3 Dimensiones de elementos-voltajes alternos**

Amplificadores	
Voltaje 6.5 V RMS	
Componente	Valor
R1	1 K $\Omega$
R2	1,5 K $\Omega$
Voltaje 26 V RMS	
Componente	Valor
R1	1 K $\Omega$
R2	9K $\Omega$
Divisor de tensión	
Voltaje 0.866 V RMS	
Componente	Valor
R1	2 K $\Omega$
R2	1 K $\Omega$

En la tabla se observan los valores de los componentes correspondientes a los amplificadores utilizados y al divisor de voltaje, los cálculos ver Anexo A 2.3.

### 2.1.3 Generación de nivel alto (HL)

La tarjeta de desarrollo es la encargada de generar las ondas cuadradas, pero a su vez será la encargada de recibir las señales de referencias AC y DC en diferentes pines de entradas que detectan un nivel alto de +3.3V para procesar el nivel de la señal de entrada y posteriormente mostrar su magnitud en la LCD. Para las cinco señales AC se diseñó un circuito rectificador de media onda acompañada con una etapa de amplificación para alcanzar  $V_{HL} = 3.3 V$  tal como se muestra en el siguiente esquemático.



**Figura 2.6 Generador de HL**

El circuito recibe en  $V_{in}$  la señal de referencia AC y en  $V_{out}$  se obtiene el nivel de 3.3 V, es necesario mencionar que los valores de R y C varían

dependiendo de la amplitud de las ondas AC, tal como se muestra en la tabla a continuación.

**Tabla 2.4 Dimensionamiento de rectificadores de las señales alternas**

<b>Señal de Referencia 0,8666 <math>V_{ac}</math></b>	
Componente	Valor
R	5 $K\Omega$
C	100 $\mu F$
R1	10 $K\Omega$
R2	1 $K\Omega$
<b>Señal de Referencia 2,6 <math>V_{ac}</math></b>	
Componente	Valor
R	10 $K\Omega$
C	100 $\mu F$
R1-Pot	1 $K\Omega$
R2	1 $K\Omega$
<b>Señal de Referencia 6,5 <math>V_{ac}</math></b>	
Componente	Valor
R	100 $K\Omega$
C	10 $\mu F$
R1-Pot	1 $K\Omega$
R2	1 $K\Omega$
<b>Señal de Referencia 26 <math>V_{ac}</math></b>	
Componente	Valor
R	100 $K\Omega$
C	10 $\mu F$
R1-Pot	5 $K\Omega$
R2	1 $K\Omega$

Para el diseño y cálculos presentados en la tabla anterior, se utilizó el diodo 1N4148 por su capacidad de voltaje máximo 75V, esta característica permite trabajar sin problema alguno con las cinco señales AC de referencia. Al ser el nivel alto un valor continuo para las señales de referencia DC se utilizó divisores de tensión y amplificadores inversores, los cálculos y esquemáticos ver en Anexo A 2.4.

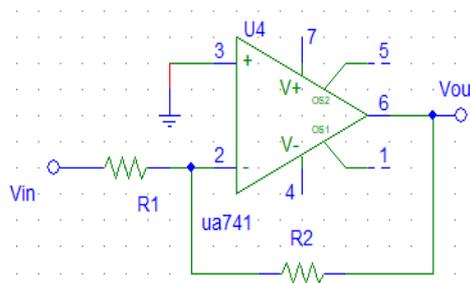
#### **2.1.4 Regulación de señales de referencia DC**

Para entregar los voltajes DC, se añadió a al diseño los convertidores de voltaje DC-DC comerciales, tanto elevadores (XL6009) como reductores (LM2596) para obtener voltajes más precisos y estables (ver figura 2.7).



**Figura 2.7 Convertidor DC-DC elevador XL6009**

De los cinco voltajes DC que entrega la tarjeta T1, cuatro tarjetas individuales utilizan los reguladores obteniendo dos valores directos de 10 V DC y 30 V DC, la tarjeta encargada de entregar 1 V DC utiliza un divisor de tensión ya que el límite inferior de voltaje de salida ajustable del regulador reductor es de 1.25 V DC por lo que en el diseño se reguló hasta 2 V. Con respecto a los voltajes negativos que son de -3 V DC y de -0.1 V DC se utilizaron amplificadores inversores (ver figura 2.8), cálculos en anexos A 2.5.



**Figura 2.8 Amplificador inversor**

La tarjeta que entrega -0.1 V DC utiliza el voltaje de 20 VDC originado por un divisor de tensión con la señal de 40 VDC de la fuente de alimentación, además de esto la misma señal es utilizada para alimentar a todos los reguladores reductores de voltaje.

**Tabla 2.5 Dimensionamiento de elementos-amplificadores inversores**

Amplificador inversor	
<i>-3V DC</i>	
Componente	Valor
<i>R1</i>	1 KΩ
<i>R2</i>	1 KΩ
<i>-0.1V DC</i>	
Componente	Valor
<i>R1</i>	200 KΩ
<i>R2</i>	1 KΩ

Se detalla en la tabla los componentes utilizados en el amplificador inversor para la obtención de los voltajes negativos.

## 2.2 Métodos de Simulación y Programación

El diseño de cada uno de los módulos de las tarjetas T1 y T2 fue desarrollado de la mano de sus respectivas simulaciones en Pspice para asegurar que el previo dimensionamiento de los elementos de los circuitos sea correcto y de esta manera obtener las señales con valores deseados, para la visualización de los efectos de la modernización del módulo ETA-100 dentro del rack de conmutación se simula la ejecución de tres pruebas de validación electrónica para demostrar la importancia de las señales de referencia utilizando Labview.

### 2.2.1 Diseño de etapas modulares de la tarjeta

Para realizar las diferentes etapas del diseño compacto de T1 y T2 se utilizó el software Proteus 8.6 debido a que está a disposición de los estudiantes en los laboratorios de electrónica y a diferencia de Pspice ofrece la aplicación de diseño PCB para cada placa. T1 entrega cinco señales AC y cinco señales DC (Anexo A 1) por lo que a cada señal se le diseñó una etapa individual de amplificación y rectificación para las alternas y de regulación para las continuas, un total de diez módulos.

Al igual que tres de los cinco módulos DC cada uno de los módulos AC de T1 tiene cuatro entradas y dos salidas, detalladas en la tabla 2.6.

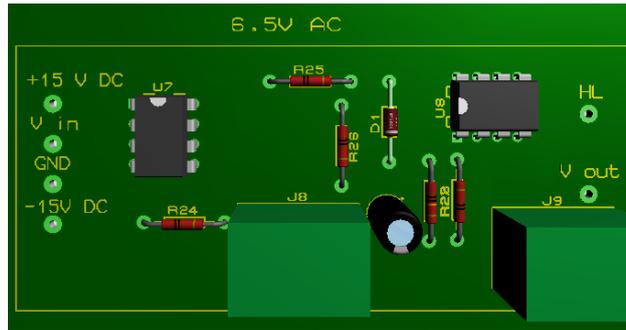
**Tabla 2.6 Señales I/O de los módulos AC**

Señales de entrada	
Vin	Voltaje de entrada
+ Vdc	Señales de polarización OPAMP
- Vdc	
Gnd	Tierra
Señales de salida	
Vout	Voltaje amplificado
HL	Nivel lógico (alto)

Mientras que los dos módulos DC restantes fueron diseñados con dos entradas y dos salidas como se muestra en la tabla 2.7.

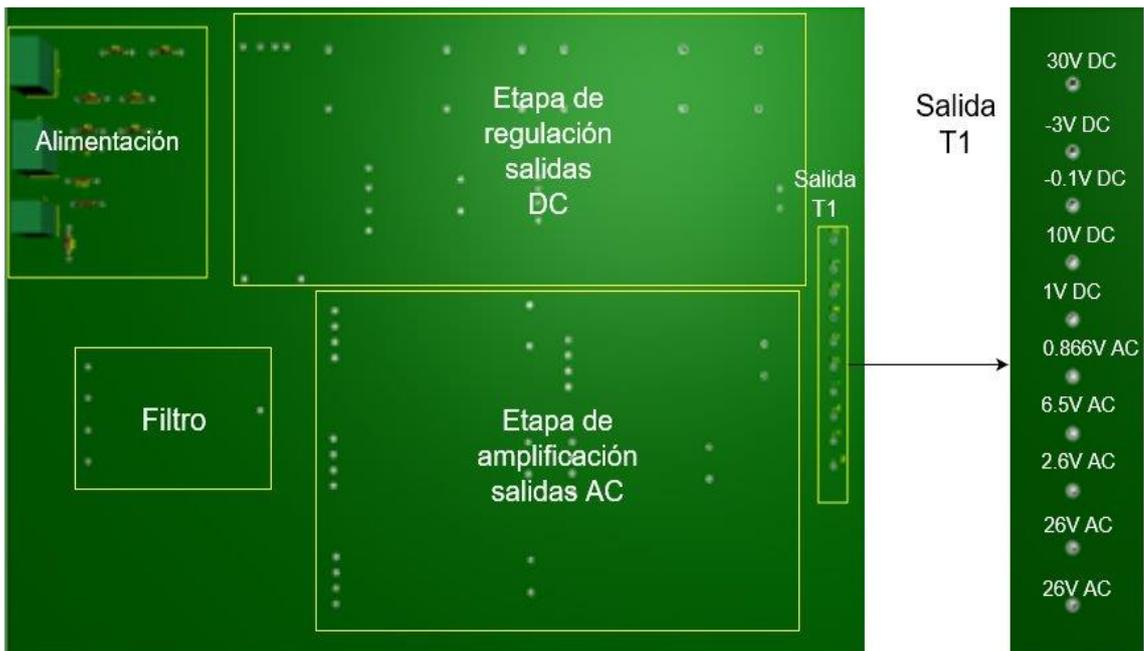
**Tabla 2.7 Señales I/O de los módulos DC**

Señales de entrada	
Vin	Voltaje de entrada
Gnd	Tierra
Señales de salida	
Vout	Voltaje regulado
HL	Nivel lógico (alto)



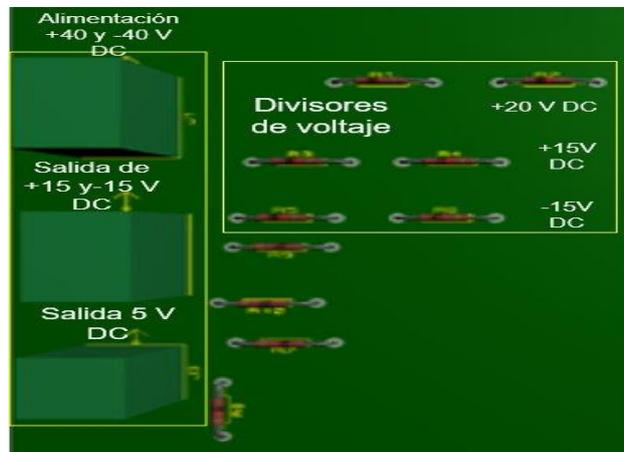
**Figura 2.9 Placa individual (entradas y salidas)**

La figura 2.9 es el ejemplo correspondiente a la tarjeta de 6.5V AC en este se observan los cuatro orificios de entrada y los dos de salida con sus respectivos nombres, se realizan los orificios con la finalidad de que al colocar espadines o algún tipo de conector la tarjeta individual quede conectada a la tarjeta madre. La tarjeta madre se diseñó con los orificios necesarios para la conexión de cada uno de módulos individuales, ver figura 2.10.



**Figura 2.10 Placa madre (orificios de conexión de las entradas y salidas)**

A la T1 se le conectará una fuente conmutada de  $\pm 40$  VDC, el elevado valor de alimentación es debido a que los amplificadores operacionales utilizados en las tarjetas de 26 VRMS (OPA551-OPA454) deben energizarse con voltaje en el rango de  $\pm 30$  a  $\pm 50$  VDC, a diferencia de las otras etapas que utilizan el CI UA741 polarizadas con  $\pm 15$  VDC. Para obtener el valor de polarización de  $\pm 15$  VDC se aplicó divisores de tensión desde los pines de alimentación de la fuente conmutada, la señal de +20 VDC se creó para ser utilizadas en la obtención de la señal -0,1 VDC y para alimentar a los diferentes reguladores de voltaje, ver figura 2.11.



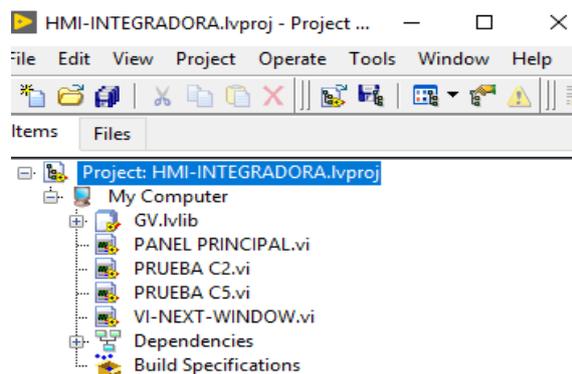
**Figura 2.11 Placa madre (divisores de voltaje, entradas y salidas de alimentación)**

Se puede hacer la analogía de las tarjetas madres T1 y T2 con un protoboard debido a que en ellas se encuentran todos los caminos conductores que suministran energía a los módulos diseñados incluyendo la tarjeta de desarrollo FPGA que se alimenta con 5V DC, para el caso de T1 las señales de referencia de cada bloque convergen a diez pines de salida ordenados desde los cinco voltajes DC y terminando con los voltajes AC.

### 2.2.2 Programación HMI

Para simular los efectos de la importancia de las señales de referencia en las pruebas de diagnóstico del BCA se utilizó el software Labview por la facilidad en el manejo de las estructuras y demás elementos de programación. La interfaz HMI fue diseñado haciendo analogía con la consola de automatismo del BCA donde se realizan veintitrés pruebas de diagnóstico, desde la C1 hasta la C10 son pruebas de calibración mientras que desde la prueba once hasta la veintitrés son pruebas de cuarto nivel con

acceso único para los fabricantes. En el proyecto se simulan las pruebas C1, C2 Y C5 para demostrar la importancia de las señales de referencia, la programación se realizó en forma dinámica en dos escenarios el problema inicial y la solución presentada en este proyecto (Anexo A 2.6), para evitar la aglomeración de indicadores y controladores en la misma pantalla cada evento se simula en diferentes paneles frontales para esto se creó varios VI dentro de la arquitectura del proyecto como se muestra en la figura 2.12.



**Figura 2.12 Arquitectura del proyecto**

La arquitectura del proyecto incluye la librería GV de variables globales seguido de esta se encuentra el panel principal (HMI) donde se realiza la ejecución de cada una de las pruebas, mientras que el VI-NEXT-WINDOW es la pasarela o puente de enlace hacia una nueva ventana cada vez que se realice la ejecución de los VI's PRUEBA C2 y C5 a continuación, se describen los bloques principales que se utilizaron en cada sección del proyecto.

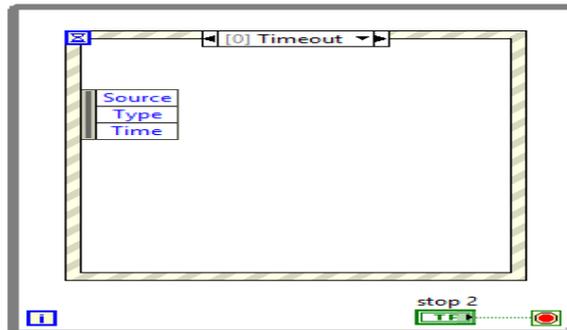
- Panel Principal

La interfaz principal del proyecto cuenta con los controles listados en la tabla 2.8, que se utilizaron para la ejecución de cada una de las pruebas y eventos a simular.

**Tabla 2.8 Controles del panel principal**

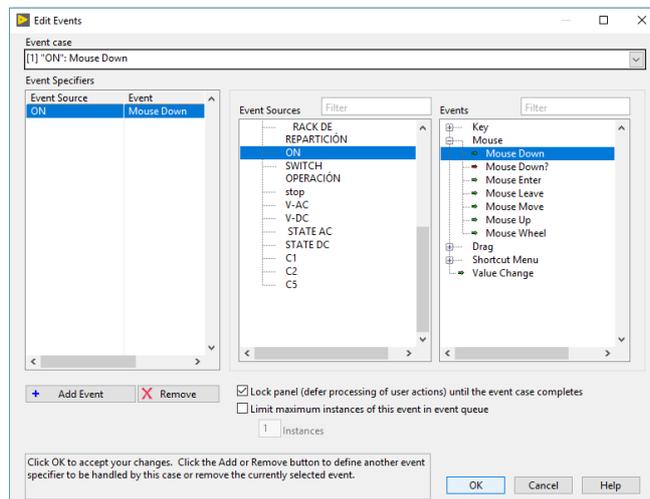
Control	Acción	
On	Encender el sistema	
Prueba C1	Marcha al sistema	
Prueba C2	Generación de señales de referencia	
Switch	Problema	Simulación del problema
	Solución	Simulación de la solución
Prueba C5	Efectos de las señales de referencia	
Stop	Paro del sistema	

La programación de cada uno de los escenarios se estructuró por un While Loop como lazo principal con un Event Structure para cada uno de los controles, fue idónea utilizar la estructura antes mencionada debido a que permitió el manejo adecuado de cada uno de los bloques de programación en sus respectivos eventos.



**Figura 2.13 Estructura genérica de programación**

Tal como se mencionó en el párrafo anterior la figura 2.13 muestra la estructura genérica de programación, cabe recalcar que dentro del Event Structure los bloques de programación varían dependiendo la variable de control.

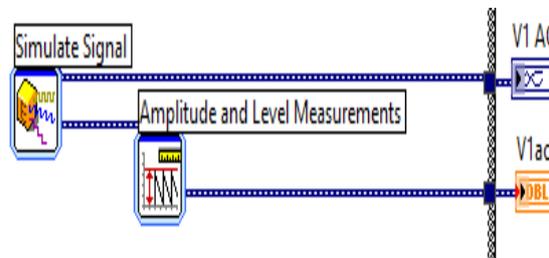


**Figura 2.14 Ventana de configuración de eventos**

El evento configurado para cada variable fue Mouse Down como se muestra en la figura 2.14, este evento funciona cuando se detecta un clic sobre el controlador el mismo que ejecuta todo el diagrama de bloque programado en su ventana, las demás variables de control fueron configuradas con la misma eventualidad.

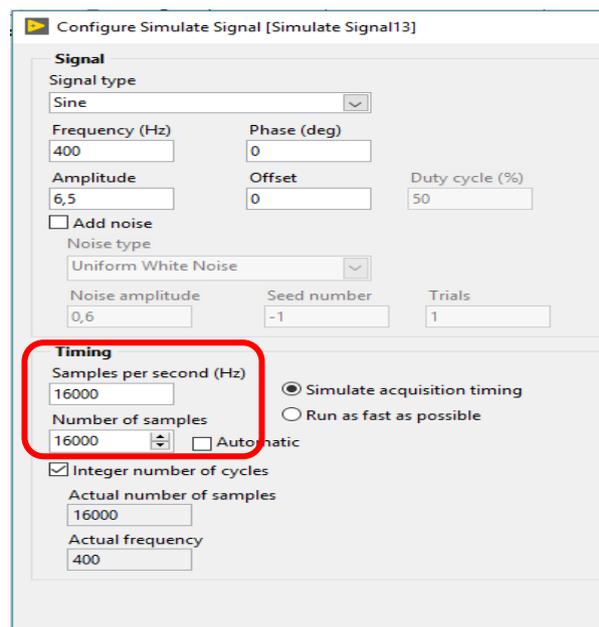
- Prueba C2

A diferencia de la prueba C1 que es la encargada de darle marcha al BCA y la consola de automatismo, la prueba C2 es la encargada de la generación de las señales de referencia con su respectiva visualización, en esta fase entra en operación el controlador switch para simular los dos diferentes escenarios el problema y la solución. En la prueba se generó diez señales de referencia cinco AC y cinco DC, ver Anexo A 2.7. Para generar señales dentro del escenario de solución se utilizó el bloque Simulate Signal junto con el bloque de medición Amplitude Measurement acompañados de un indicador numérico y graficador respectivamente como indica la figura a continuación.



**Figura 2.15 Bloque de generación y medición de señales**

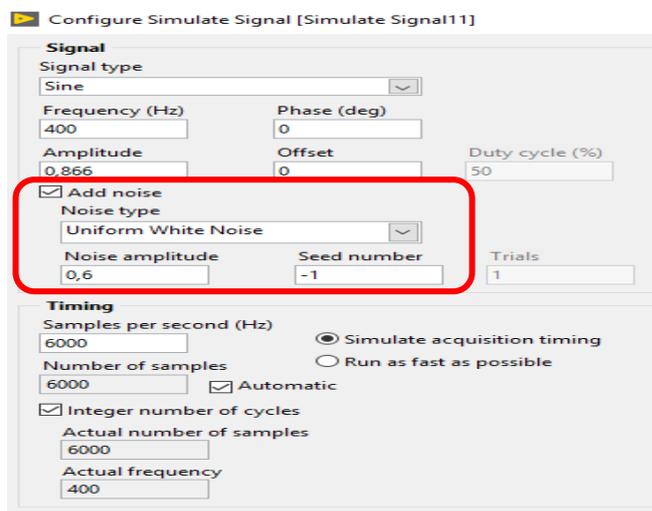
El bloque presentado es para una señal específica, se entiende que para las demás se mantiene la misma estructura, la configuración de amplitudes y frecuencias se realizó en la ventana de propiedades del bloque.



**Figura 2.16 Configuración del generador de señales**

Un detalle de mucha importancia en la obtención de la correcta forma y medida de la señal fue el número de puntos y muestras por segundo que se deben graficar, se fijó en 16000 por segundo como se indica en la figura 2.16, de esta forma se logró señales alternas suavizadas con amplitudes correctas tal como se establece en la hoja técnica.

En el escenario de problema la generación y medición de señales guarda la misma estructura con la diferencia que en la ventana de configuración se agregó ruido uniforme a las dos señales defectuosas descritas en la problemática con el fin de guardar la naturaleza del problema inicial.



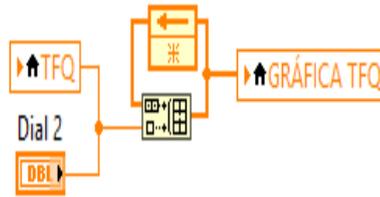
**Figura 2.17 Adición de ruido**

Se agregó ruido uniforme ya que fue el que mejor se ajustó para los efectos de simulación, el número de muestras pasa a segundo plano debido a que la onda a la salida no guarda forma particular.

- Prueba C5

De mayor relevancia ya en este escenario se muestra la importancia del módulo ETA-100 dentro del BCA junto con los efectos que producen las señales con ruidos y las señales proporcionadas por la solución del proyecto. El primer efecto relevante es la variación del TFQ (índice de relación) que es un indicador de la buena generación y no presencia de ruido en las señales de referencia, este valor en el caso de problema es establecido en 7000 mientras que en la solución se encuentra en el rango de 0-100 con la posibilidad de disminuirlo hasta un nivel óptimo

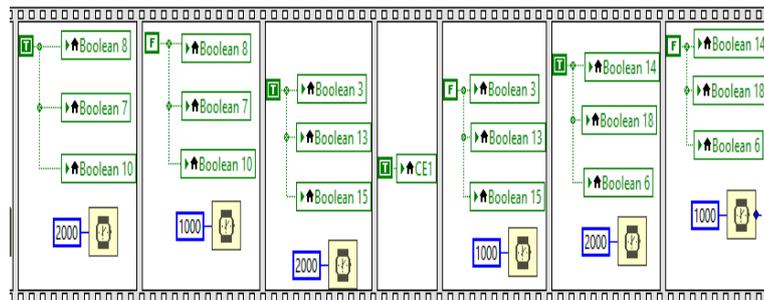
establecido  $\leq 30$  , es necesario acotar que solo cuando el TFQ se encuentre en el rango de 0-100 es posible realizar la variación.



**Figura 2.18 Bloque variador de TFQ**

Para obtener mejores resultados en la simulación se graficó la variación del TFQ creando un arreglo con datos provenientes de un dial y concatenados por el nodo de retroalimentación obteniendo una onda continua logrando visualizar mejor el efecto.

Otro efecto relevante es la conmutación de las señales de relés dentro del rack de conmutación que son las encargadas de activar los circuitos electrónicos del misil para poder validar el estado de servicio cuando el  $TFQ \leq 30$ , la conmutación se programó mediante una estructura de secuencias alternando el encendido de leds y la activación de los circuitos en el misil.



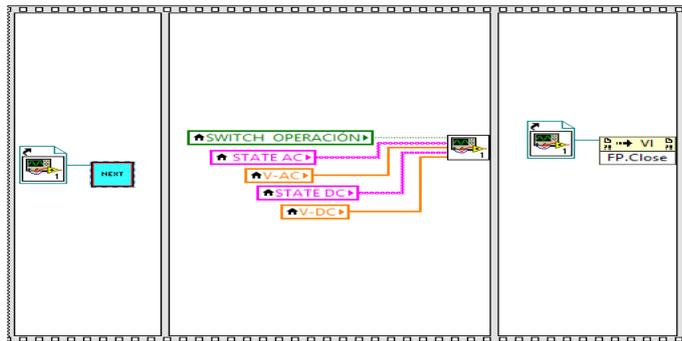
**Figura 2.19 Segmento de secuencia de leds**

Como se observa en la figura 2.19 la conmutación de señales es acompañada con retardos de tiempo para los efectos de visualización. El último efecto y de mayor importancia es la declaración del estado del misil con dos posibilidades el estado no operativo cuando el TFQ es 7000 y de servicio cuando se ejecutan los efectos antes mencionados. La simulación de los efectos es acompañada con mensajes que muestran al operador el estado de las pruebas e incluso estados

siguientes desde inicio a fin del programa, incluyendo arreglos donde se muestran las magnitudes y estado de cada una de las señales.

- VI-NEXT-WINDOW

El VI fue creado como técnica para la llamada y visualización de una nueva pantalla para esto se utilizó estructuras de la librería Application Control Property Node e Invoke Node configurados con la clase VI Server – VI en acciones de apertura de panel frontal y ejecución de VI, el diagrama de bloque ver en Anexo A 2.8.



**Figura 2.20 Segmento Open-Close VI-NEXT-WINDOW**

La figura muestra un segmento del bloque de llamado a la nueva ventana, en la primera franja se muestra el VI next de celeste que recibe la referencia del VI a ejecutar en este caso la prueba C5, la segunda franja el VI recibe los parámetros de ejecución, mientras que la franja siguiente es la encargada de cerrar el VI en ejecución para retornar nuevamente a la interfaz principal.

# CAPÍTULO 3

## 3 RESULTADOS Y ANÁLISIS

En este capítulo se presentan como resultados el diseño individual de cada módulo de las tarjetas T1 y T2 y la simulación de los efectos de la generación de señales de referencia en el rack de conmutación del BCA.

### 3.1 Filtro pasa banda Sallen Key

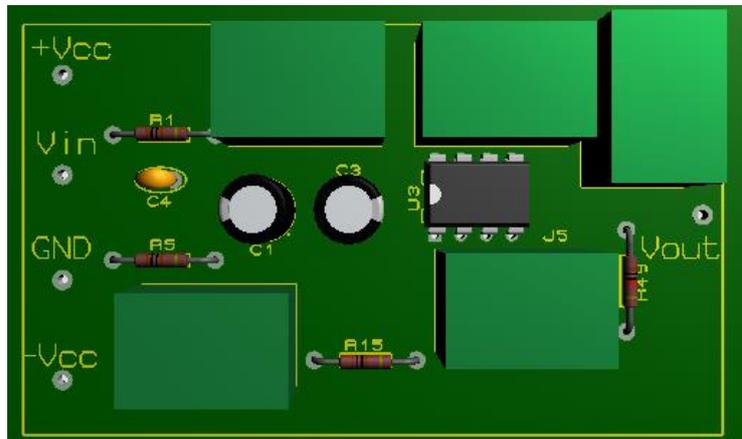


Figura 3.1 Módulo de filtro Sallen Key

En el pin Vout de la etapa de filtrado (figura 3.1) se obtuvo una onda con amplitud de  $3.68 V_{pico}$ , sabiendo que  $V_{RMS} = \frac{V_{pico}}{\sqrt{2}}$  la salida es equivalente a 2.6 V RMS establecida como señal base para las etapas de amplificación, ver figura 3.2.

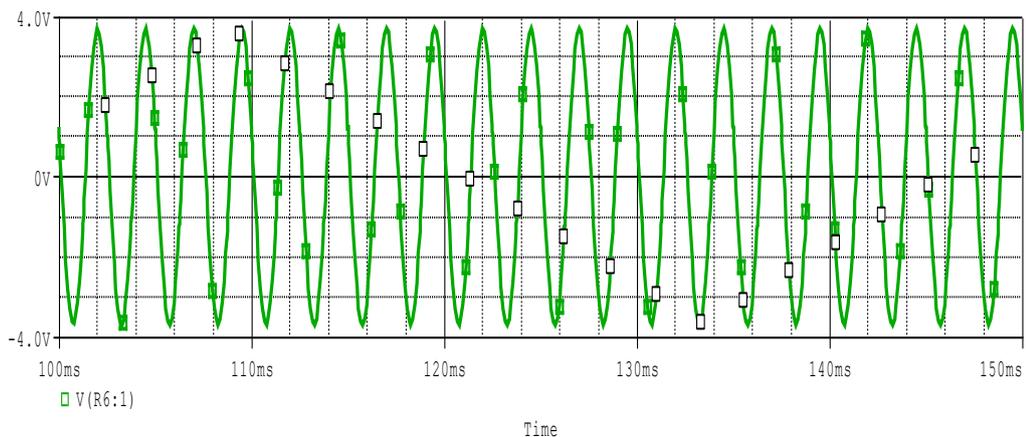


Figura 3.2 Vout filtro – señal de referencia 2.6 V RMS

### 3.2 Módulos de señales de referencia

En esta sección se presenta el diseño de los diferentes módulos de referencia separados entre AC y DC con sus respectivas gráficas incluyendo las ondas cuadradas con diferentes valores de frecuencia de T2.

#### 3.2.1 Módulos de señales AC

- $0,8666 V_{rms} \pm 0.9mV_{rms}$

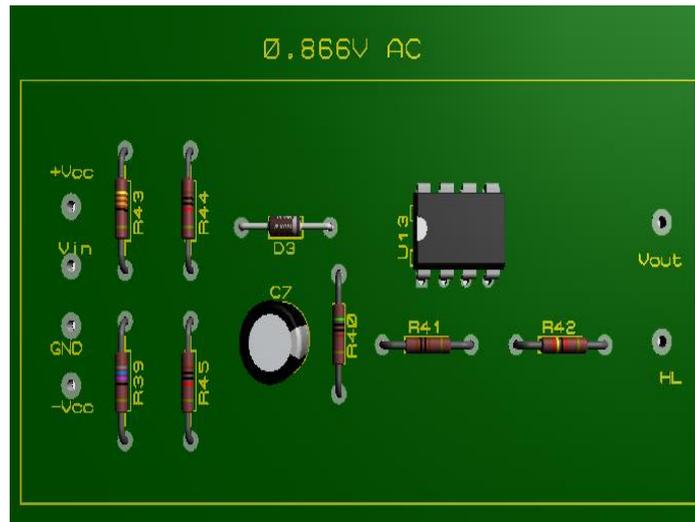


Figura 3.3 Módulo de referencia V1 AC

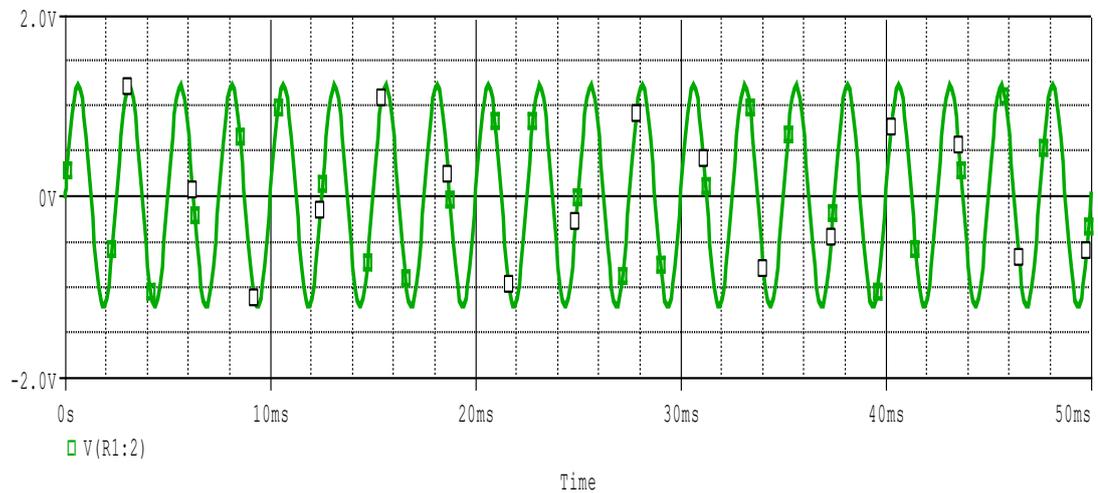


Figura 3.4 Vout – señal de referencia 0.866 V RMS

En la figura 3.4 se observa el voltaje de salida de la tarjeta de 0.866 V RMS equivalente a 1.22 V pico.

- $6.5 V_{rms} \pm 6.5mV_{rms}$

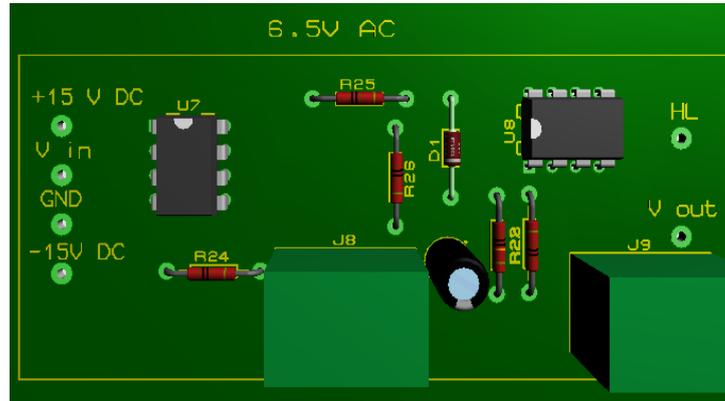


Figura 3.5 Módulo de referencia V2 AC

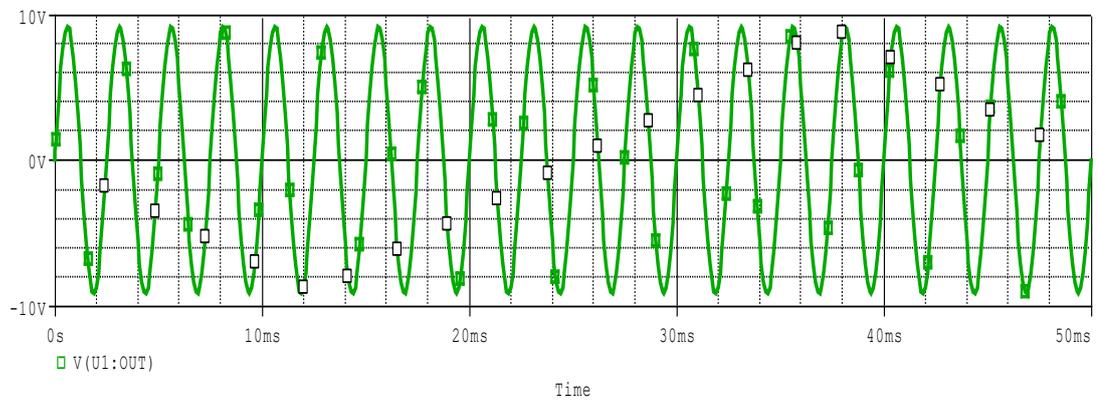


Figura 3.6 Vout-síñal de referencia 6.5 VRMS

En la figura 3.6 se observa el voltaje de salida de la tarjeta de 6.5 V RMS equivalente a 9.2 V pico.

- $2.6 V_{rms} \pm 26mV_{rms}$

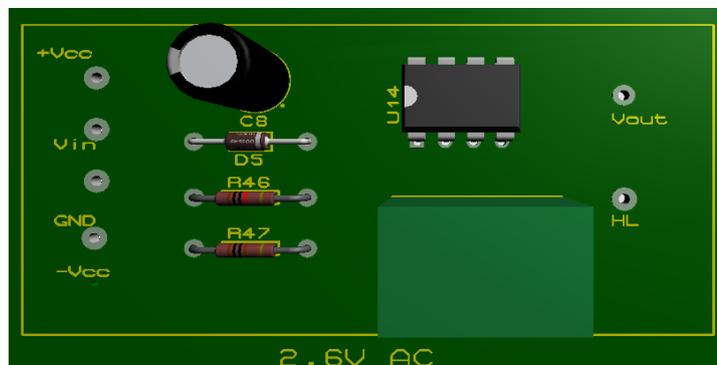


Figura 3.7 Módulo de referencia V3 AC

La figura 3.7 muestra el diseño final del módulo de la señal 2.6 V, recibe la señal proveniente del filtro (figura 3.2) en este caso  $V_{in}=V_{out}$ .

- $26 V_{rms} \pm 26mV_{rms}$

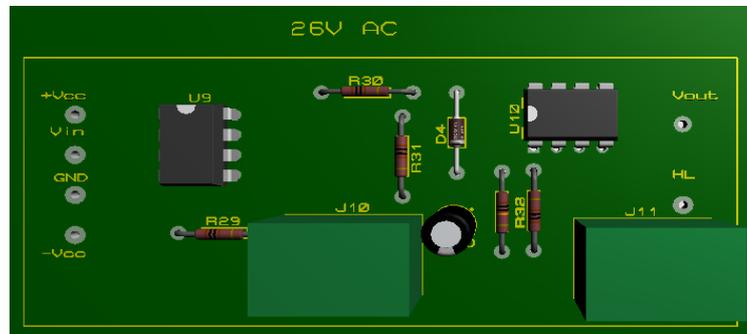


Figura 3.8 Módulo de referencia V4 AC

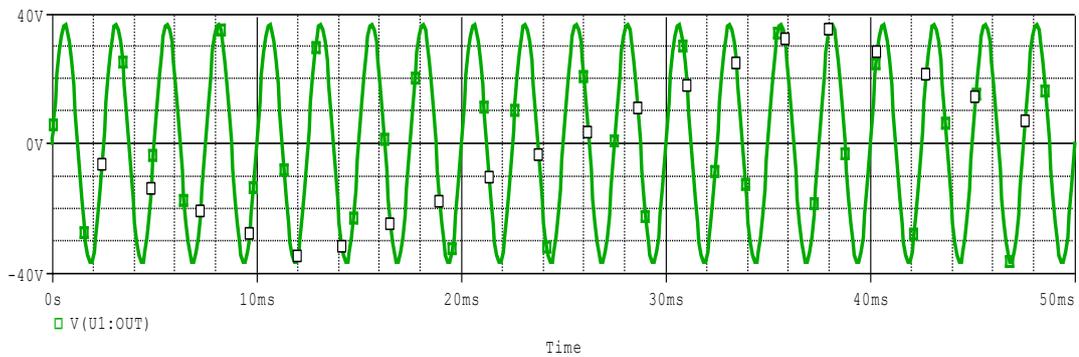


Figura 3.9 Vout – señal de referencia 26 V RMS

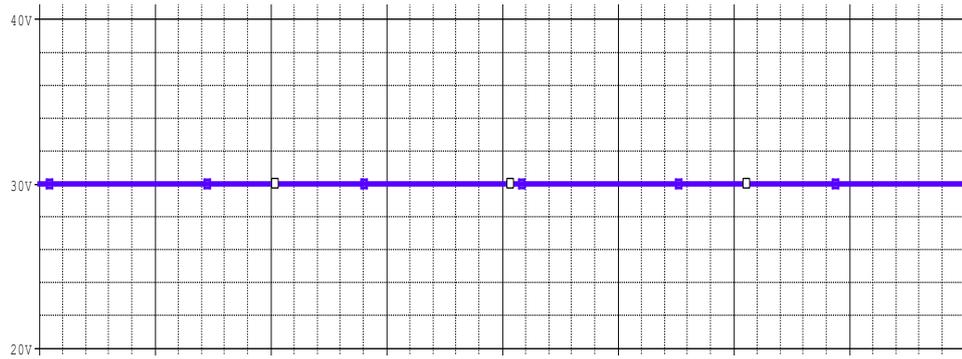
En la figura 3.9 se observa el voltaje de salida de la tarjeta de 26 VRMS equivalente a 36.76 V pico. Al igual que el módulo V5 AC (Anexo A 3), V4 AC se diseñó con la misma estructura que se muestra en la figura 3.8.

### 3.2.2 Módulos de señales DC

- $+30 V \pm 3mV$



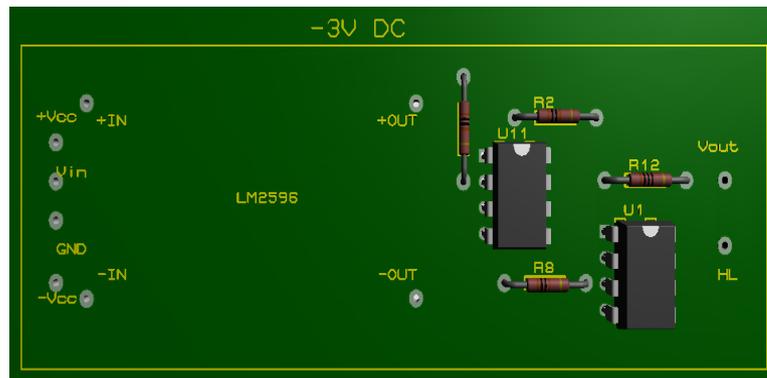
Figura 3.10 Módulo de referencia V1 DC



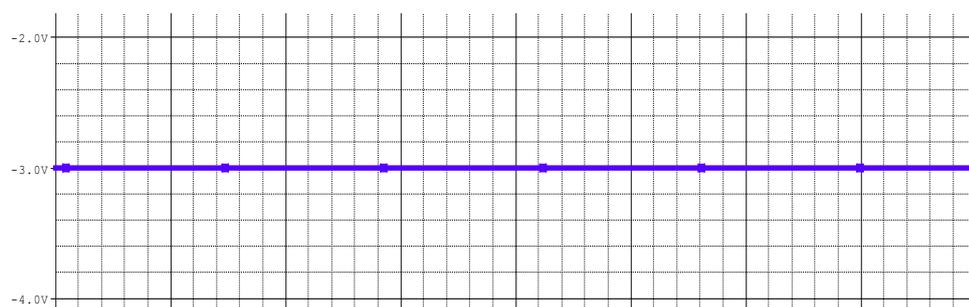
**Figura 3.11 Señal Vout módulo V1 DC**

La cuatro de los módulos DC fueron diseñados con los pines respectivos para el CI XL6009 y LM2596 como se muestra en la figura 3.10, en el pin Vout se obtuvo la señal de 30V tal como se observa en la figura 3.11.

- $-3 V \pm 0.3mV$



**Figura 3.12 Módulo de referencia V2 DC**



**Figura 3.13 Señal Vout módulo V2 DC**

Como en algunas de las tarjetas el módulo final cuenta con el espacio adecuado para el regulador (figura 3.12), con este diseño se obtuvo -3V en el pin de salida (figura 3.13).

- $-0,1V \pm 0.01mV$

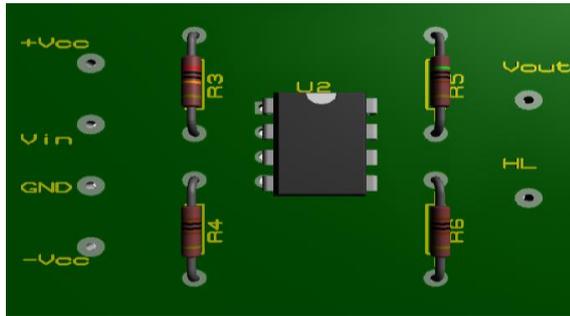


Figura 3.14 Módulo de referencia V3 DC

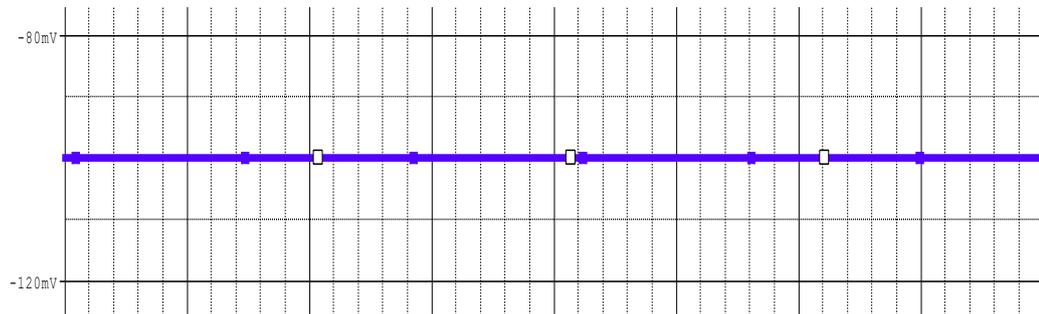


Figura 3.15 Señal Vout módulo V3 DC

La primera figura muestra el diseño final del módulo en PCB donde se obtuvo la señal dentro del error permitido en este caso  $-99.9mV$  (Figura 3.15).

- $+10 V \pm 1mV$

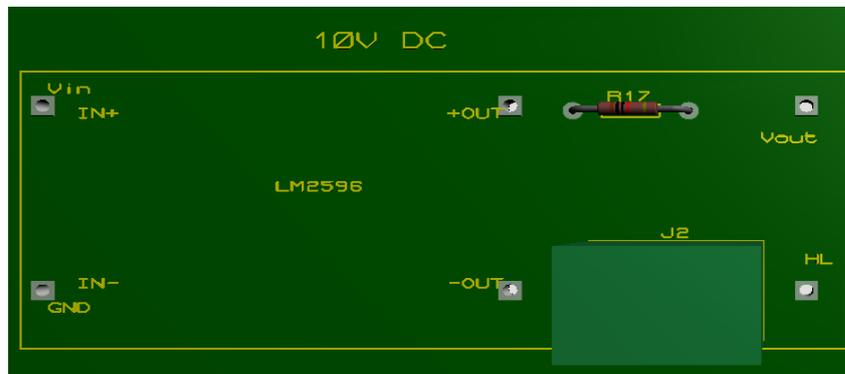
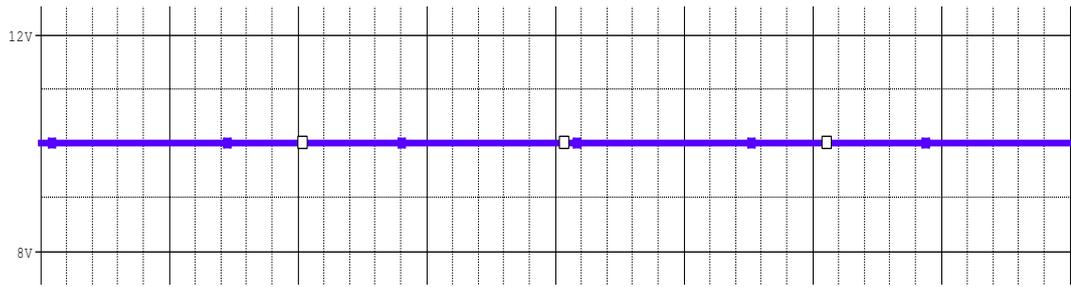


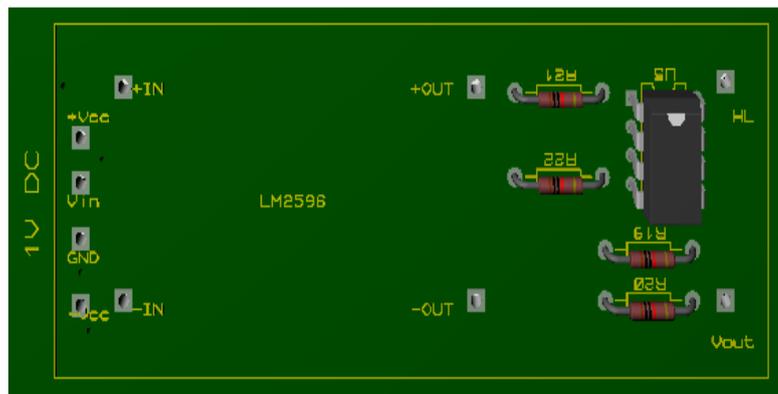
Figura 3.16 Módulo de referencia V4 DC



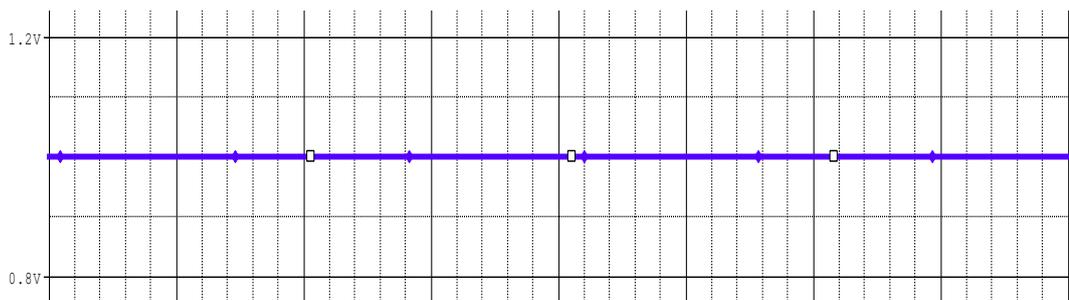
**Figura 3.17 Señal Vout módulo V4 DC**

Se diseñó el módulo final con el espacio necesario para cada elemento, junto con el conector para el potenciómetro (figura 3.16), mientras que a la salida se obtuvo el nivel deseado de 10V dc (figura 3.17).

- $+1 V \pm 0.1mV$



**Figura 3.18 Módulo de referencia V5 DC**



**Figura 3.19 Señal Vout módulo V1 DC**

En el pin Vout del módulo V1 DC (figura 3.18 se obtuvo la señal con amplitud correcta de 1V, ver figura 3.19).

### 3.2.3 Nivel lógico (HL)

- Señales AC

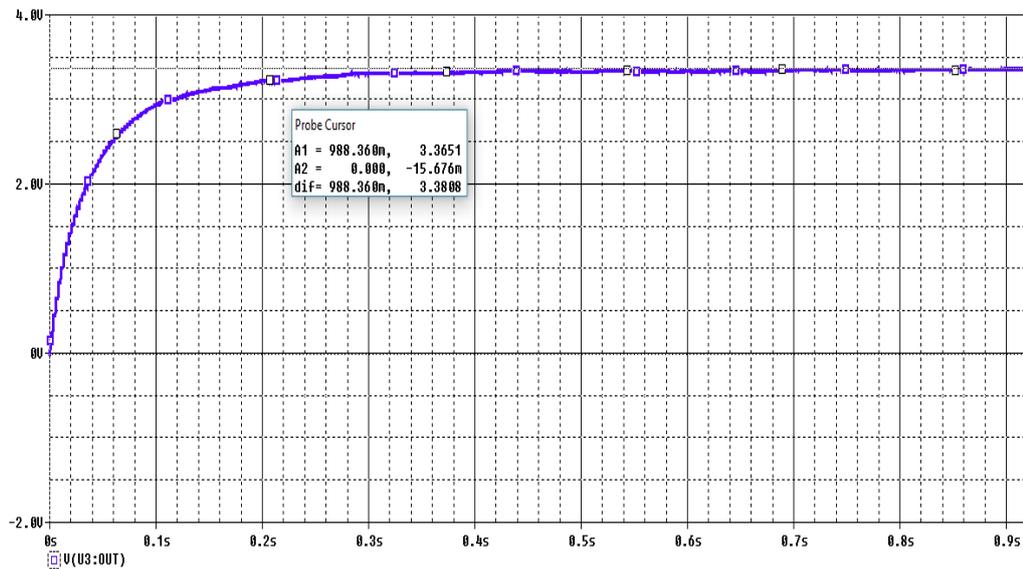


Figura 3.20 Señal HL módulo V5 AC

A la salida del segmento rectificador se obtuvo la señal de nivel alto igual a 3.34 V, en este caso del módulo V5 AC, las demás imágenes ver en Anexo A 3.1.

- Señales DC

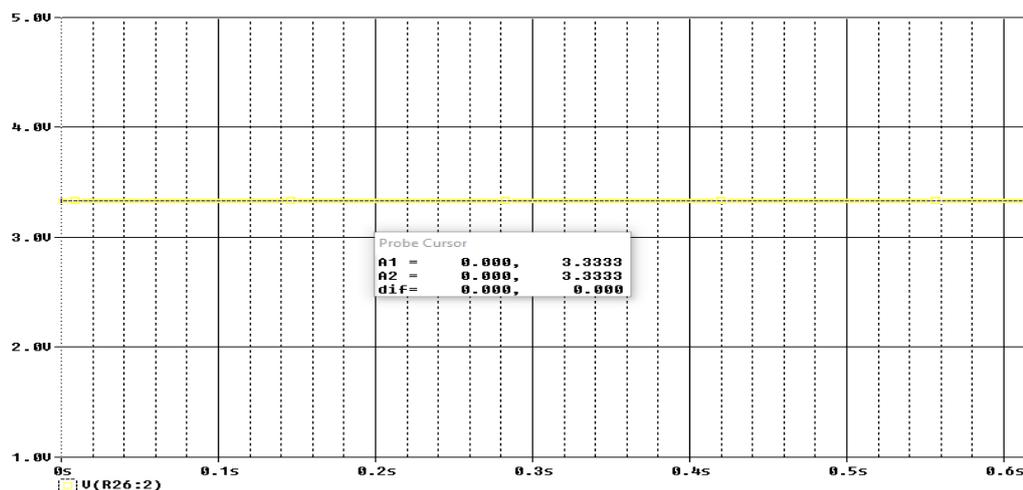


Figura 3.21 Señal HL módulo V3 DC

Para el caso de los módulos DC, se obtuvo el nivel alto de modo más sencillo con una magnitud de 3.33V, el resto de las señales ver en Anexo A 3.2.

### 3.2.4 Módulo de señales cuadradas

Se diseñó un total de 14 módulos de amplificación, todos guardan la misma estructura teniendo en cuenta que el amplificador cambia de acuerdo con los valores de frecuencia de la señal (figura 3.22).

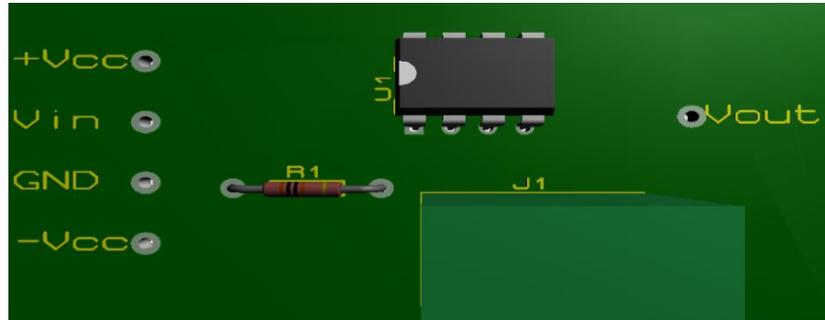


Figura 3.22 Módulo de onda cuadrada

- 10k Hz

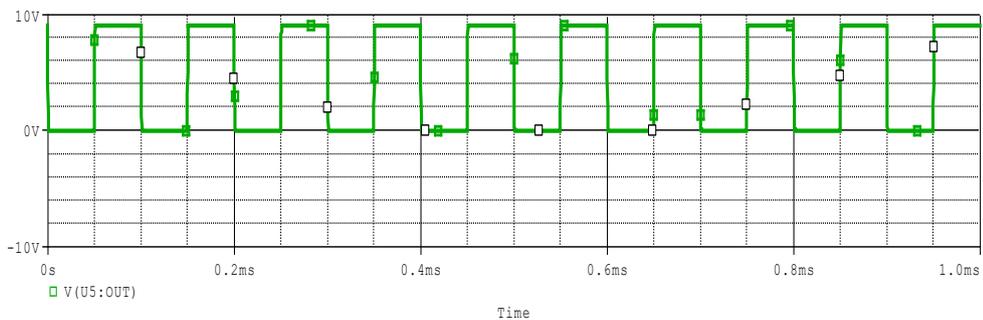


Figura 3.23 Onda cuadrada 10K Hz

En la figura 3.23 se observa la onda cuadrada de 10K Hz con 9 V de amplitud.

- $\overline{SQ}$  10K Hz

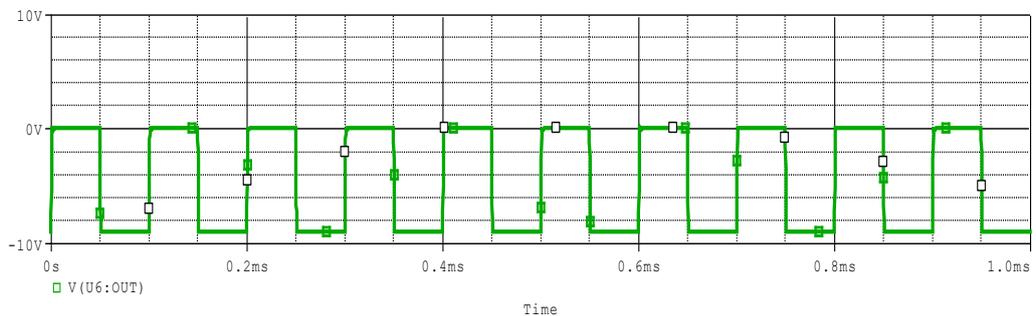
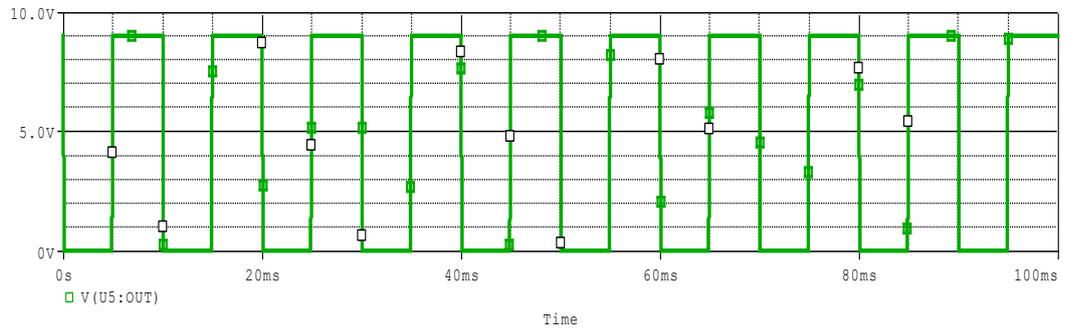


Figura 3.24 Onda cuadrada negada de 10K Hz

En la figura 3.24 se observa la onda cuadrada  $\overline{SQ}$  10K Hz con 9 V de amplitud.

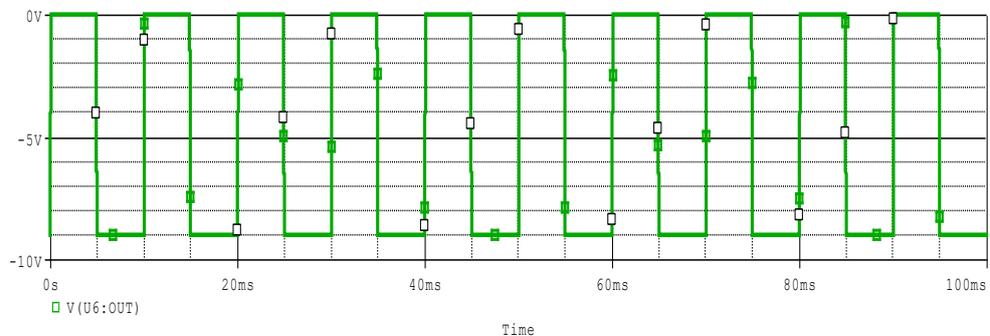
- 100 Hz



**Figura 3.25 Onda cuadrada 100 Hz**

En la figura 3.25 se observa la onda cuadrada de 100 Hz con 9 V de amplitud.

- $\overline{SQ}$  100 Hz



**Figura 3.26 Onda cuadrada negada de 100 Hz**

En la figura 3.26 se observa la onda cuadrada  $\overline{SQ}$  100 Hz con 9 V de amplitud. T2 amplifica catorce señales cuadradas con frecuencias de 1 Hz, 10 Hz, 100 Hz, 1K Hz, 10K Hz, 100K Hz y 1M HZ divididas entre siete positivas con su respectiva negación, las demás graficas amplificadas se pueden observar en Anexo A 3.3.

Analizando los resultados obtenidos en cada una de las secciones que forman T1 y T2, la onda de salida de la etapa de filtrado se convierte en la señal principal en el diseño de T1 debido a que el nivel de voltaje en  $V_{out}$  de  $3.68 V_{pico}$  equivalente a 2.6 V RMS es una de las cinco señales de referencia AC y a su vez es utilizada como señal de entrada en los diferentes módulos de las cuatro señales restantes, tal es la importancia de esta señal debido a que de ella dependerá la existencia de las demás señales junto con el factor de precisión y frecuencia con la que se genere. A diferencia de las señales AC las DC junto con las ondas cuadradas se generan individualmente en sus respectivos módulos, pero no dejan de ser importantes debido a que todas

forman parte del terminal J1. El diseño de cada módulo y la ventaja de los dispositivos de precisión son garantía de que se genere el nivel de voltaje adecuado y dentro de la tolerancia permitida, lo que le da a la señal la característica de fiable para realizar diagnósticos exitosos en el BCA.

### 3.3 Análisis de costos

Esta sección presenta el análisis económico en la fase de fabricación de las tarjetas T1 y T2 donde se incluye costos de materiales, mano de obra y el valor de inversión inicial que abarca este proyecto.

#### 3.3.1 Materiales

**Tabla 3.1 Costos de materiales**

<b>MATERIALES</b>				
<b>Ítem</b>	<b>Material-Descripción</b>	<b>Cantidad</b>	<b>P. Unitario USD</b>	<b>P. Total USD</b>
1	Amplificador Operacional SOIC-8	10	\$ 8,30	\$ 83,00
2	Amplificador Operacional SO POWER PAD 8	10	\$ 10,00	\$ 100,00
3	Pot. Precisión 1K $\Omega$ -5%-1,5W-10 TURN	8	\$ 241,25	\$ 1.930,00
4	Pot. Precisión 5K $\Omega$ -1%-8W-10 TURN	6	\$ 268,00	\$ 1.608,00
5	Pot. Precisión 10K $\Omega$ -1%-8W-10 TURN	8	\$ 227,00	\$ 1.816,00
6	Módulo convertidor DC-DC Vin 3.2-32V, Vout 1.5-35V, 4A	1	\$ 5,00	\$ 5,00
7	Fuente conmutada de voltaje 48V 3.3A 150W	1	\$ 36,87	\$ 36,87
8	Módulo convertidor DC-DC Vin 4,5-40V, Vout 1.5-35V, 3A	5	\$ 3,20	\$ 16,00
<b>Subtotal</b>				\$ 5.594,87
<b>12% IVA</b>				\$ 671,38
<b>TOTAL</b>				\$ 6.266,25

En la tabla 3.1 se presenta en detalle el costo de los componentes electrónicos, en donde se puede observar el volumen económico de los potenciómetros de precisión a diferencia de otros materiales, cabe recalcar que en el valor total está incluido el monto de importación ya que la tabla mostrada es producto de la factura recibida del proveedor.

#### 3.3.2 Costos de mano de obra

**Tabla 3.2 Valor de la mano de obra**

<b>Mano de obra</b>	
	<b>P. Hora</b>
Fabricación	\$ 13,00
Diseño	\$ 9,00

Para los cálculos se consideró el valor de fabricación y diseño por horas, presentados en la tabla 3.2 obtenida en las oficinas de diseño en DINDES. El cálculo total de la mano de obra se obtuvo considerando 8 horas laborables diarias en un total de 30 días pronosticados en el diseño y la elaboración del producto, los valores se presentan en la tabla 3.3.

**Tabla 3.3 Costo total de mano de obra**

<b>Costo-mano de obra</b>				
<b>Número horas diarias</b>		<b>Días laborables</b>	<b>P. Hora</b>	<b>P. Total</b>
Diseño	8	30	\$ 9,00	\$ 2.160,00
Fabricación	8	30	\$ 13,00	\$ 3.120,00
<b>TOTAL</b>				\$ 5.280,00

### 3.3.3 Inversión

La inversión en el proyecto incluye el valor obtenido en las secciones anteriores en adición con el valor de placas, para obtener este monto DINDES cuenta con un software especializado que realiza el cálculo en base a las dimensiones de cada placa a fabricar, 27 placas entre módulos y tarjetas madres suman \$ 500 dólares incluido todos los precios de materia prima en la producción de PCB.

**Tabla 3.4 Inversión Inicial**

<b>Total de inversión</b>	
<b>Materiales</b>	\$ 6.266,25
<b>Placas</b>	\$ 500,00
<b>Mano de obra</b>	\$ 5.280,00
<b>TOTAL</b>	\$12.046,25

El valor total de inversión se presenta en la tabla 3.4, producto del análisis de costos este valor representa para la Armada del Ecuador un ahorro aproximado del 94% del valor que costaría adquirir un nuevo módulo ETA-100 que se encuentra alrededor de \$200.00,00 como se indica en la problemática inicial.

3.4 Diseño final de tarjetas T1 y T2

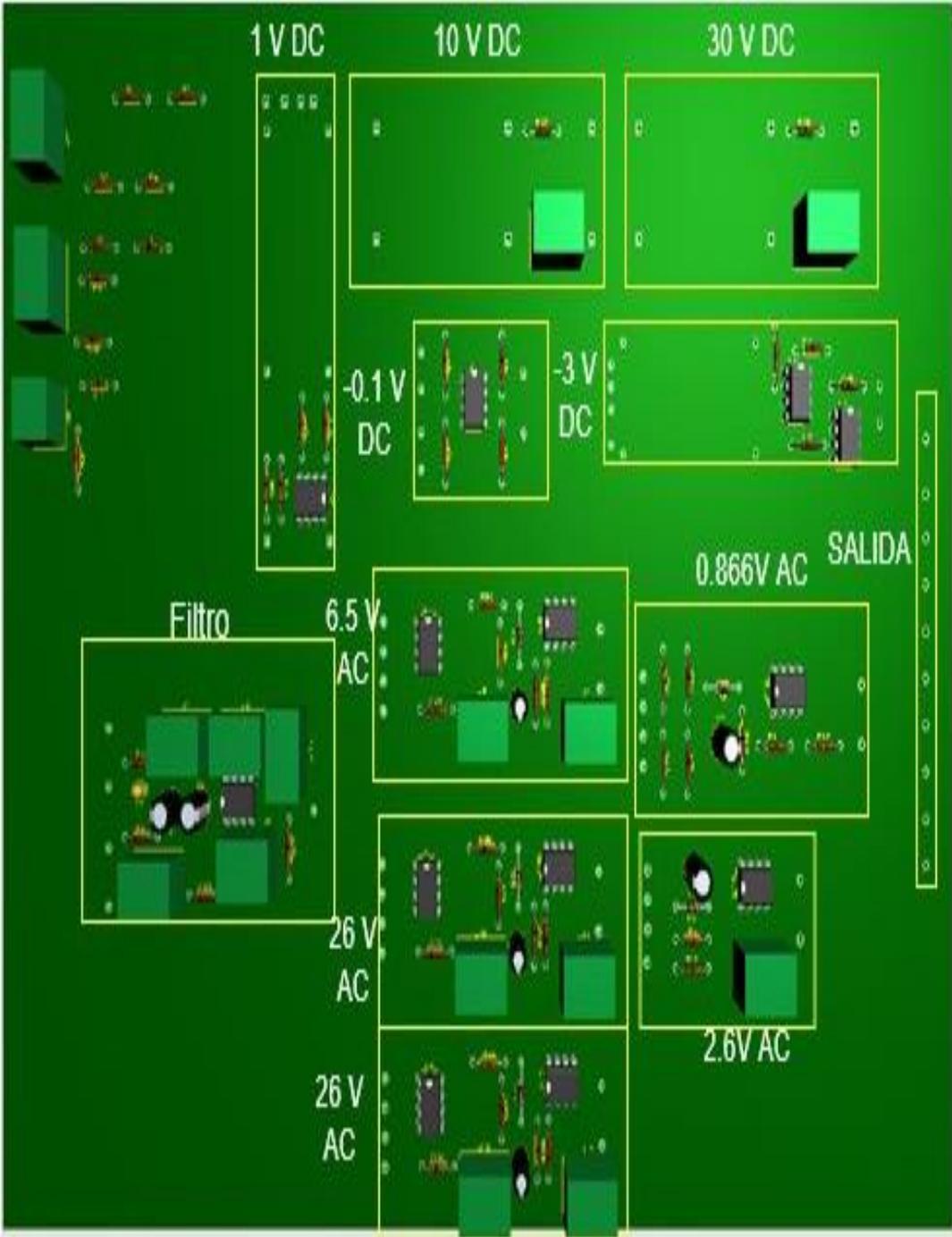


Figura 3.27 Diseño final de la tarjeta T1 generadora de señales de referencia.

## T2

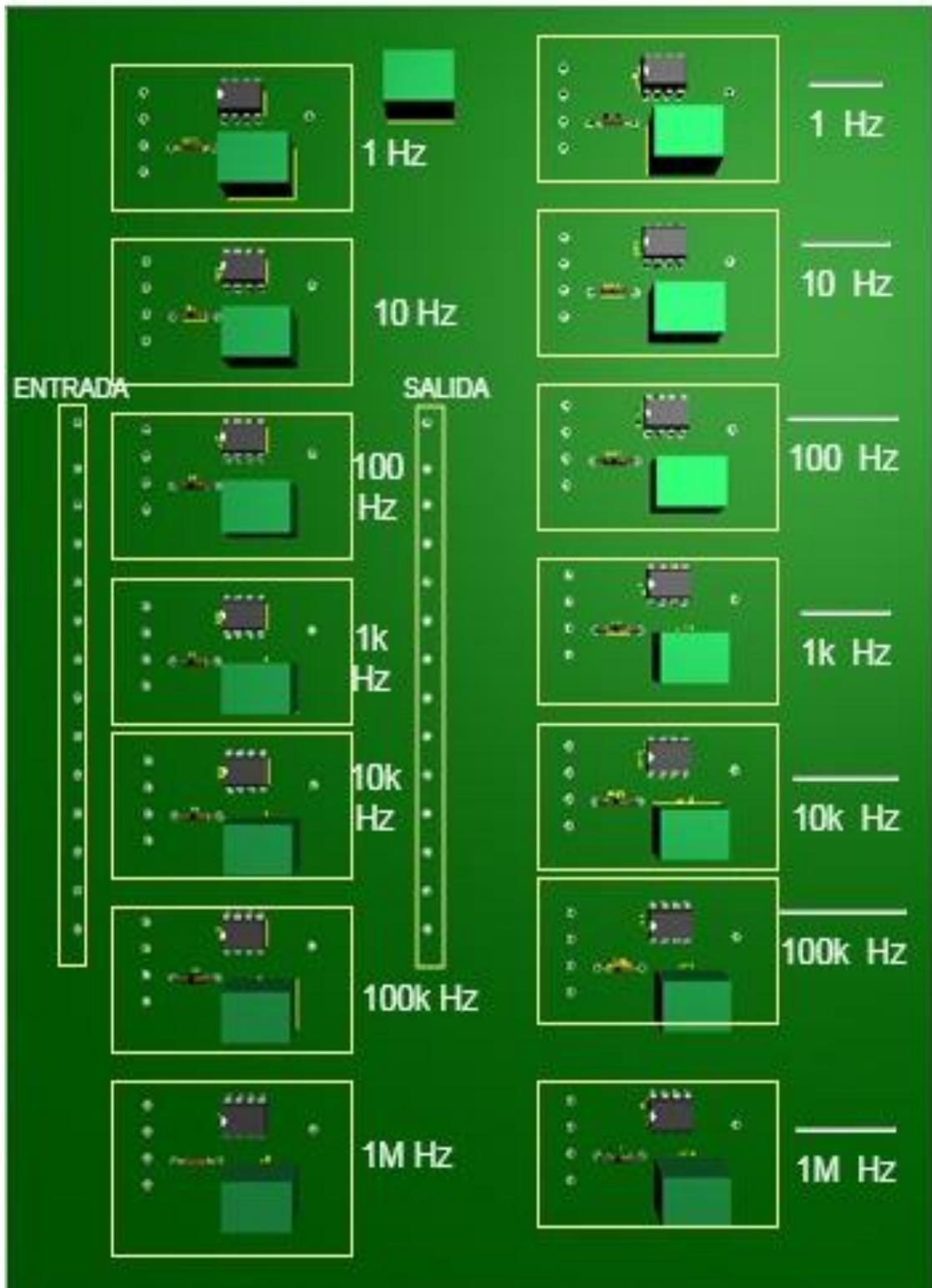


Figura 3.28 Diseño final de la tarjeta T2 amplificadora de ondas cuadradas.

### 3.5 Simulación pruebas de diagnóstico

Una vez iniciada la simulación del VI principal se encendió la consola de automatismo del BCA tal como se muestra en la figura 3.29.



Figura 3.29 Encendido del BCA

Luego de encender el BCA se procedió a realizar las pruebas de diagnóstico empezando por la prueba C1 ver figura 3.30.



Figura 3.30 Prueba C1

Durante la ejecución de la prueba C1 se presentó el mensaje de estado de la prueba y al presionar OK se activaron los leds de cada rack indicando que están correctamente energizados, para luego dar fin a la evaluación.

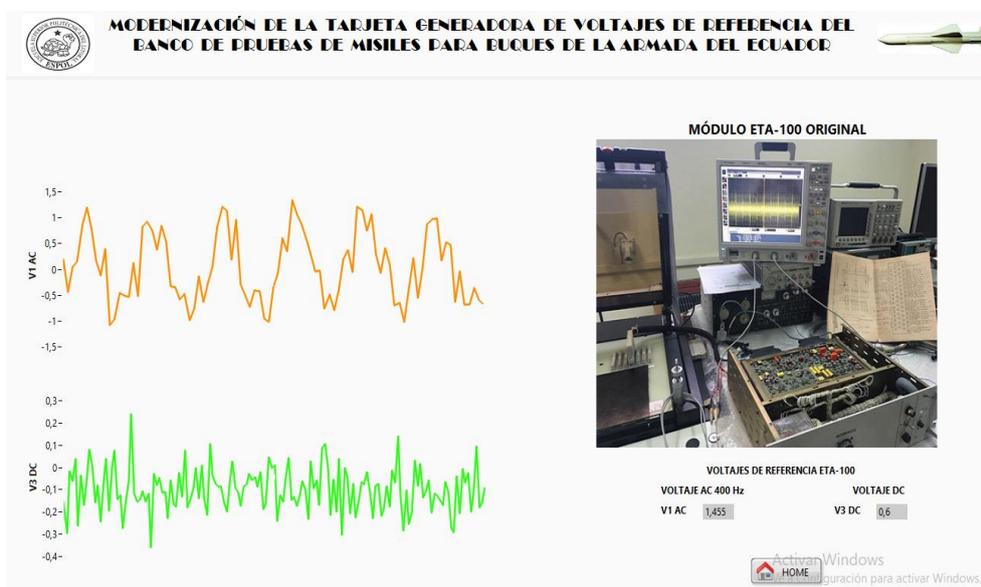


**Figura 3.31 Fin de la prueba C1**

Para ejecutar la prueba C2 entró en operación el switch de selección de escenario ya sea del error o la solución, en esta parte se dividen los resultados dependiendo del escenario escogido desde el inicio hasta concluir con la prueba final C5.

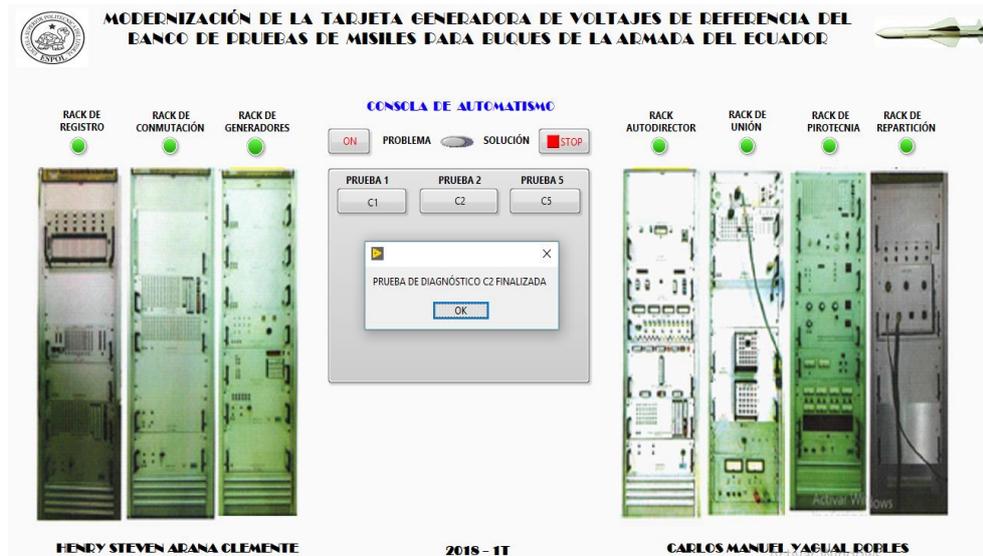
### 3.5.1 Simulación del problema inicial

Establecido el switch de operación en problema se dio inicio a la prueba C2, donde apareció una nueva ventana en donde se simuló el problema inicial.



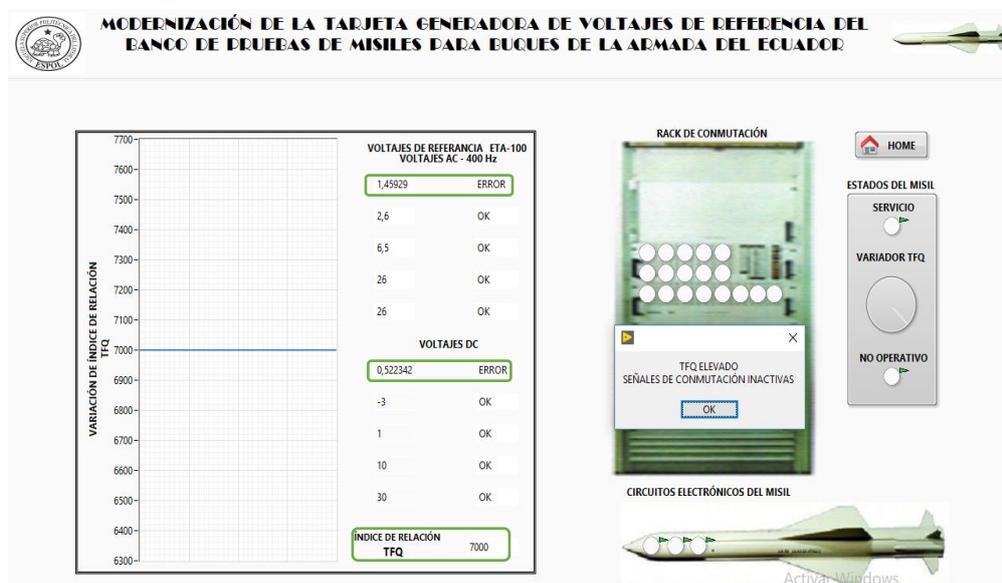
**Figura 3.32 Prueba C2 – Error**

Como se muestra en la figura 3.32 se observó el ruido presente en las señales de 0,8666 VAC y -0,1 VDC tal como se muestra en el graficador e indicador de amplitud respectivamente. Al seleccionar HOME regresamos a la interfaz principal donde muestra el mensaje de fin de prueba.



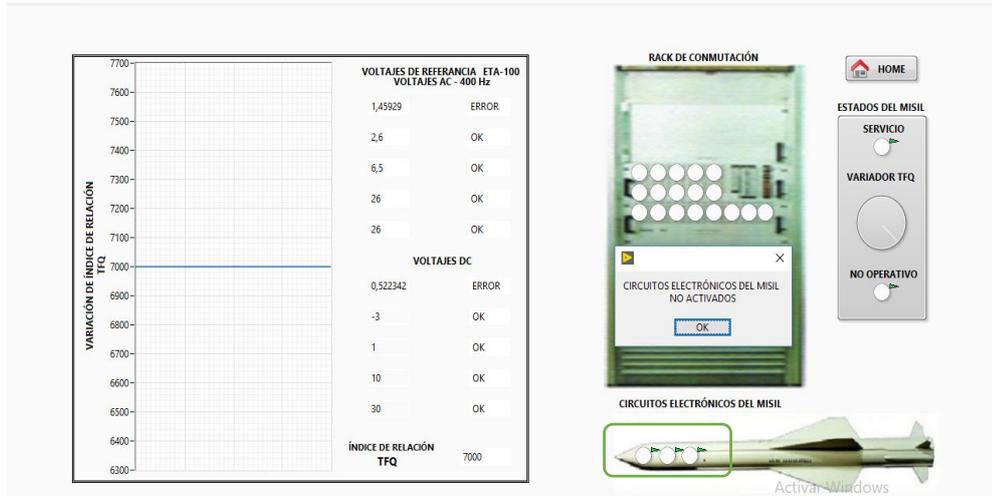
**Figura 3.33 Fin de prueba C2**

Finalizada la prueba C2 inmediatamente se inició la prueba C5 donde se observó que el TFQ=7000 en el graficador junto con el estado de cada señal de referencia indicando que las dos señales antes mencionadas son erróneas (Figura 3.34).



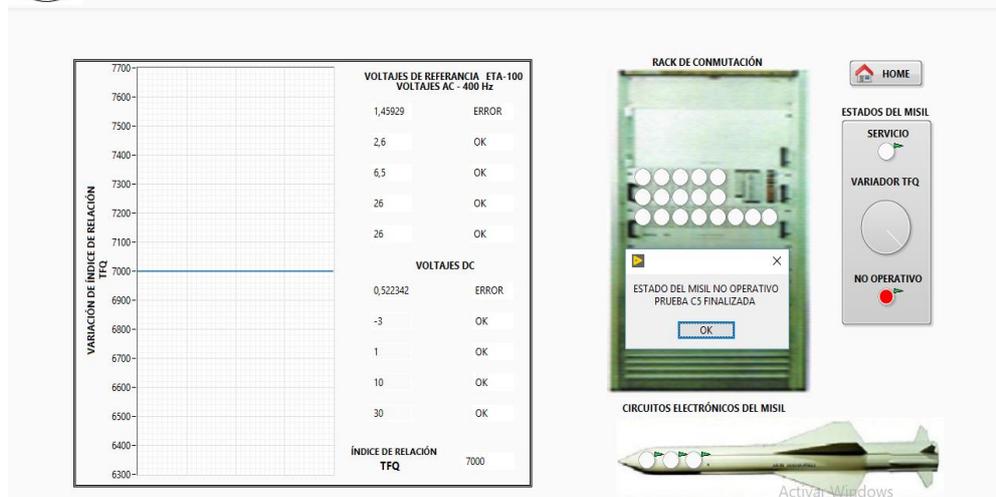
**Figura 3.34 Prueba C5**

En la prueba C5 el mensaje le muestra al operador que las señales de conmutación están inactivas, por lo tanto, los circuitos electrónicos del misil también están inactivos.



**Figura 3.35 Circuitos electrónicos inactivos**

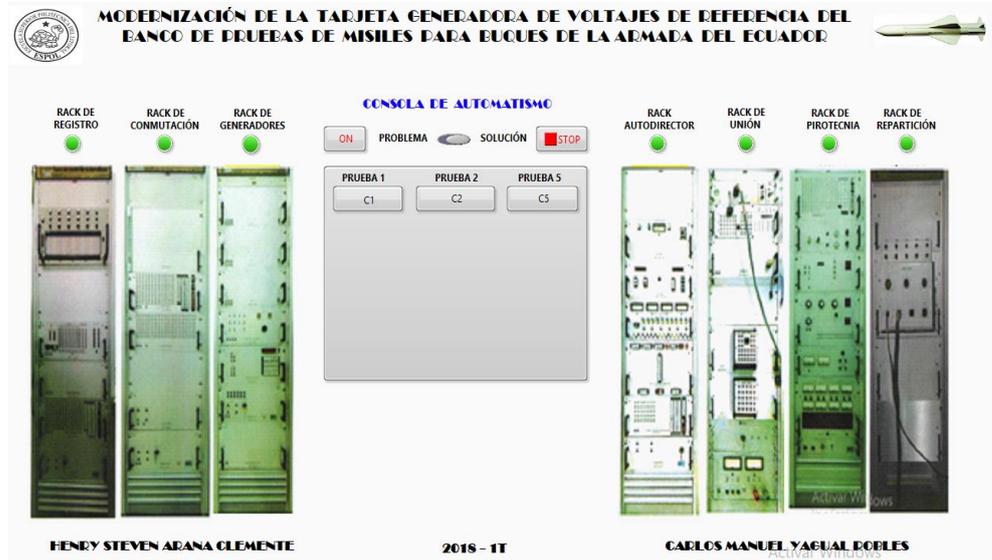
Al estar los circuitos electrónicos inactivos (Figura 3.35), las evaluaciones resultaron erróneas y el misil entró en estado no operativo como se muestra a continuación.



**Figura 3.36 Estado no operativo del misil**

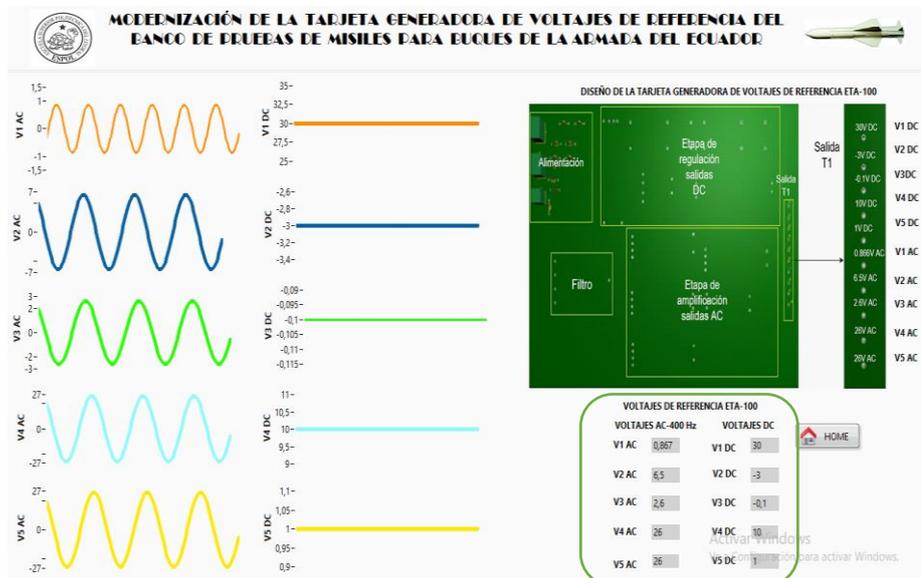
### 3.5.2 Simulación de la solución final

Para simular el escenario de la solución se cambió el switch de operación en el modo respectivo, ver figura 3.37.



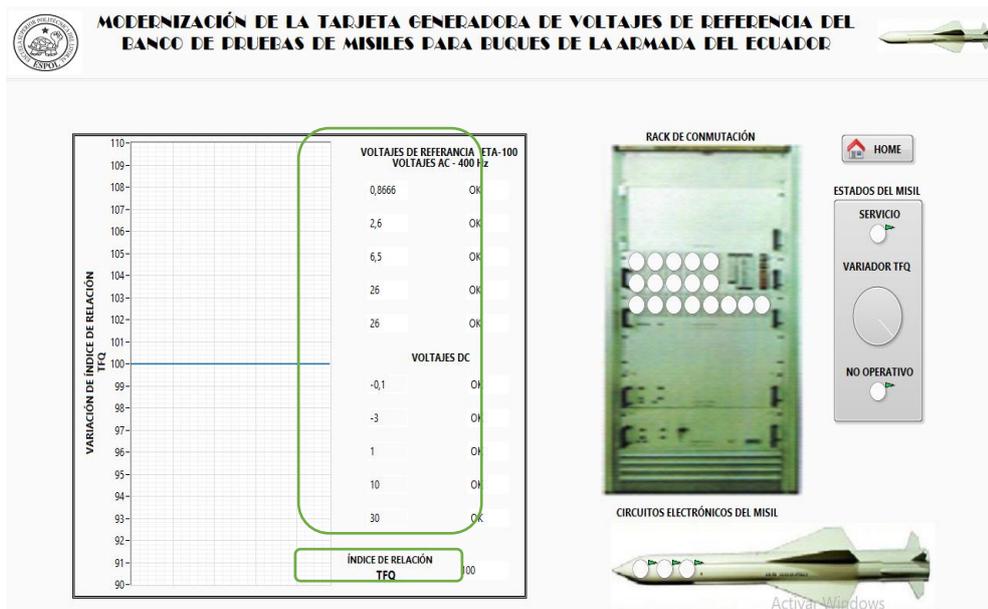
**Figura 3.37 Selector modo de operación -solución**

Al iniciar la prueba C2 las 10 señales de referencia se generaron correctamente con las medidas adecuadas como se muestra en la figura 3.38 y se indicó en la hoja técnica.



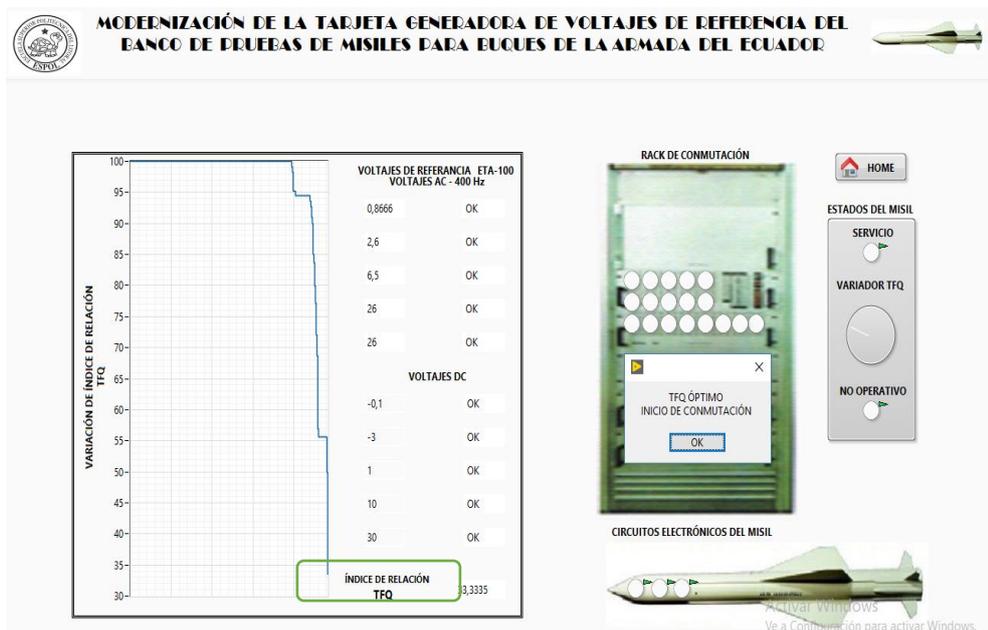
**Figura 3.38 Señales de referencia correctamente generadas**

Posteriormente finalizada C2 se inició con C5 en donde se observó que el estado de las señales es correcto y el TFQ se encontraba dentro del rango de 0 a 100 como se muestra en la figura 3.39, en el graficador y su respectivo indicador.



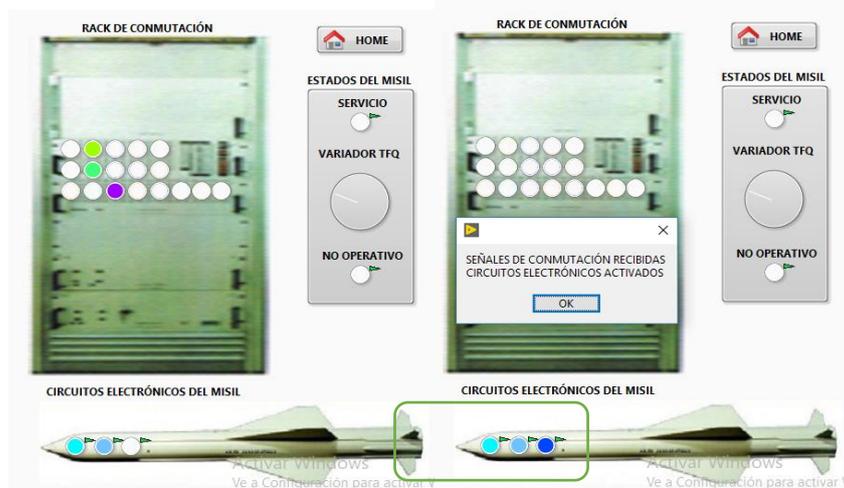
**Figura 3.39 Rango permitido para la variación del TFQ**

Se procedió a variar el TFQ hasta alcanzar el nivel indicado, con lo que se logró activar las señales de relé en el rack de conmutación (figura 3.40).



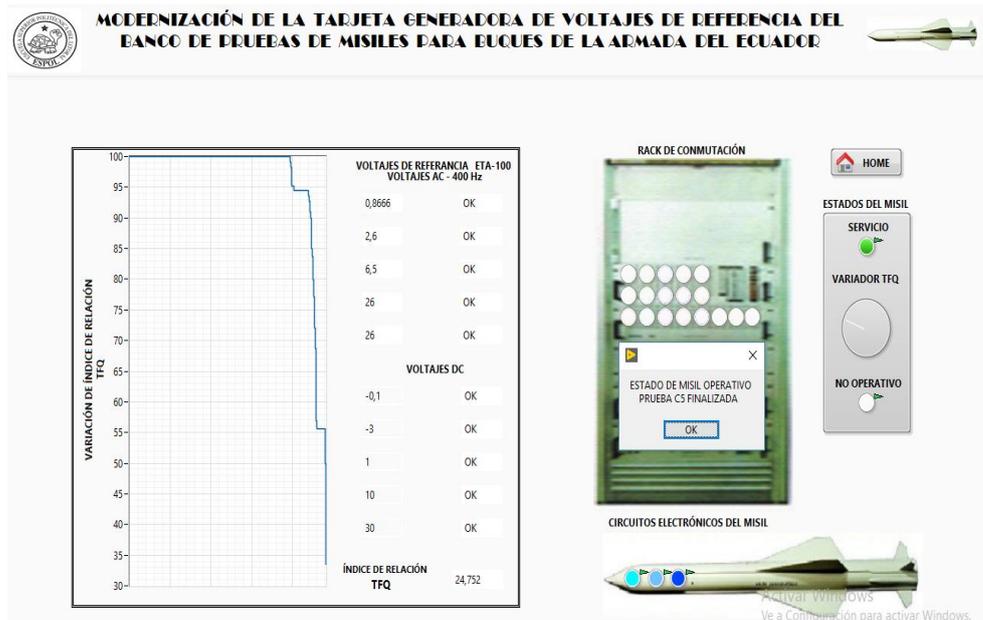
**Figura 3.40 TFQ óptimo-inicio de conmutación**

Se inició la conmutación de las señales de relé y con esto la activación de los circuitos electrónicos del misil (figura 3.41).



**Figura 3.41 Activación de circuitos electrónicos del misil**

En el instante que termina la conmutación de las señales y se activaron los circuitos electrónicos del misil, este alcanzó el estado de servicio y se finalizó la prueba C5.



**Figura 3.42 Estado operativo del misil**

Finalizada la prueba de diagnóstico se regresó a la interfaz principal y se presentó el mensaje de finalización de pruebas de validación electrónica una vez presionado OK se finalizó el programa.

# CAPÍTULO 4

## 4 CONCLUSIONES Y RECOMENDACIONES

### 4.1 CONCLUSIONES

Debido a que la fabricación de las tarjetas T1 y T2 es realizada para sustituir el antiguo módulo ETA-100 se entiende que no se realizará producción en masa, por lo tanto, el proyecto no requirió un análisis de retorno de inversión, sin embargo en base al valor de inversión inicial de \$12.000,00 frente al costo que representa la adquisición de un nuevo equipo se concluye que la solución presentada en este proyecto es totalmente viable y factible realizarla tomando en cuenta las recomendaciones que más adelante se presentan. La implementación de este proyecto representa para la Armada del Ecuador un ahorro estimado alrededor del 94% en comparación con los \$ 200.000,00 que costaría la compra de un nuevo módulo ETA-100.

Conocimiento de todo Ingeniero Electrónico es que los diferentes dispositivos se caracterizan por ser de bajos precios, pero debido a que el proyecto va a ser aplicado en campo militar se requiere que las propiedades de las señales que generan las tarjetas T1 y T2 cumplan las condiciones de precisión establecidas en la hoja técnica, este parámetro es la justificación al elevado valor de adquisición solo a lo que en materiales compete.

La relación existente entre la diversidad de filtros electrónicos es su funcionalidad al tratamiento de señales en diversos rangos de frecuencia, mientras que la diferencia radica en el tipo de arquitectura que se elija, el diseño del filtro Sallen Key cumple con el requerimiento de precisión que se necesita para la generación de una onda senoidal con frecuencia de  $400 \times 10^{-4} \text{ Hz}$ , garantía de esto es la previa implementación con electrónica de precisión de baja calidad realizada en el transcurso del proyecto, se espera que la implementación con electrónica de alta gama mejore y logre la exactitud en la onda de salida ya que en resultados antes mencionados el menor error que se logró es de  $\pm 0,01$ .

A lo largo del proyecto dentro de las diversas alternativas de solución utilizadas para cumplir los objetivos específicamente en el diseño de un filtro en primera instancia debe realizarse un estudio de la banda de frecuencia en la que se desea

trabajar, este análisis permite seleccionar y establecer el tipo de arquitectura del circuito que se va a utilizar. Esto se evidenció entre las dos alternativas utilizadas al omitir esta evaluación en los procedimientos se encuentra la explicación a la respuesta nula en frecuencia de un filtro RLC además de notar la importancia en el momento de dimensionar los componentes, este es el caso de los inductores dentro de la banda de 400 Hz resultan de grandes dimensiones quedando obsoletos para la fabricación de CI, por tal motivo en la actualidad este tipo de elementos pasivos siguen siendo idóneos para trabajar en altas frecuencias en diversas aplicaciones. A diferencia de un filtro pasivo, con uno activo dentro del rango de bajas frecuencias se obtienen las respuestas deseadas dentro de la banda pasante configurada, además de que se aprovechan las propiedades de la existencia de un amplificador dentro del circuito tales como la alta impedancia de entrada y baja de salida y la más importante el efecto de la ganancia amplificada en la señal de salida, factor de gran utilidad en gran porcentaje dentro del proyecto para establecer las diferentes señales en sus valores de amplitudes deseados.

Al obtener la onda de referencia con 400 Hz, se diseñó las diferentes etapas de amplificación y reducción dependiendo de la salida requerida, teniendo como resultado final el diseño de cinco placas individuales que se superponen o conectan a la placa T1. Las placas fueron diseñadas con las dimensiones más pequeñas posibles para optimizar el espacio de la placa T1 utilizando todos los componentes electrónicos necesarios para obtener la salida final requerida.

De las cinco placas que entregan voltaje AC, solo tres utilizan amplificadores operacionales esto es debido a que la señal de referencia es de 2.6 V RMS, y dos salidas AC tienen un valor RMS igual o menor por lo que en estos casos la utilización de los amplificadores no es necesario. Al tener como datos finales voltajes RMS se realizó la debida conversión, ya que la gráfica del simulador Pspice por defecto grafica valores pico, pero ya obteniendo los valores de las conversiones se aprecia que la salida de cada una de las placas diseñadas entrega el voltaje RMS requerido, esta herramienta de simulación ayudan también a corregir los valores de los elementos hasta obtener el resultado deseado con el menor error posible.

La implementación de convertidores DC-DC comerciales en los diseños finales de las tarjetas generadoras de voltajes DC, le otorga al módulo mayor eficiencia por lo

tanto los elementos electrónicos disipan menor cantidad de energía, siendo indispensables en el diseño final de las placas individuales, regulando de esta manera los voltajes requeridos para el terminal J1, junto con amplificadores configurados en modo inversor para el caso de los voltajes negativos.

La adición del circuito generador de nivel lógico HL cuenta con estructura base de un rectificador de señal acompañado con dimensiones proporcionales de sus componentes, en cada sección varía dependiendo de la señal a rectificar, esta afirmación es respaldada con las simulaciones realizadas para cada módulo en donde el valor DC resultante es de  $3.3 \pm 0.03 V$  requerida por la tarjeta de desarrollo para tratar cada señal en uno de sus pines de entradas y facilitar los trabajos de mantenimiento con la previa visualización del nivel de cada señal y confirmarla con su respectiva medición con los instrumentos adecuados.

En los resultados se observan las gráficas de las respectivas señales de salida del conjunto de circuitos antes mencionados con su valor correspondiente, demostrando que la tarjeta diseñada con los elementos electrónicos calculados y dimensionados cumplen con los parámetros requeridos para formar parte del terminal J1.

Al terminar el diseño de las diez placas modulares de voltajes AC y DC, es importante mencionar el soporte de lo estudiado con respecto a los diferentes cursos de Electrónica y de Electrónica de Potencia, debido a que los cálculos y dimensionamientos se los obtuvieron gracias a esos conocimientos, también las herramientas digitales como son los simuladores de electrónica que ayudan a visualizar si el cálculo esta correcto o no y si se encuentran dentro de las tolerancias permitidas.

El resultado final del diseño de las dos placas principales, permitirá obtener las salidas correspondiente de forma ordenada, separando en la placa T1 las cinco señales DC, y las cinco señales AC obteniendo diez salidas independientes que forman parte del terminal final J1, la placa T2 amplificará catorce señales cuadradas, dichas señales tendrán el mismo voltaje pico pero diferentes niveles de frecuencia, al igual que las diez señales de la placa T1 las catorce señales forman parte del terminal J1.

El conjunto de módulos que forman las tarjetas T1 y T2 se basan en diseños genéricos conforme la naturaleza de la señal que se genera lo amerite, esto le da

a cada placa la propiedad de ser modificada en términos de componentes según el escenario y propósito con el que se realice teniendo presente que cada valor obtenido en el proyecto está respaldado con los debidos cálculos y referenciados en tablas de valores comerciales.

La importancia de realizar las tarjetas de forma modular es poder efectuar mantenimiento preventivo y correctivo de las diferentes etapas de manera más rápida y efectiva, es decir detectar algún fallo o desgaste de los elementos electrónicos por etapas y placas individuales, facilitando al técnico reemplazar el elemento defectuoso retirando únicamente la etapa en la que se encuentra el fallo, el diseño planteado es mejorado, lo cual implica que los tiempos y costos de mantenimientos se verán reducidos.

Es importante destacar que al tener una tarjeta modular como diseño final, se presenta la ventaja de poder rediseñar alguno de los módulos presentes con elementos electrónicos de mejores propiedades con la posibilidad de reemplazarlos en la tarjeta madre siempre y cuando se conserven las dimensiones establecidas del módulo anterior, ya que los orificios por donde se conectan las placas no pueden ser modificados, teniendo en cuenta este aspecto se evita realizar una nueva tarjeta madre.

Diseñar las placas con estructura modular puede conllevar a utilizar más materia prima comparada con la que se utilizaría en una sola pero pese a esta desventaja, realizar etapas y placas modulares mejora el tratamiento y mantenimiento de las mismas como se explicó anteriormente, otro motivo que se puede agregar es que para diseños e implementaciones futuras seguir la temática modular puede simplificar la circuitería de tarjetas no solo en dimensiones sino también en complejidad del diseño, obteniendo un módulo con fines específicos listo para ser conectado a la placa madre en donde se encuentran las entradas de alimentación y los pines de salidas individuales para ser llevadas al terminal final J1.

La justificación del diseño de dos tarjetas modulares es debido a la gran cantidad de señales que tiene el terminal J1, esto implicaría utilizar muchos elementos y dispositivos electrónicos ya que se trabajan con un total de veinticuatro señales, por lo que diseñar una tarjeta para el conjunto señales conllevaría a utilizar una base muy grande resultando poco práctico para su uso y mantenimiento. Debido a los inconvenientes mencionados las dos tarjetas tienen la dimensión estándar A4,

de modo que se trabaje de manera más sencilla y practica separando el tratamiento de los voltajes AC y DC en la placa T1 y las señales cuadradas en la placa T2.

A lo largo de todo el proyecto se hace énfasis en el uso de las propiedades de la electrónica de precisión en las diferentes etapas de las placas, todo el trabajo realizado en diseño, dimensionamientos y las debidas simulaciones para verificar la naturaleza de las señales, son respaldo de que cada módulo generará señales con mayor fiabilidad frente a las señales actuales que se obtienen en el ETA-100, esto conllevará a que las pruebas que se realicen en el BCA implementando la solución propuesta sean exitosas.

## 4.2 RECOMENDACIONES

- La etapa de filtrado de la tarjeta T1 fue diseñada estableciendo un valor de voltaje rms en su salida igual 2,6 VAC como valor base para obtener las 4 señales restantes, en el ámbito de la implementación se recomienda fijar dicho valor en la salida regulando los valores de ganancias en dicha etapa para garantizar y obtener los niveles correctos de voltajes en los diferentes módulos AC de la tarjeta T1.
- Otra de las opciones para establecer el valor de señal de referencia en 2,6VAC es variar la amplitud de la onda cuadrada proveniente de la tarjeta de desarrollo FPGA a 400 Hz amplificando o disminuyendo su amplitud, esto se logra con la adecuada regulación de los potenciómetros en el filtro para variar los valores de ganancia en la banda de frecuencia configurada y así obtener el voltaje de salida antes mencionado.
- Los software Pspice y Proteus en sus diferentes opciones de configuración en las generaciones de señales permiten manejar la presencia de offset en las mismas, debido a que las señales de referencia fueron generadas sin offset se recomienda que para futuros trabajos se tome en consideración este aspecto importante al momento de la implementación de cada uno de los módulos en sus señales de referencia, en caso de existir se tendrá que añadir una etapa que elimine este parámetro, dicha etapa deberá tomar los pines de salidas de las señales de referencia de la tarjeta T1 como señal de entrada mientras que la señal que entrega en la salida se convertirá en la nueva señal de referencia que tendrá que ir a formar parte del terminal J1.

- Como medida de protección se recomienda aislar las tarjetas T1 y T2 con sus respectivos módulos utilizando láminas de acrílico tomando en cuenta las dimensiones de cada placa base igual a 21x29,7 cm.
- Para la alimentación de la tarjeta T1 se recomienda utilizar una fuente conmutada de 48 VDC con salida ajustable. Su naturaleza, dimensiones y el factor de eficiencia frente a una fuente común hacen que sea idónea para energizar todo el conjunto de placas, además de que las protecciones que posee permiten el trabajo seguro con los diversos CI que serán utilizados.
- Para la futura implementación de los módulos en el caso de los DC es necesario revisar el esquemático de la tarjeta T1 en la sección módulos de reguladores de voltajes dc donde se indica el valor de salida en el que debe quedar ajustado el regulador LM2596 o XL6009 para obtener el nivel de voltaje correcto en la salida y su posterior señal de nivel lógico en las placas que se utiliza. Los esquemáticos y demás documentos serán entregados al personal de DINDES.
- En el diseño de cada una de las placas se utilizó un terminal genérico para los potenciómetros, con la finalidad de que puedan ser reemplazados por uno de mejor tolerancia y así lograr la precisión requerida en cada señal, para la fabricación de las placas se cuentan con potenciómetros de 5% y 1% de tolerancia.
- Se recomienda utilizar amplificadores operacionales que permitan trabajar con altas frecuencias, debido que al trabajar con frecuencias mayores a los 10K Hz la onda tiende a distorsionarse cuando se trabaja con amplificadores convencionales, el diseño de cada placa se mejora con la ventaja de que la mayoría de los amplificadores convencionales y conocidos poseen la misma cantidad de pines para tratar señales y mantienen el mismo diseño en PCB.
- Debido a que el conjunto de veinticuatro señales del terminal J1 se obtiene por separado en las dos tarjetas T1 y T2, los ingenieros a cargo de la fabricación pueden diseñar una placa adicional donde se puedan juntar todas las señales provenientes de las dos placas con la finalidad de tener una salida única en la que se puede utilizar un bus de datos y así llevarlos hasta J1, esto permitiría trabajar con más facilidad y orden en el tratamiento de las señales. Si no fuese esta recomendación tomada en cuenta lo más idóneo es que se tome cada señal por separada asignándole una etiqueta de nombre a cada uno de los

cables muy similar a un tablero de control automático, para luego todas juntarlas y formar el terminal J1 evitando todo tipo de confusión que pueda presentarse.

- Para aprovechar los recursos que posee la Armada del Ecuador en DINDES, se sugiere que las ondas cuadradas con diferentes valores de frecuencia sean generadas desde una tarjeta de desarrollo FPGA.
- No está de más sugerir que la fabricación de todas las placas debe ser realizada incluyendo todos los preservantes químicos posibles con la finalidad de que puedan conservarse el mayor tiempo posible, con esto se disminuye la posibilidad de realizar gastos que pueden ser evitados desde el punto de vista técnico.

# BIBLIOGRAFÍA

- [1] Entrevista realizada al Ingeniero Luis Artieda, Asistente de Diseño del Departamento de Investigación y Desarrollo (DINDES).
- [2] A. E. Fusté, La Electrónica y los actuales Sistemas Defensivos. [Online]. Disponible en: <https://upcommons.upc.edu/bitstream/handle/2117/87276/La+electr%F3nica+y+los+actuales+sistemas+defensivos.pdf>
- [3] L. García. (2006, Junio). Guerra Electrónica. [Online]. Disponible en: [kimerius.com/app/download/5783716348/Guerra+electrónica.pdf](http://kimerius.com/app/download/5783716348/Guerra+electrónica.pdf)
- [4] R. Scott, (2009, Noviembre 29). Las Fuerzas Navales aguardan la llegada del Exocet de tercera generación. [Online]. Disponible en: <http://www.ara.mil.ar/archivos/Docs/a005.pdf>
- [5] P. Macchiavello, (2016, Febrero). El Misil Exocet MM-40 BLOCK 3. [Electrónico]. Disponible en: <https://revistamarina.cl/revistas/2016/2/pmacchiavello.pdf>
- [6] J. G. Fernández., R. M. Hidalgo., R. R. Rivera., W. A. Gemin. y H. A. Larrondo." Medición de amplitud y frecuencia de señales periódicas inmersas en ruido."
- [7] Jesús Martínez Teruel. "Sistema de medida de espectroscopia de impedancia eléctrica en el rango 100 KHz – 20 MHz para aplicaciones biomédicas"
- [8] Pamela Alexandra López Chango. "Diseño e implementación de un prototipo de audífono para obtener el espectro de frecuencias audibles a un oído humano".
- [9] A. Bejarano O. Ayala y E. Quintero, "Software para el diseño de filtros Sallen-Key," Universidad Tecnológica de Pereira., Pereira, Colombia, ISSN 0122-1701, 2010.
- [10] S. Franco, "Diseño con amplificadores operacionales y circuitos integrados analógicos," Tercera Edición. México D.F.: McGraw-Hill Interamericana, 2005.
- [11] Texas Instruments, "Active Filter Design Techniques" in Op Amps for Everyone, Dallas Texas, Estados Unidos, 2002.
- [12] R. L. Boylestad and L. Nashelsky, "Electrónica: Teoría de circuitos y dispositivos electrónicos," Décima Edición. Naucalpan de Juárez, México: Pearson Educación, 2009.

# ANEXOS

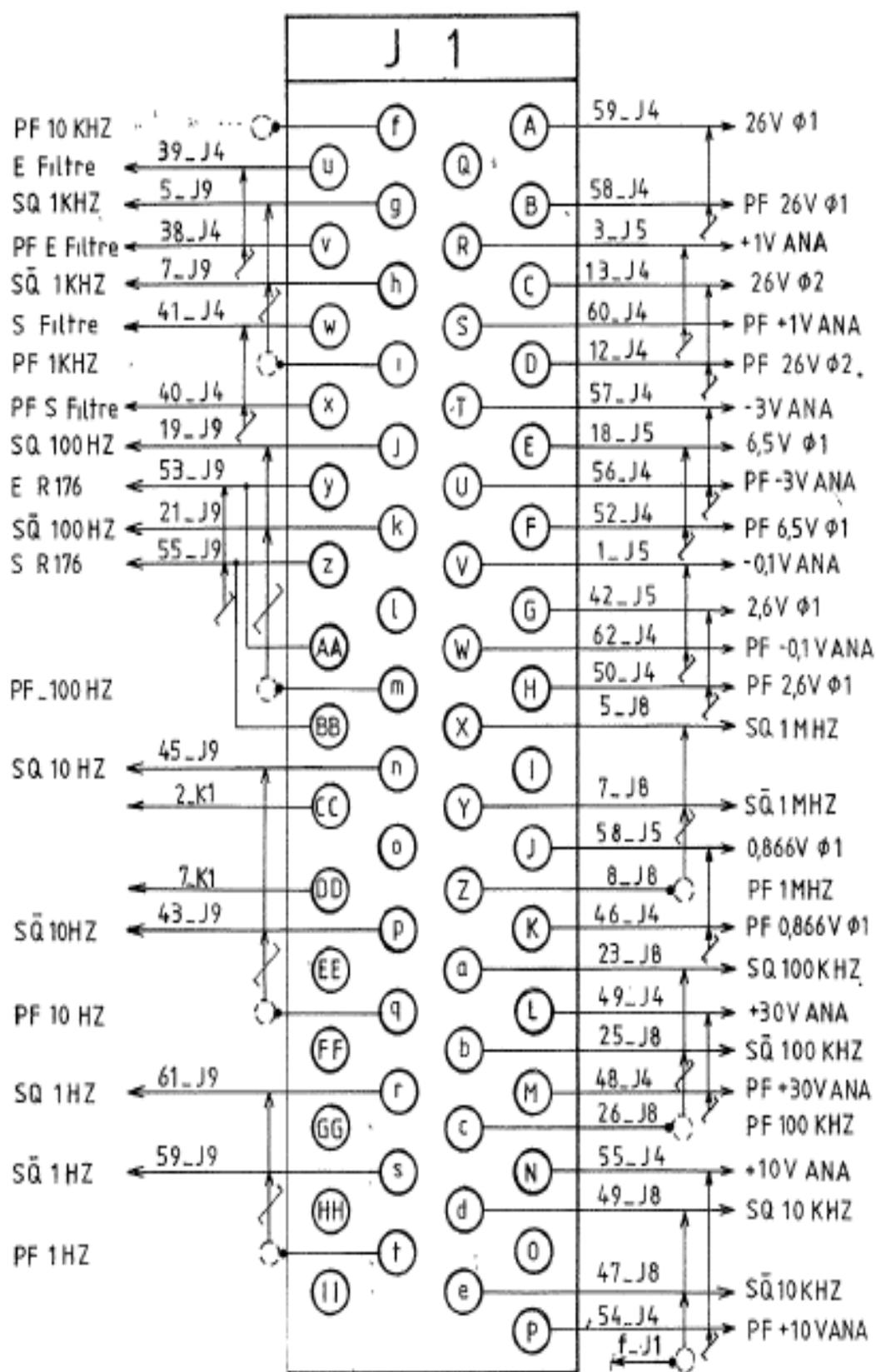
## ANEXO A

### A 1 Datos Técnicos módulo ETA-100

Tabla de datos técnicos:

Ondas Cuadradas	$1 \text{ Hz} \pm 10^{-5}$
	$10 \text{ Hz} \pm 10^{-5}$
	$100 \text{ Hz} \pm 10^{-5}$
	$1 \text{ KHz} \pm 10^{-5}$
	$10 \text{ KHz} \pm 10^{-5}$
	$100\text{K Hz} \pm 10^{-5}$
	$1 \text{ MHz} \pm 10^{-5}$
5 DC Voltages	$+30 \text{ V} \pm 3\text{mV}$
	$+10 \text{ V} \pm 1\text{mV}$
	$+1 \text{ V} \pm 0.1\text{mV}$
	$-3 \text{ V} \pm 0.3\text{mV}$
	$-0,1\text{V} \pm 0.01\text{mV}$
Output impedance	$\leq 1 \Omega$
5 AC Voltages	$26 \text{ Vrms} \pm 26\text{mVrms}$
	$6.5 \text{ Vrms} \pm 6.5\text{mVrms}$
	$2.6 \text{ Vrms} \pm 26\text{mVrms}$
	$0,8666 \text{ Vrms} \pm 0.9\text{mVrms}$
	$26 \text{ Vrms} \pm 26\text{mVrms}$
Output impedance	$\leq 4 \Omega$
Frecuency	$400 \text{ Hz} \pm 10^{-4}$

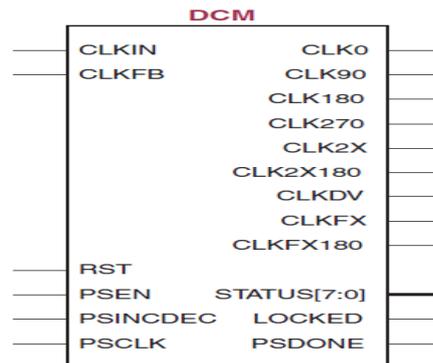
## A 2 Terminal J1 módulo ETA-100



# ANEXO A 1

## Configuración DCM (Digital Clock Manager)

El módulo DCM de la tarjeta de desarrollo ofrece la posibilidad de configurar nuevos flancos de reloj para el procesamiento de datos en base al oscilador de 50 MHz que posee, por lo tanto, se puede obtener distintos valores de frecuencias para diversas aplicaciones.



**Figura 1 Diagrama de bloque DCM**

La figura muestra el diagrama de bloque del DCM con sus respectivas señales de entradas y salidas, para la finalidad de la primera alternativa la señal objetivo era CLKFX encargada de sintetizar un nuevo valor de frecuencia en base a la siguiente expresión matemática.

$$F_{CLKFX} = F_{CLKIN} * \frac{CLKFX\_MULTIPLY(M)}{CLKFX\_DIVIDE(D)}$$

Se realizó el estudio de la variación de frecuencia en la onda de salida a 400 Hz estableciendo diferentes valores para los factores M y D en donde se obtuvieron nuevos valores de frecuencia de procesamiento de datos.

- $M = 15$   $D = 9$

$$F_{CLKFX} = 50 \text{ MHz} * \frac{15}{9} = 83,33 \text{ MHz}$$

- $M = 31$   $D = 19$

$$F_{CLKFX} = 50 \text{ MHz} * \frac{31}{19} = 81,57 \text{ MHz}$$

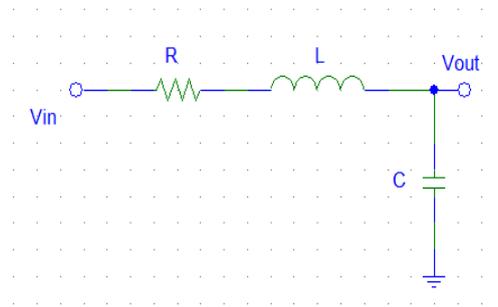
- $M = 32$   $D = 19$

$$F_{CLKFX} = 50 \text{ MHz} * \frac{32}{19} = 84,21 \text{ MHz}$$

Con estos 3 valores establecidos de frecuencia, la onda senoidal fluctuaba en un rango promedio del 5% de error, como se indica en el capítulo de metodología.

## ANEXO A 2

### Filtro RLC topología pasa banda



**Figura 2 Filtro RLC**

Función de Transferencia:

$$\frac{V_o}{V_i}(s) = \frac{s \frac{R}{L}}{s^2 + s \frac{R}{L} + \frac{1}{LC}}$$

Para el dimensionamiento de los componentes se utilizan las siguientes ecuaciones matemáticas.

$$L = \frac{1}{(2\pi f_o)^2 C} \quad R = \frac{1}{2\pi f_o Q C}$$

Se estableció el valor del capacitor en un valor comercial igual a  $10\mu F$ , se estableció la frecuencia central  $f_o = 400 \text{ Hz}$  y el factor de calidad en  $Q = 10$ .

$$L = \frac{1}{(2\pi * 400)^2 (10 \times 10^{-6})} = 15,8314 \text{ mH}$$

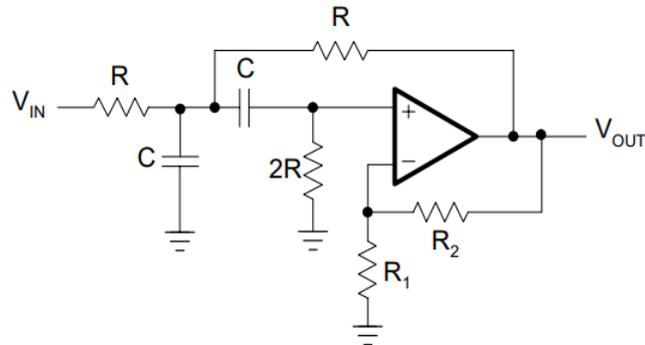
$$R = \frac{1}{2\pi * 400 * 10 * 10^{-6}} = 3,9788 \Omega$$

La tabla presente a continuación es una sección del estudio de las medidas de inductancias y capacitancias publicada en la página de National Instrument, en esta se puede notar que para frecuencias de 1KHz el valor de L obtenido sería adecuado, no para la banda establecida motivo por el cual no se obtuvo respuesta en frecuencia.

Rango	Inductancia			
	Fundamental		Tercer Armónico	
	Frecuencia	Corriente	Frecuencia	Corriente
10mH	1Khz	3uA	3Khz	3,3 uA

## ANEXO A 2.1

### Diseño del filtro pasa banda topología Sallen Key



**Figura 3 Filtro activo pasa banda topología Sallen Key [10]**

La topología Sallen Key responde a la siguiente función de transferencia:

$$G(s) = \frac{A_0 R C s}{1 + R C (3 - A_0) s + R^2 C^2 s^2}$$

Mientras que para cuestiones de diseños el filtro obedece los siguientes parámetros:

1. Frecuencia Central:

$$f_0 = \frac{1}{2\pi R C} \quad (1)$$

2. Frecuencias de corte:

$$f_L \quad f_H$$

3. Ancho de Banda:

$$B = f_H - f_L \quad (2)$$

4. Factor de Calidad:

$$Q = \frac{f_0}{f_H - f_L} = \frac{1}{\alpha} \quad (3)$$

5. Factor de amortiguamiento:

$$\alpha = 3 - A_0 \quad (4)$$

6. Ganancia:

$$A_0 = 1 + \frac{R_2}{R_1} \quad (5)$$

Para dimensionar los componentes pasivos y calcular el factor de calidad y la ganancia central se establecieron los siguientes valores de frecuencias:

$$f_L = 399 \text{ Hz} \quad \text{y} \quad f_H = 401 \text{ Hz}$$

Obteniendo un ancho de banda  $B = 1 \text{ Hz}$  e inmediatamente se obtuvo el valor del factor de calidad junto con el factor de amortiguamiento y el valor de ganancia en la frecuencia central.

$$Q = \frac{f_0}{f_H - f_L} = \frac{400}{401 - 399} = 200$$

$$\alpha = \frac{1}{Q} = \frac{1}{200} = 5 \times 10^{-3}$$

$$\alpha = 3 - A_0 \quad \text{Entonces}$$

$$A_0 = 3 - \alpha = 2,995$$

Además, se estableció el valor del capacitor C en un valor comercial igual a 0,1uF para facilitar el cálculo de la resistencia R por lo tanto.

$$R = \frac{1}{2\pi f_0 C} = \frac{1}{2\pi(400)(0,1 \times 10^{-6})} = 3,978 \text{ K}\Omega$$

Determinado el valor de ganancia se procedió a determinar los valores de R1 y R2, estableciendo una de las resistencias en un valor comercial.

$$A_0 = 1 + \frac{R_2}{R_1}; R_2 = 1 \text{ K}\Omega$$

$$R_1 = (A_0 - 1)R_2$$

$$R_1 = (2,995 - 1) * 1 \text{ K}\Omega$$

$$R_1 = 1,995 \text{ K}\Omega$$

## ANEXO A 2.2

### Código VHDL onda cuadrada 400 Hz

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
entity div_freq_1s is
Port (clk,reset: in std_logic;
      JTAG_400: OUT STD_LOGIC);

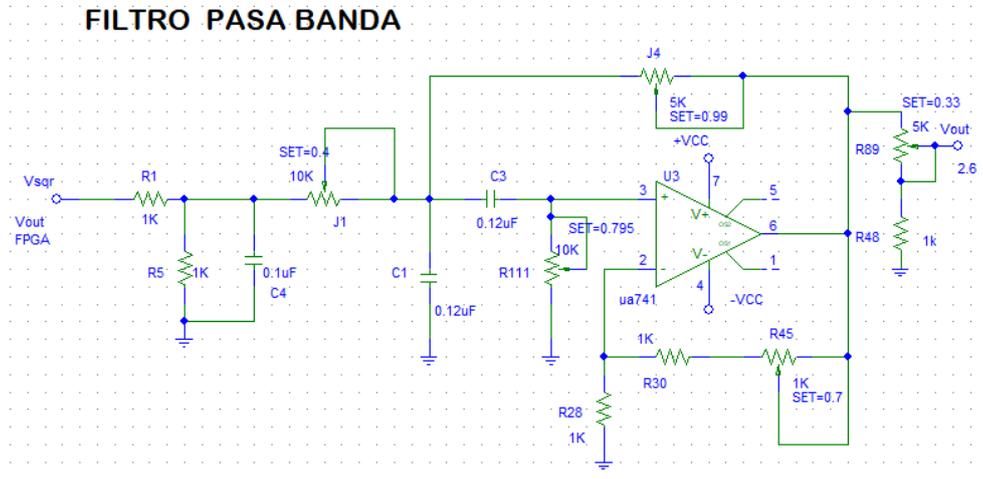
end div_freq_1s;
architecture Behavioral of div_freq_1s is
--400Hz
Signal cuenta_400Hz : natural range 0 to 2**16-1;
constant c_400Hz : natural := 62500;
signal s_400Hz : std_logic;
signal ledaux_400Hz : std_logic;
begin
-----400 hz
P_400Hz: Process (reset, clk)
begin
if reset = '1' then
cuenta_400Hz <= 0;
s_400Hz <= '0';
elsif clk'event and clk = '1' then
if cuenta_400Hz = c_400Hz-1 then
cuenta_400Hz <= 0;
s_400Hz <= '1';
else
cuenta_400Hz <= cuenta_400Hz + 1;
s_400Hz <= '0';
end if;
end if;
end process;

P_LED_400Hz: Process (reset, clk)
begin
if reset = '1' then
ledaux_400Hz <= '0';
elsif clk'event and clk='1' then
if s_400Hz = '1' then
ledaux_400Hz <= not ledaux_400Hz;
end if;
end if;
end process;
JTAG_400<=ledaux_400Hz;
end Behavioral;
```

## ANEXO A 2.3

### Señales de referencia AC.

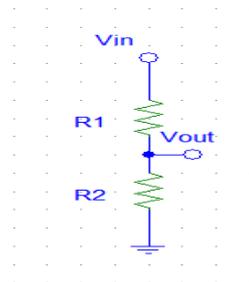
La importancia del diseño del filtro radica en que es fuente de señales alternas a 400 Hz para ser amplificadas, atenuadas y así obtener los cinco niveles de voltajes de referencia.



**Figura 4 Esquemático del filtro Sallen Key**

Al diseño del filtro se le añadió un divisor de tensión junto con un capacitor para filtrar los picos de la onda de entrada, mientras que a la salida del filtro se reduce el nivel de voltaje de la onda alterna con el fin de obtener 2,6 V. Para de esta manera obtener una de las señales de referencia directa de la etapa de filtrado y evitar tener que agregar más etapas.

La señal de 2,6 voltios puede obtenerse haciendo adecuadas regulaciones con los potenciómetros que se establecen en el diseño, trabajando con 2,6 V AC de base los cálculos para las demás señales son las siguientes:



**Figura 5 Divisor de tensión**

- $V_{in} = 2,6 \text{ Vac} ; V_{out} = 0,866 \text{ Vac}$

$$V_{out} = \frac{V_{in} * R2}{R1 + R2}$$

Fijado el valor de  $R2=1K$

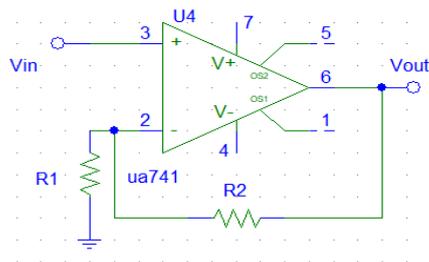
$$0,8666 = \frac{2,6 * 1K}{R1 + 1K}$$

$$0,8666R1 + 866 = 2,6K$$

$$R1 = \frac{2,6K - 866K}{0,866} = 2 K\Omega$$

$$R1 = 2K\Omega \quad R2 = 1K\Omega$$

- $V_{in} = 2,6 Vac$  ;  $V_{out} = 6,5 Vac$



**Figura 6 Amplificador de voltaje**

$$V_{out} = \frac{V_{in} * (R2 + R1)}{R1}$$

Fijado el valor de  $R1=1K$

$$6,5 = \frac{2,6R2 + 2,6K}{1K}$$

$$6,5K = 2,6R2 + 2,6K$$

$$R2 = \frac{6,5K - 2,6K}{2,6} = 1,5K\Omega$$

$$R1 = 1K \quad R2 = Pot = 5 K\Omega$$

- $V_{in} = 2,6 Vac$  ;  $V_{out} = 26 Vac$

$$V_{out} = \frac{2,6 * (R2 + R1)}{R1}$$

Fijado el valor de  $R1=1K$

$$26 = \frac{2,6R2 + 2,6K}{1K}$$

$$26K = 2,6R2 + 2,6K$$

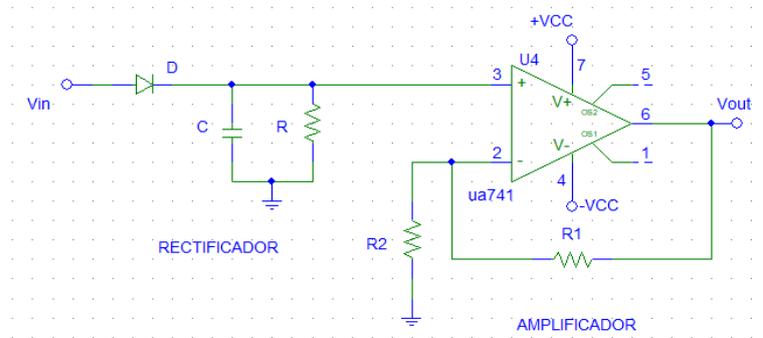
$$R2 = \frac{26K - 2,6K}{2,6} = 9K\Omega$$

$$R1 = 1K \quad R2 = Pot = 10 K\Omega$$

## ANEXO A 2.4

### Generación de nivel alto (HL)

El bloque de generación de  $V_{HL} = 3.3 V$  presenta el siguiente esquemático.



**Figura 7 Circuito de generación HL**

En el pin de entrada el circuito recibe las 5 señales AC de referencia, el dimensionamiento de los componentes se realizó netamente con el método de simulación estableciendo valores comerciales de capacitores y resistencias para obtener una respuesta rápida de la onda rectificada, mientras que para la amplificación se reguló valores de resistencias hasta obtener el nivel de +3.3V.

Para obtener el HL de las señales DC se incorporó divisores de tensión (figura 5) y otras configuraciones con amplificadores operacionales como se muestras a continuación:

- $V_{dc} = V_{in} = +30 V$

$$V_{out} = \frac{V_{in} * R_2}{R_1 + R_2}$$

Fijado el valor de  $R_2=1K$

$$3,3 = \frac{30 * 1K}{R_1 + 1K}$$

$$3,3R_1 + 3,3K = 30K$$

$$R_1 = \frac{30K - 3,3K}{3,3} = 8,09 K\Omega$$

$$R_1 = 1K\Omega \quad R_2 = Pot = 10K\Omega$$

- $V_{dc} = V_{in} = +10 V$

$$V_{out} = \frac{V_{in} * R_2}{R_1 + R_2}$$

Fijado el valor de  $R_2=1K$

$$3,3 = \frac{10 * 1K}{R1 + 1K}$$

$$3,3R1 + 3,3K = 10K$$

$$R1 = \frac{10K - 3,3K}{3,3} = 2,03 K\Omega$$

$$R1 = 1K\Omega \quad R2 = Pot = 5K\Omega$$

- $V_{dc} = -0,1 V$       $V_{in} = 20 V$

$$V_{out} = \frac{V_{in} * R2}{R1 + R2}$$

Fijado el valor de  $R2=1K$

$$3,3 = \frac{20 * 1K}{R1 + 1K}$$

$$3,3R1 + 3,3K = 20K$$

$$R1 = \frac{20K - 3,3K}{3,3} = 5,03 K\Omega$$

$$R1 = 1K\Omega \quad R2 = 5K\Omega$$

- $V_{dc} = V_{in} = +1 V$

Para esta señal se utilizó un amplificador no inversor (Figura 6).

$$V_{out} = \frac{V_{in} * (R2 + R1)}{R1}$$

Fijado el valor de  $R1=1K$

$$3,3 = \frac{1 * (R2 + 1K)}{1K}$$

$$3,3K = R2 + 1K$$

$$R2 = 3,3K - 1K = 2,3 K\Omega$$

$$R1 = 1K\Omega \quad R2 = Pot = 5K\Omega$$

- $V_{dc} = V_{in} = -3 V$  (Configuración amplificador inversor)

$$V_{out} = \frac{V_{in} * (R2 + R1)}{R1}$$

Fijado el valor de  $R1=1K$

$$3,3 = \frac{3 * (R2 + 1K)}{1K}$$

$$3,3K = 3R2 + 3K$$

$$R2 = \frac{3,3K - 3K}{3} = 100 \Omega$$

$$R1 = 1K\Omega \quad R2 = 100\Omega$$

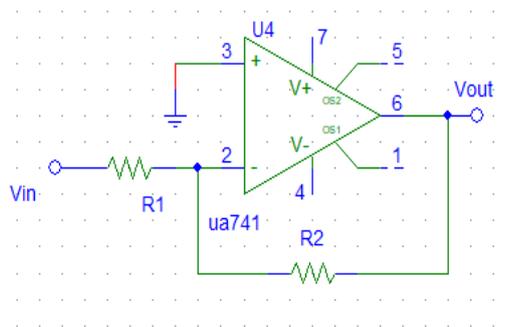
## ANEXO A 2.5

### Regulación de señales de referencia DC

El regulador utilizado es el reductor LM2596 a continuación se detallan sus características principales:

- Convertidor Buck de alta eficiencia: ~80%
- Voltaje de entrada: 4.75 a 30V
- Voltaje de salida: 1.25 a 26V
- Voltaje de salida ajustable
- Corriente promedio de salida: 2A
- Corriente pico de salida: 3A
- Basado en el regulador LM2596S
- Led indicador de encendido

Las señales de +30, +10 se obtienen directamente de la salida del módulo, mientras que el cálculo de las señales restantes se presenta a continuación:



**Figura 8 Amplificador Inversor**

- $V_{in} = 3V ; V_{out} = -3V$

$$V_o = \frac{V_i * R_2}{R_1}$$
$$-3 = 3 \times \left(\frac{R_2}{R_1}\right)$$
$$1 = \frac{R_2}{R_1}$$

si  $R_1 = 1K\Omega$

$$R_2 = 1K\Omega$$

$$R1 = 1K\Omega \quad R2 = 1K\Omega$$

- $V_{in} = 20V_{dc}$  ;  $V_{out} = -0,1V_{dc}$

$$V_o = \frac{V_i * R2}{R1}$$

$$-0,1 = 20 \times \left(\frac{R2}{R1}\right)$$

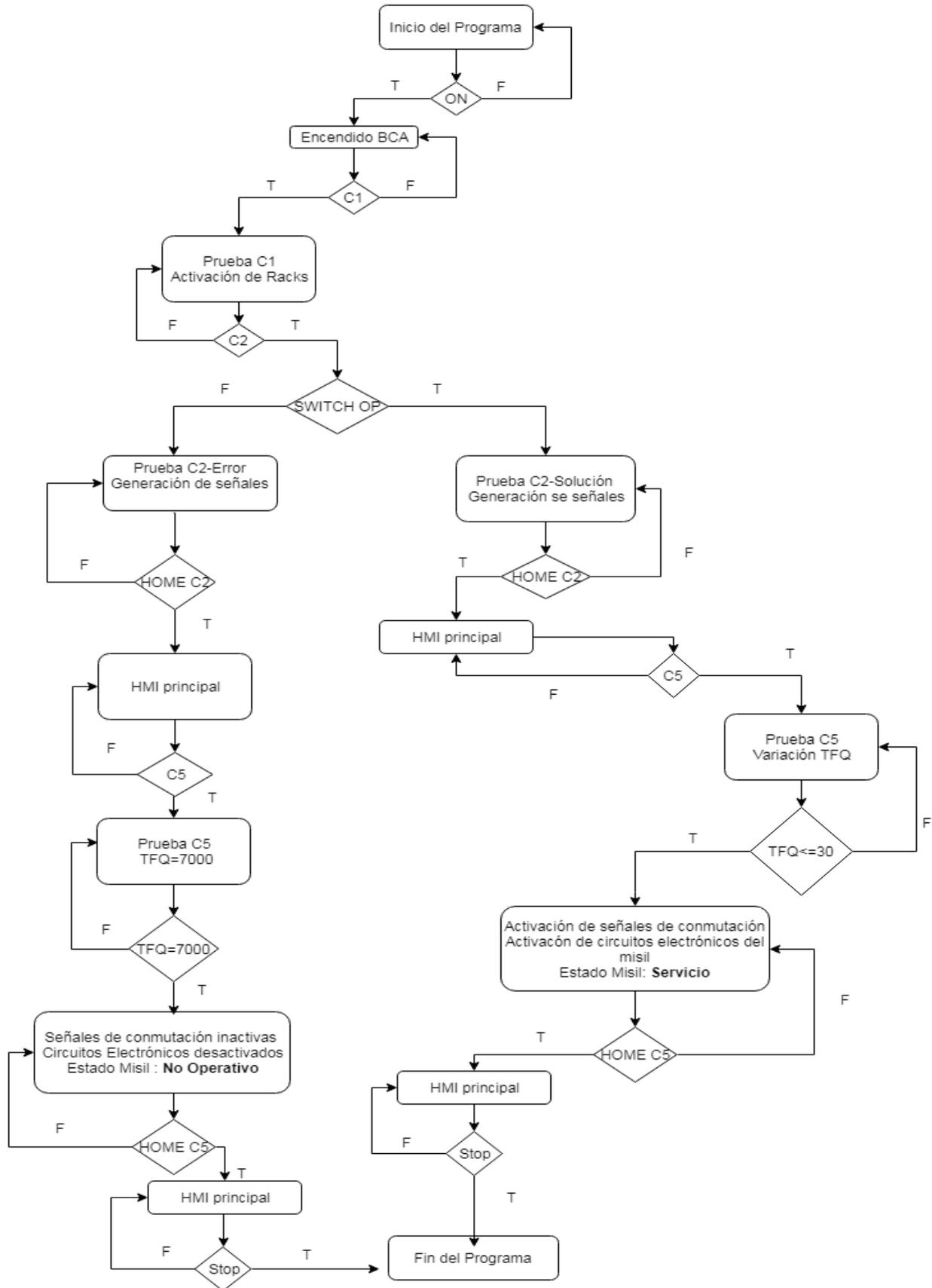
$$\frac{1}{200} = \frac{R2}{R1}$$

$$si \quad R1 = 1K\Omega$$

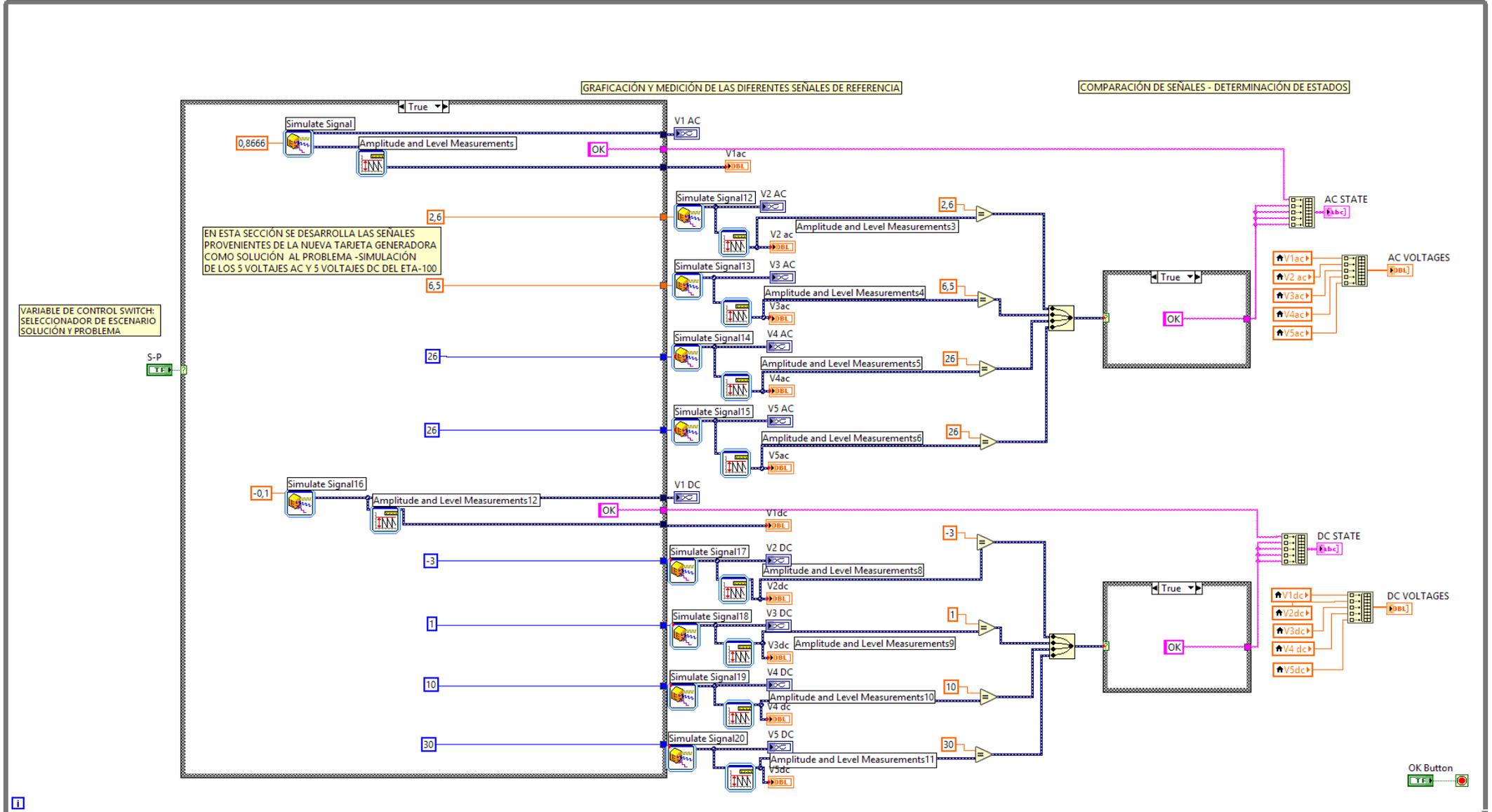
$$R2 = 200K\Omega$$

$$R1 = 1K\Omega \quad R2 = 200K\Omega$$

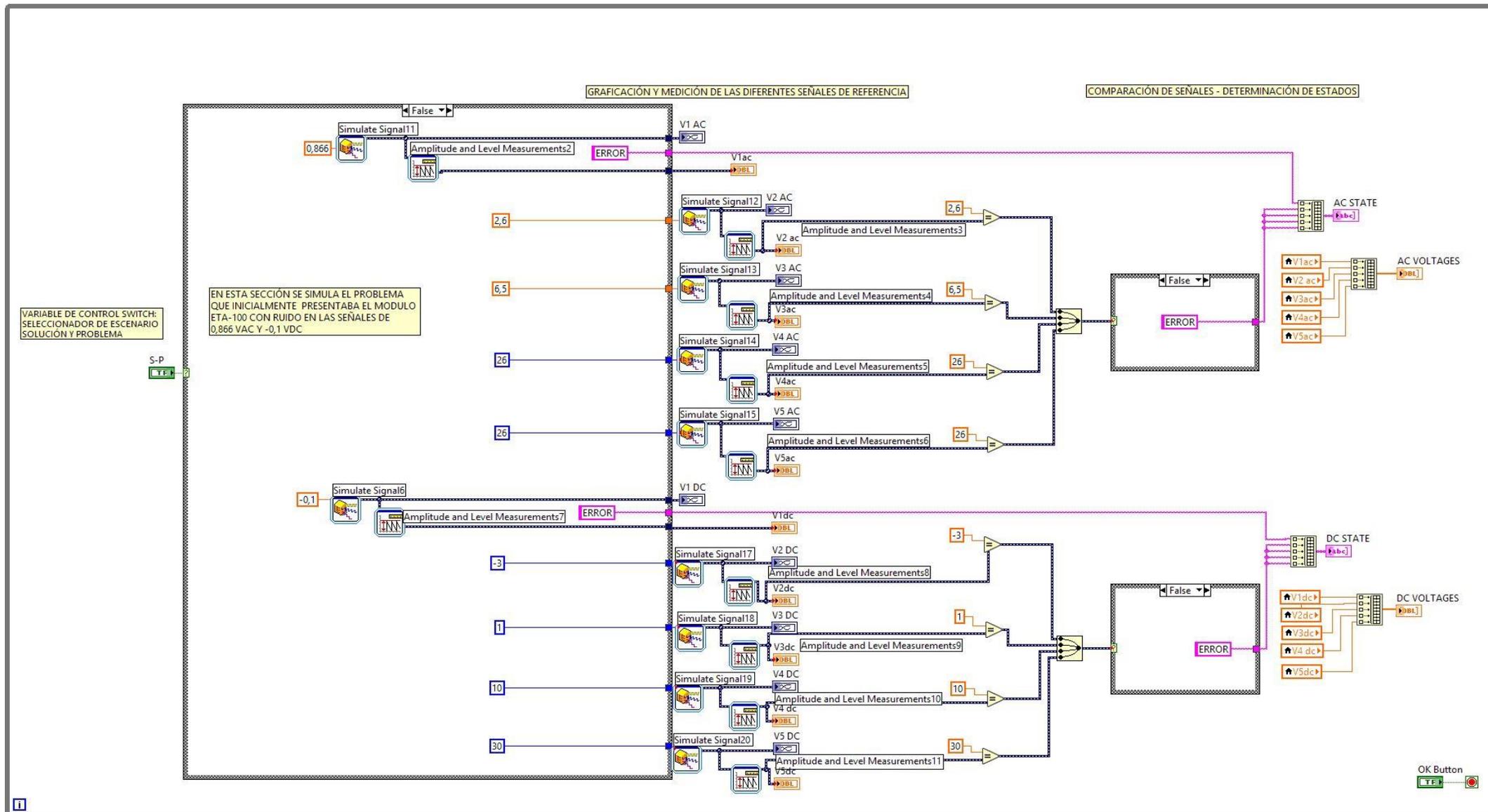
# ANEXO A 2.6



# ANEXO A 2.7 Diagrama de Bloque – Prueba C2 (Solución)

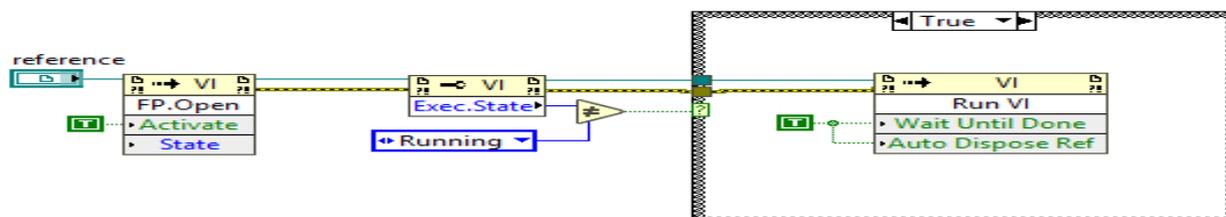


## ANEXO A 2.7 Diagrama de Bloque – Prueba C2 (Problema)



## ANEXO A 2.8

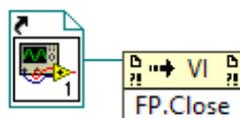
### Diagrama de bloque -VI NEXT WINDOW



El diagrama de bloque trabaja de la siguiente manera:

La estructura Invoke Node recibe dentro del control de referencia el VI de la prueba a ejecutar (C2-C5) y realiza la apertura del panel frontal con el estado de activo, esta asignación le da la prioridad de ejecución ante los demás VI's. Al pasar a la estructura Property Node se verifica si el VI se está ejecutando, en este caso al ser diferente la comparación indica que no se ha ejecutado todavía y finalmente dentro del Case se le da la señal de Run.

Este efecto fue creado con la finalidad de organizar las pruebas C2 y C5 para que en el momento que sean llamadas se presente el panel frontal ejecutándose automáticamente sin necesidad de seleccionar el botón de Run habitual. Una vez que las pruebas finalicen el cierre del VI se realiza en el diagrama de bloque de la interfaz principal, esto se realiza con el bloque de Invoke Node configurado en Front Panel Close recibiendo como referencia el VI en ejecución.



# ANEXO 3

## Módulo de referencia V5 AC

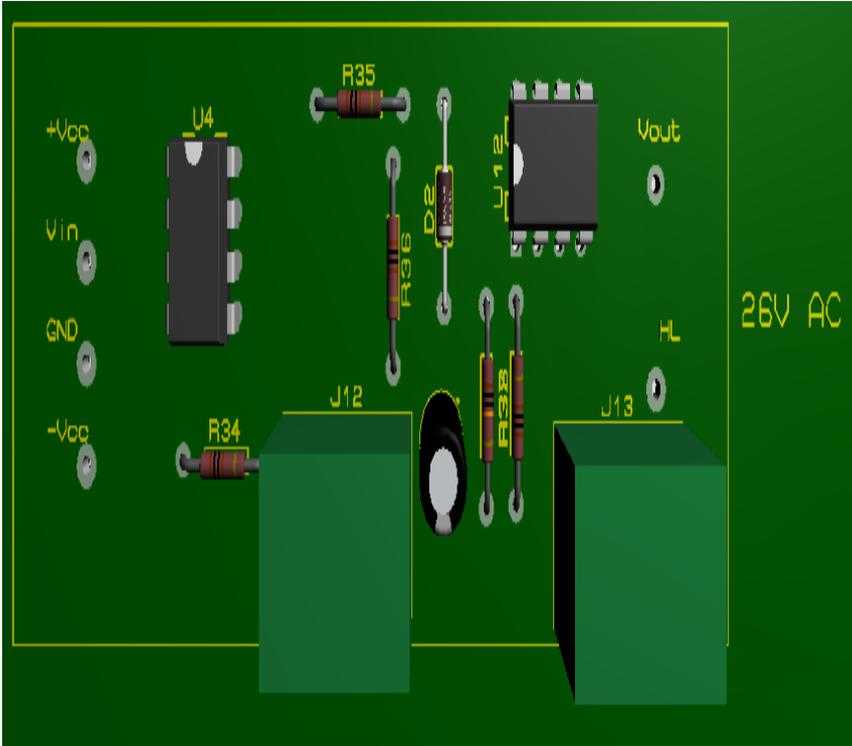


Figura 9 Módulo de referencia V5 AC

# ANEXO 3.1

## Nivel lógico (HL) señales AC

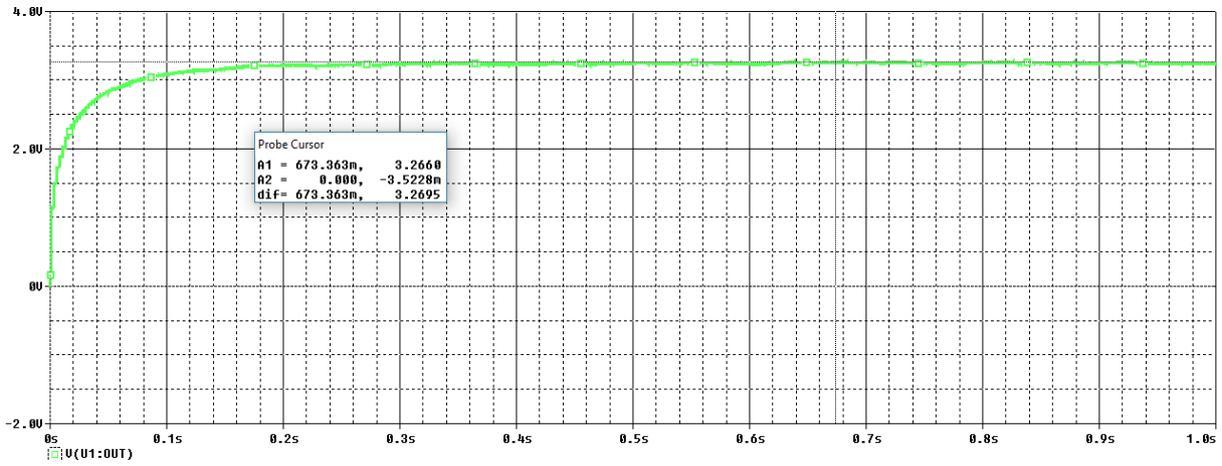


Figura 10 Señal HL módulo V1 AC

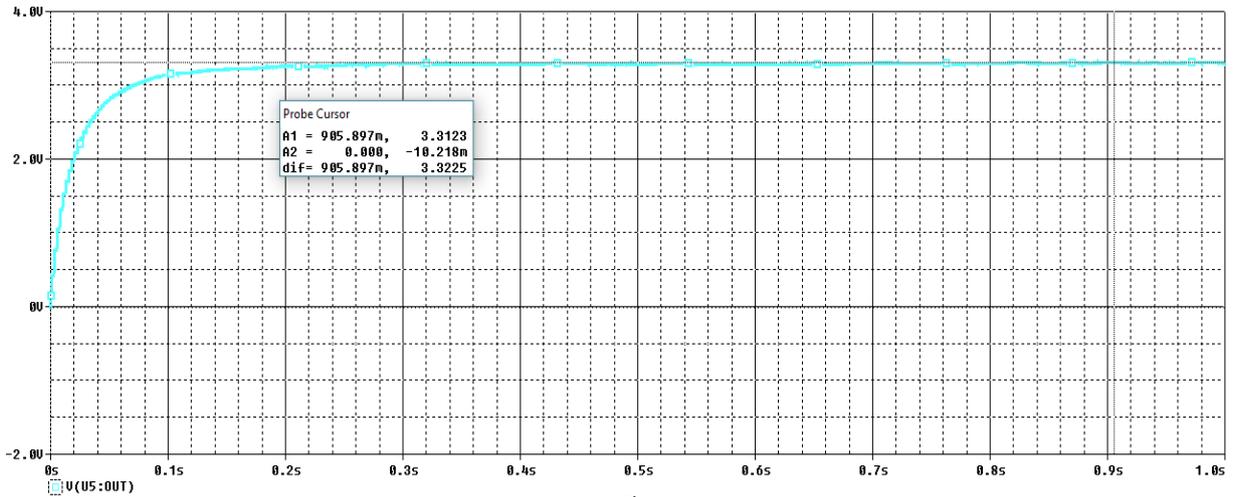


Figura 11 Señal HL módulo V2 AC

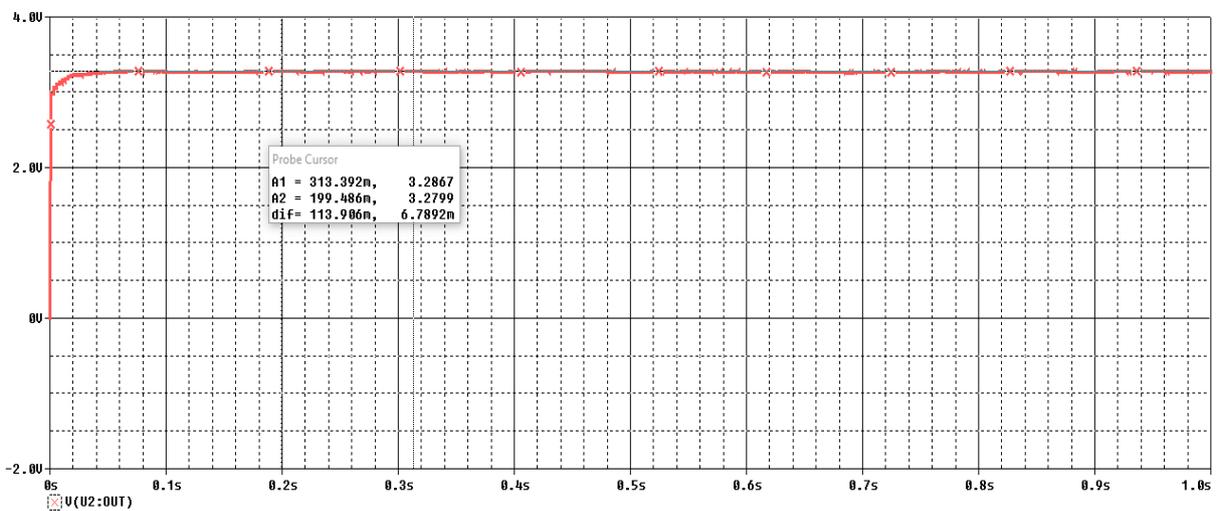


Figura 12 Señal HL módulo V3 AC

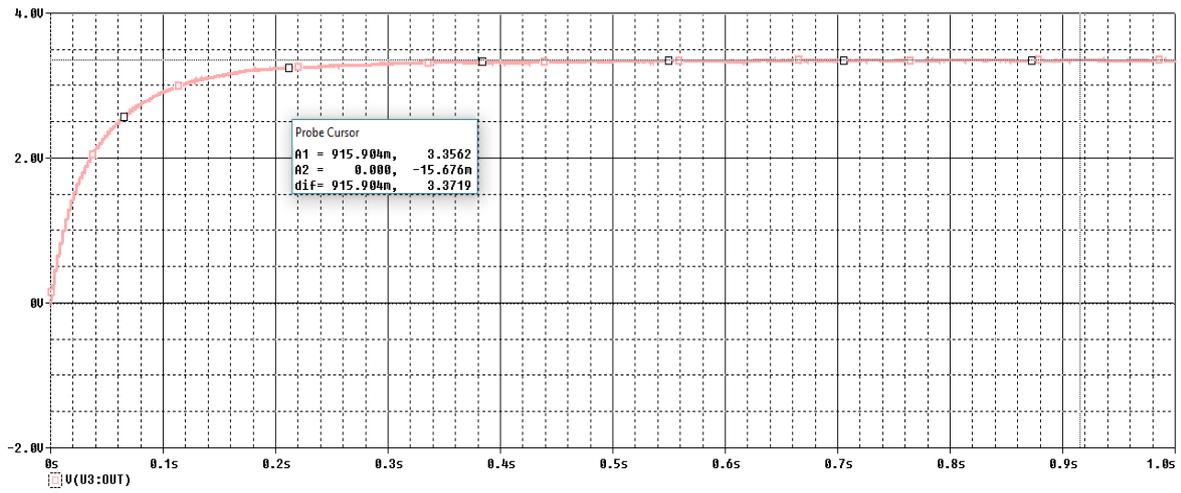


Figura 13 Señal HL módulo V4 AC

# ANEXO 3.2

## Nivel lógico (HL) señales DC

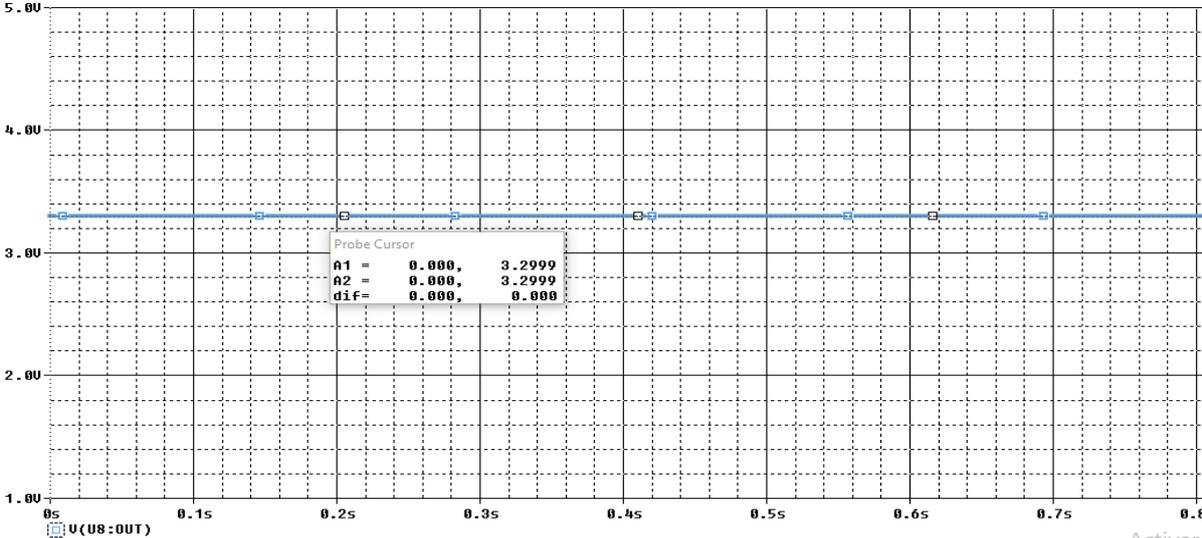


Figura 14 Señal HL módulo V2 DC

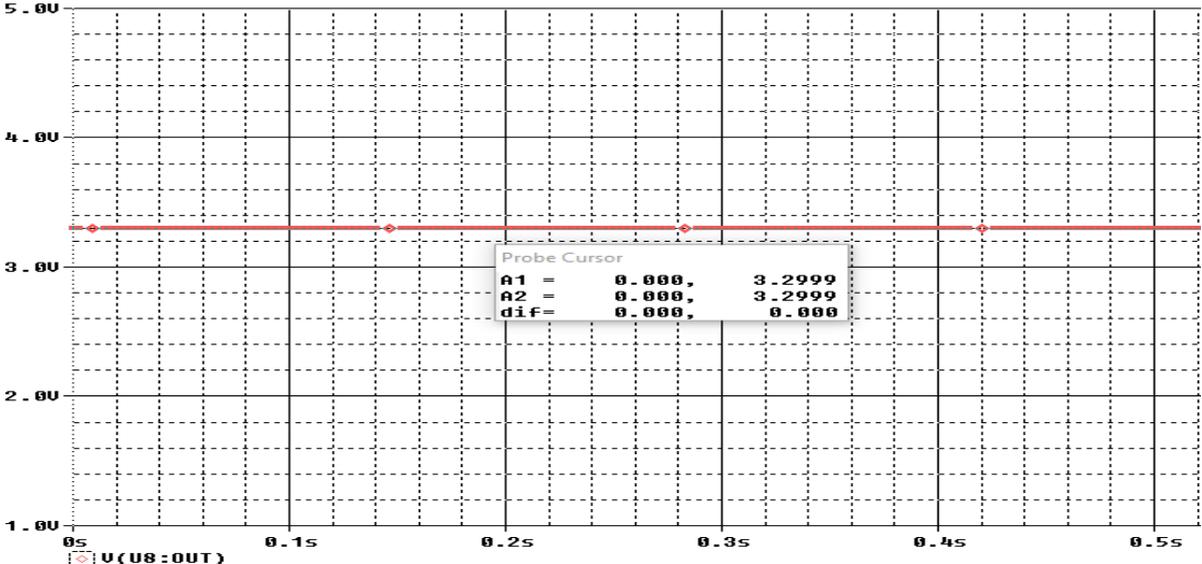


Figura 15 Señal HL módulo V4 DC

## ANEXO 3.3

### Módulo de señales cuadradas

- 1 Hz

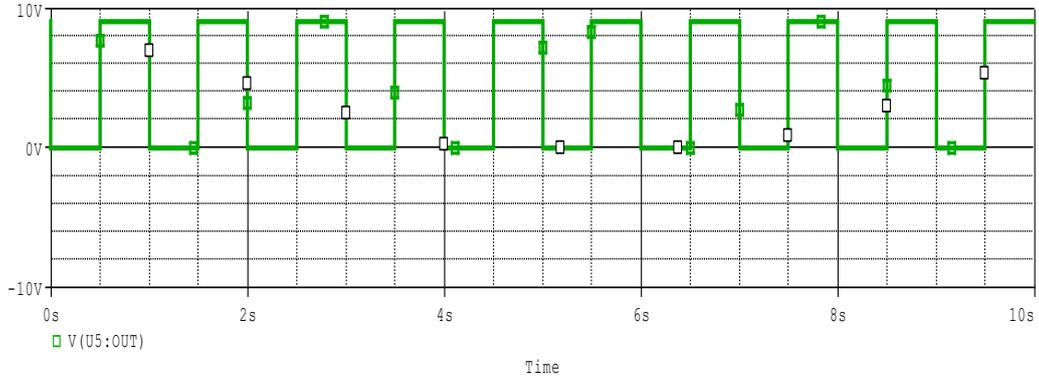


Figura 16 Onda cuadrada de 1 Hz

- $\overline{SQ}$  1 Hz



Figura 17 Onda cuadrada negada de 1Hz

- 10 Hz

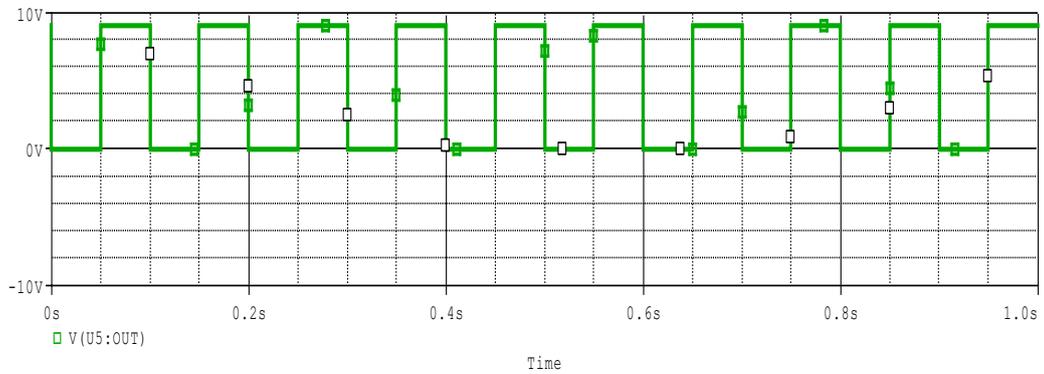
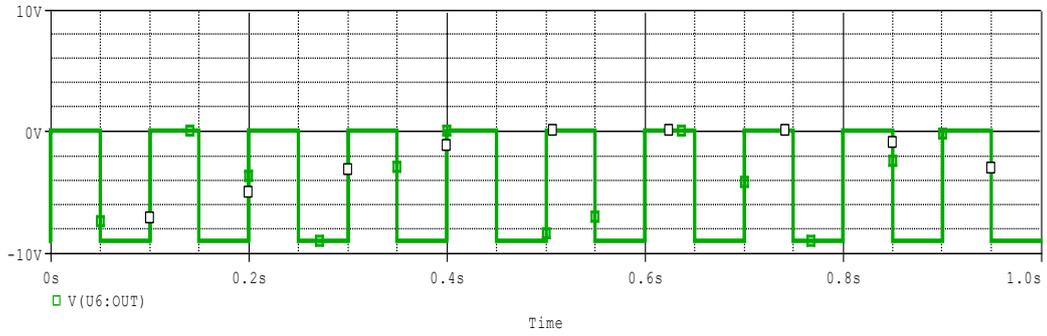


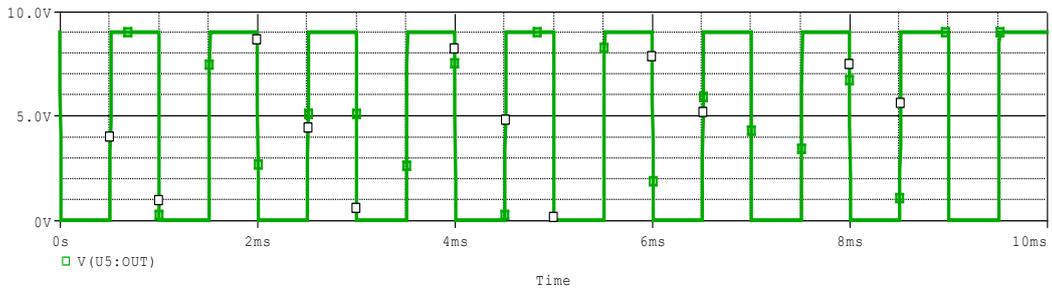
Figura 18 Onda cuadrada de 10 Hz

- $\overline{SQ}$  10 Hz



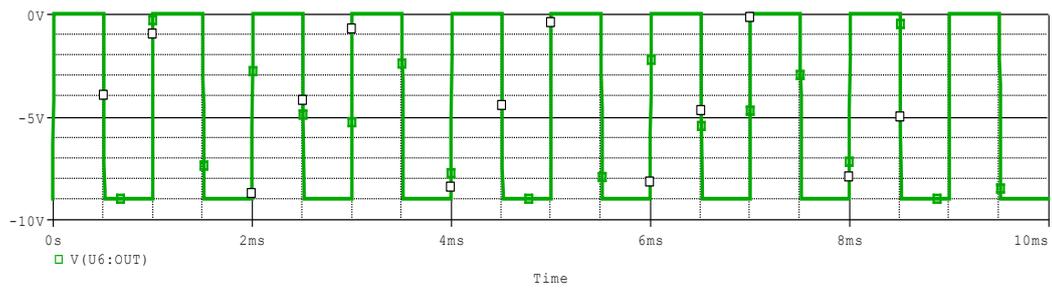
**Figura 19 Onda cuadrada negada de 10Hz**

- 1K Hz



**Figura 20 Onda cuadrada de 1KHz**

- $\overline{SQ}$  1K Hz



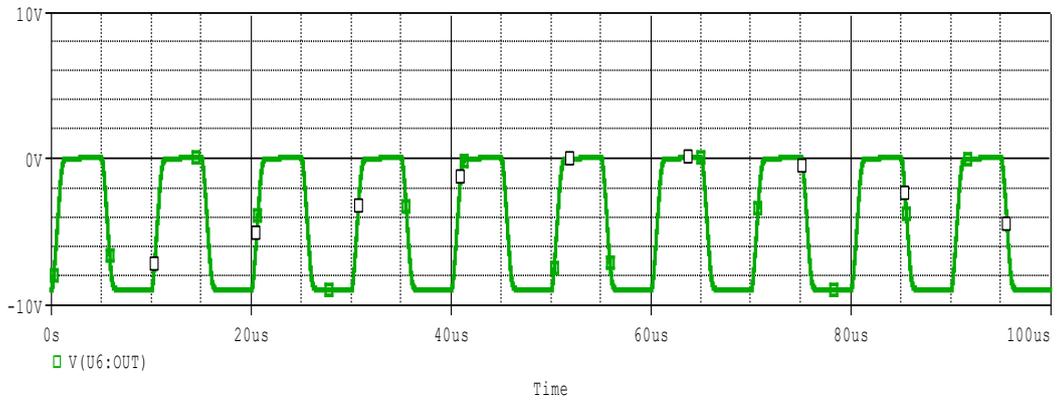
**Figura 21 Onda cuadrada negada de 1KHz**

- 100K Hz



**Figura 22 Onda cuadrada 100KHz**

- $\overline{SQ}$  100K Hz



**Figura 23 Onda cuadrada negada de 100 KHz**