

ESCUELA SUPERIOR
POLITECNICA DEL LITORAL

DEPARTAMENTO DE INGENIERIA ELECTRICA

"DISEÑO Y CONSTRUCCION DE UNA FUENTE DE
CORRIENTE A TIRISTORES CONTROLADA DIGI
TALMENTE Y SU APLICACION AL CONTROL DE
TORQUE DE UN MOTOR D.C"

TESIS DE GRADO

Previa a la obtención del Título de:

INGENIERO EN ELECTRICIDAD
ESPECIALIZACION ELECTRONICA

Presentada por:

DANIAN ALBERTO LARCO GOMEZ

GUAYAQUIL - ECUADOR

1982

RESUMEN

En el presente trabajo de tesis se describe el análisis, diseño, construcción y pruebas, de una fuente de corriente a tiristores con control digital, cuyo amplificador de potencia consiste de un convertidor trifásico de onda completa tipo puente. Los aspectos relevantes del diseño son: la configuración y análisis del controlador proporcional e integral método de linealización y técnica usada en la unidad de disparo y secuencia.

El sistema se diseñó para proveer dos posibles modos de operación: como fuente de corriente controlada y como fuente de voltaje controlado.

Como fuente de corriente controlada, el sistema es capaz de mantener la corriente promedio de salida del convertidor, a un nivel fijo e invariable y predeterminado por la colocación digital de corriente deseada. Las variaciones de carga o voltaje, en los terminales de salida del convertidor y red de alimentación, respectivamente, son compensadas a través de la modificación automática del ángulo de cebado y, por consiguiente, la variación de la potencia de salida del amplificador de tiristores de esta forma el error en estado estacionario es anulado. La respuesta transiente de la variable bajo control (corriente de salida del convertidor), ante variaciones tipo escalón en el nivel de corriente deseado, es optimizada por medio del adecuado ajuste de los parámetros del sistema electrónico de control. Las pruebas experimentales preliminares se reali

zaron con cargas inductivas resistivas, de diferentes constantes de tiempo; obteniéndose resultados satisfactorios, inclusive para cargas con constantes de tiempo del mismo orden de magnitud que el máximo retardo de conmutación del convertidor. Las características anotadas fueron usadas para aplicar el sistema al control del torque electromagnético de un motor D.C de excitación separada de 1.5 H.P, acoplado a un generador D.C con características similares. Los resultados obtenidos demuestran la capacidad del sistema, tanto para condiciones de operación de estado estacionario como transiente, vislumbrándose aplicaciones futuras para el control de velocidad a través de un lazo de regulación externo. Muchos sistemas de tracción de motores, altamente funcionales, requieren para su operación satisfactoria un control de velocidad adaptativo, esperando se que la aplicación del microprocesador se incremente, favoreciendo el control digital del lazo interno de regulación de corriente.

Como fuente de voltaje controlado, el sistema proporciona un voltaje promedio variable en los terminales de continua del convertidor; el nivel de este voltaje es controlado por la señal digital de colocación manual de voltaje deseado. Esta característica del sistema se usó para pruebas de control de la corriente de arranque por voltaje reducido y en el gobierno de la velocidad del grupo motor-generador desde prácticamente la velocidad nula a la velocidad nominal.

INDICE GENERAL

	Pág.
RESUMEN.....	VI
INDICE GENERAL	VIII
INDICE DE FIGURAS.....	XVII
INDICE DE TABLAS.....	XXIX
INTRODUCCION.....	30
CAPITULO I.....	34
TEORIA BASICA DEL TIRISTOR.....	34
1.1 Generalidades.....	34
1.2 Características estáticas ánodo-cátodo.....	36
1.3 Características dinámicas de conmutación.....	40
1.3.1 Cebado del Tiristor.....	41
1.3.2 Apagado del Tiristor.....	47
CAPITULO II.....	53
UNIDAD DE FUERZA.....	53
2.1 Introducción.....	53
2.2 Selección de la configuración.....	55
2.3 Convertidor trifásico de onda completa tipo puente.....	57
2.3.1 Características de operación.....	57
2.3.2 Modos de operación con corriente de carga - continua y discontinua.....	66
2.3.3 Especificaciones para las señales de puerto	

de los tiristores.....	74
2.3.4 Derivación de ecuaciones y análisis de los parámetros de interés.....	77
2.3.4.1 Voltaje de salida promedio.....	78
2.3.4.2 Valor R.M.S del voltaje de salida y voltaje de rizado.....	78
2.3.4.3 Corriente de salida promedio.....	80
2.3.4.4 Corriente de rizado y valor R.M.S - de la corriente de salida.....	81
2.3.4.5 Voltaje aplicado a los tiristores.....	84
2.3.4.6 Potencia del transformador de <u>alimen</u> <u>tación</u>	86
2.4 Protección de sobrevoltajes y sobrecorrientes tran sitorias.....	87
2.5 Selección de los componentes utilizados en la uni dad de fuerza.....	90
2.5.1 Tiristores.....	90
2.5.2 Disipadores de calor.....	92
2.5.3 Fusibles.....	96
2.5.4 Red de protección de transitorios.....	97
2.6 Lista de materiales.....	100
2.7 Construcción.....	102

CAPITULO III	
UNIDAD DE DISPARO Y SECUENCED.....	106
3.1 Introducción.....	106
3.2 Análisis general de la unidad de disparo y secuen- cáo.....	108
3.3 Diseño del circuito de disparo.....	112
3.3.1 Descripción general y diagrama de bloques.....	112
3.3.2 Bloques de comparación.....	116
3.3.3 Bloques de conteo.....	120
3.3.4 Lógica de combinación.....	124
3.3.5 Generación de la señal de posibilitamiento - (I y II).....	125
3.3.6 Circuitos de borrado y conteo.....	127
3.3.6.1 Conformadores de pulsos.....	131
3.3.6.2 Temporizador con truncamiento.....	132
3.3.6.3 Lógica de generación de las señales de borrado y conteo.....	134
3.3.6.4 Oscilador maestro.....	135
3.4 Diseño del circuito de secuencío.....	138
3.4.1 Descripción general y diagrama de bloques.....	138
3.4.2 Contador de anillo con simetría diagonal.....	144
3.4.2.1 Contador de anillo de módulo seis.....	144
3.4.2.2 Decodificador de BCD a decimal.....	148
3.4.3 Red de conformación de las señales de puerta	

Inv. No.	Pág.
de los tiristores.....	151
3.4.4 Circuito de adición de alta frecuencia a - las señales de puerta de los tiristores.....	154
3.4.5 Circuito de sincronización.....	156
3.4.5.1 Solución alterna para el circuito de generación de los pulsos de <u>sin</u> <u>cronismo</u>	158
3.4.5.2 Solución final para el circuito de generación de los pulsos de <u>sincro</u> <u>nismo</u>	164
3.5 Amplificación de las señales de cebado de los <u>ti</u> <u>ristores</u>	169
3.6 Lista de materiales.....	175
3.7 Construcción.....	179
3.7.1 Circuitos de disparo y secuencéo.....	179
3.7.2 Amplificador de pulsos.....	181
3.8 Pruebas.....	184
CAPITULO IV	
DETECTOR TRIFASICO DE VOLTAJE CERO.....	196
4.1 Introducción.....	196
4.2 Requerimientos.....	197
4.2.1 Pulsos de voltaje cero.....	197
4.2.2 Pulsos de identificación de fase.....	198
4.3 Diseño del detector trifásico de voltaje cero.....	199

4.3.1 Descripción general y diagrama de bloques.....	199
4.3.2 Unidad sensora.....	203
4.3.2.1 Configuración de la unidad sensora.....	203
4.3.2.2 Análisis de las señales asociadas con la unidad sensora.....	206
4.3.2.3 Elección de los acopladores ópticos.....	211
4.3.2.4 Cálculo de las resistencias de los ramales de la delta.....	212
4.3.2.5 Cálculo de la resistencia de carga de los fototransistores.....	216
4.3.3 Acondicionadores de señal.....	220
4.3.4 Conformadores de pulsos.....	222
4.3.5 Circuito de combinación.....	224
4.3.6 Circuito de calibración.....	224
4.3.7 Obtención de los pulsos de identificación de fase.....	228
4.4 Lista de Materiales.....	229
4.5 Construcción.....	231
4.6 Pruebas.....	232
CAPITULO V	
UNIDAD DE LINEALIZACIÓN.....	239
5.1 Introducción.....	239

	Pág.
5.2 Criterios de diseño.....	242
5.3 Consideraciones generales.....	245
5.4 Diseño de la unidad de linealización.....	251
5.4.1 Diagrama de bloques.....	251
5.4.2 Conmutador digital de selección de datos.....	253
5.4.3 EPROM.....	254
5.4.4 Programa de computadora para la obtención de los datos a grabarse en el EPROM y grá ficos de los resultados.....	256
5.4.5 Registro de salida.....	258
5.5 Lista de materiales.....	258
5.6 Construcción.....	260
5.7 Pruebas.....	261
CAPITULO VI	
TRANSDUCTOR DE CORRIENTE Y DETECTOR DE ERROR.....	262
6.1 Introducción.....	262
6.2 Diseño del transductor de corriente.....	264
6.2.1 Descripción general y diagrama de bloques.....	264
6.2.2 Etapa de procesamiento de la señal de co- rriente de retroalimentación.....	270
6.2.2.1 Sensor de corriente.....	270
6.2.2.2 Amplificador de escalamiento.....	279
6.2.2.3 Filtro.....	283
6.2.2.4 Amplificador de aislamiento.....	284

	Pág.
6.2.3 Etapa de conversión analógico-digital.....	285
6.2.3.1 Selección de la frecuencia de muestreo	285
6.2.3.2 Convertidor A/D.....	287
6.2.3.3 Divisor de frecuencia ($\div 5$).....	293
6.2.3.4 Conformador de pulsos.....	294
6.2.4 Etapa de sincronización de las señales que actúan sobre el detector de error.....	296
6.2.4.1 Bloque de inversión.....	296
6.2.4.2 Retenedores de datos (A y B).....	296
6.2.4.3 Retrazo de tiempo e inversión.....	296
6.3 Diseño del detector de error.....	299
6.3.1 Requerimientos.....	299
6.3.2 Fundamentos teóricos.....	300
6.3.2.1 Complemento de uno.....	300
6.3.2.2 Sustracción con complemento de uno.....	301
6.3.3 Diagrama de bloques.....	304
6.3.4 Circuito sustractor.....	306
6.3.5 Circuito complementador.....	308
6.3.6 Reforzador de señal.....	310
6.4 Lista de materiales.....	312
6.5 Construcción.....	315
6.6 Pruebas.....	315

CAPITULO VII	
CONTROLADOR PROPORCIONAL E INTEGRAL (P.I).....	323
7.1 Introducción.....	323
7.2 Diseño del controlador proporcional e integral - (P.I).....	326
7.2.1 Consideraciones generales y diagrama de - bloques.....	326
7.2.2 Ajuste de las ganancias proporcional e in- tegral.....	331
7.2.3 Control proporcional.....	337
7.2.4 Control integral.....	339
7.2.5 Sumador-sustractor de las contribuciones - proporcional e integral.....	347
7.2.6 Circuito selector.....	349
7.3 Análisis de las señales de sincronismo de las di- ferentes etapas de control bajo los dos modos po- sibles de operación.....	353
7.3.1 Fuente de voltaje controlado.....	353
7.3.2 Fuente de corriente controlada.....	356
7.4 Lista de materiales.....	360
7.5 Construcción.....	361
7.6 Pruebas.....	364

CAPITULO VIII	
APLICACION DE LA FUENTE DE CORRIENTE AL CONTROL DE -	
TORQUE DE UN MOTOR D.C.....	365
8.1 Introducción.....	365
8.2 Fundamentos teóricos.....	368
8.2.1 Ecuaciones básicas del grupo motor-genera dor.....	369
8.2.2 Fuente de voltaje controlado.....	377
8.2.3 Fuente de corriente controlada.....	380
8.3 Operación con cargas inductivas-resistivas.....	389
8.3.1 Fuente de voltaje controlado.....	389
8.3.2 Fuente de corriente controlada.....	393
8.4 Operación con el motor D.C como carga.....	402
8.4.1 Fuente de voltaje controlado.....	402
8.4.2 Fuente de corriente controlada.....	409
8.4.2.1 Respuesta de estado estable.....	409
8.4.2.2 Respuesta transiente.....	411
CONCLUSIONES Y RECOMENDACIONES.....	419
APENDICE.....	423
BIBLIOGRAFIA.....	437

INTRODUCCION

Una fuente de corriente regulada es obtenida cerrando un lazo de realimentación de corriente alrededor de un amplificador de potencia (típicamente el amplificador de potencia es un convertidor estático). Las fuentes de corriente son ampliamente usadas en la industria, muy a menudo como parte de sistemas de gobierno de motores con lazos externos de regulación de velocidad o torque. En tales aplicaciones, la fuente de corriente controlada ofrece ventajas tales como: mejoras en la operación dinámica del sistema e inherente protección contra cortocircuitos. Sin embargo, estas ventajas se obtienen unicamente si el lazo interno de regulación de corriente posee una respuesta transitoria suficientemente rápida y adecuado amortiguamiento con buena exactitud en estado estable.

En vista de los requerimientos anotados, en el diseño de la fuente de corriente son de interés e importancia las siguientes consideraciones:

- 1.- Necesidad de eliminar el rizado de la señal de realimentación de corriente; este factor es generado por la naturaleza del amplificador de potencia. La necesidad de filtrado puede disminuir considerablemente la velocidad de la respuesta transitoria del lazo de regulación de corriente.
- 2.- El rango y tipo de las cargas que serán conectadas a la fuente de corriente. La constante de tiempo de la carga afecta apreciablemen

te la respuesta de corriente, consecuentemente, las fuentes de co
rriente son normalmente ajustadas para una carga particular.

- 3.- Inmunidad al ruido. El proceso de conmutación de los elementos -
del convertidor estático (tiristores), genera considerable ruido ,
radiado y transmitido electricamente.
- 4.- Considerable exactitud y estabilidad. Los cambios en las condiciou
nes de operación, edad de los componentes, etc. deterioran la ope-
ración óptima del sistema.

Las consideraciones previas fueron consideradas en el diseño de la fuenu
te de corriente, por consiguiente y con el propósito de proveer una vi-
sión general del trabajo de tesis presente a continuación se realiza u-
na breve descripción de la conformación y operación del sistema.

La "unidad de fuerza" de la fuente de corriente controlada consiste de
un amplificador de potencia realizado en base de un convertidor trifásii
co de onda completa tipo puente (seis pulsos). Las señales de puerta -
de los tiristores del convertidor son proporcionadas por la "unidad de
disparo y secuenceo", diseñada mediante control de fase individual por
disparo sostenido y portadora de alta frecuencia; el rango de gobierno
del ángulo de cebado se restringió para control entre 0° y 120° , permi-
tiéndose la acción rectificadora y parte de la acción inversora del con-
vertidor. La referencia de tiempo y sincronización de la secuencia de

cebado de los tiristores con la red trifásica de alimentación es continuamente verificada y corregida por el "detector trifásico de voltaje - cero", consiguiéndose la inmunidad del sistema de control ante transitorios originados en las líneas de alimentación durante el proceso de conmutación de los tiristores. La memoria únicamente de lectura usada en la "unidad de linealización" contiene grabada una tabla de conversión arco-coseno que permite obtener una característica de transferencia lineal entre la señal digital de control del ángulo de cebado de la unidad de disparo y secuencéo y el voltaje de salida promedio del convertidor, optimizándose la función del "controlador proporcional e integral" para operación en lazo cerrado (fuente de corriente controlada); esta unidad además de su función propia permite la operación del sistema en lazo abierto (fuente de voltaje controlado), con compensación de las características no lineales de entrada-salida del convertidor, la selección del voltaje de salida es realizado por la señal digital de referencia del voltaje deseado. El "transductor de corriente" sensa este parámetro en el lado de alterna del convertidor, para luego de un proceso de rectificación, amplificación y filtrado, proporcionar la señal digital de corriente de salida del convertidor a una razón de 9.2 Khz. La señal de realimentación, así obtenida, es comparada con la referencia digital de corriente (colocada manualmente), mediante el "detector de error", el mismo que proporciona la señal de error del sistema en valor absoluto y con información de polaridad. El error de corriente (diferencia entre el valor de referencia y el actual) es procesado a través del "controlador proporcional e integral (P.I)", diseñado con ganancias

variables y cuyo término integral es refrescado cada vez que ocurre un nuevo disparo en los tiristores del convertidor.

La circuitería electrónica de control de la fuente de corriente es totalmente digital, usándose en su diseño circuitos integrados con tecnología TTL de la serie 74 (serie comercial) y, en menor escala, componentes electrónicos con características funcionales compatibles con lógica TTL.

En la construcción de las placas para el montaje de los circuitos integrados se usó dos métodos de interconexión: circuito impreso y técnica de alambre enrollado.

Los aspectos concernientes al análisis, diseño, construcción y pruebas, de las diferentes unidades de control de la fuente de corriente controlada, son presentados de manera parcial y ordenada en cada uno de los siete primeros capítulos. La aplicación de la fuente al control del torque electromagnético de un motor D.C de excitación separada es descrita en el capítulo VIII.

CAPITULO I

TEORIA BASICA DEL TIRISTOR

1.1 GENERALIDADES

El tiristor pertenece a la familia de dispositivos semiconductores, que se caracterizan por una acción de conmutación biestable dependiente de un proceso de realimentación regenerativa. El Rectificador Controlado de Silicio (SCR), es el miembro más importante y de más amplio uso de la familia de tiristores. Este es el único miembro a ser considerado en esta tesis, por esta razón el término tiristor y rectificador controlado de silicio (SCR) serán considerados como denominaciones sinónimas.

Actualmente existe una gran información acerca del SCR: su teoría de operación, los métodos de fabricación, las características eléctricas externas, y la relación de estas con sus propiedades físicas internas, los efectos de la elevación de temperatura, etc. Mi intención no es realizar una repetición detallada de la información existente, sino, presentar una breve descripción de las características eléctricas del SCR que están íntimamente relacionadas a su operación como un elemento de un circuito, con el objeto de proveer los fundamentos necesarios para la comprensión de la exposición presentada en capítulos siguientes, que tratan sobre el principio de ope-

ración del convertidor trifásico tipo puente de seis pulsos.

El tiristor es un dispositivo semiconductor que opera en forma análoga a la de un rectificador. Tal como un rectificador, el tiristor permite que la corriente fluya a través de él, en una sola dirección, pero la corriente puede fluir únicamente cuando el tiristor ha sido disparado. Esta propiedad de ser conmutado de un estado de no conducción a un estado de conducción, lo hace útil para el control de potencia eléctrica.

El tiristor trae consigo muchas ventajas de tipo práctico con respecto a sus antecesores: el tiratrón y el rectificador de arco de mercurio controlado por grilla, las más significativas son: su pequeño tamaño y peso con relación a la potencia manejada, operación confiable y libre de mantenimiento con un tiempo de vida virtualmente ilimitado y una robustez física que lo hace virtualmente inmune a los efectos de vibraciones y golpes mecánicos.

Con el rápido desarrollo de la tecnología de los semiconductores, actualmente hay tiristores que pueden manejar rangos de voltaje de 10 kilovoltios y magnitudes de corriente de hasta 800 amperios (23) correspondiendo a una capacidad de manejo de potencia de alrededor de 8 megavatios.

Sus principales campos de aplicación son:

- 1.- Controladores A.C
- 2.- Rectificadores controlados
- 3.- Convertidores DC - DC (choppers)
- 4.- Inversores controlados
- 5.- Cicloconvertidores

Los sistemas convertidores o sistemas de acondicionamiento de potencia mencionados son utilizados en controladores de velocidad para motores de corriente alterna (A.C) y directa (D.C), controladores de temperatura e iluminación, disyuntores A.C y D.C, etc.

1.2 CARACTERÍSTICAS ESTÁTICAS ANODO-CÁTODO

El SCR es un dispositivo de conmutación de cuatro capas p-n-p-n con tres terminales denominados: ánodo, cátodo y puerta. El ánodo y cátodo son los terminales que llevan la corriente principal, y la puerta la corriente de control de bajo nivel que fluye entre esta y el cátodo. Las características estáticas corriente-voltaje de ánodo a cátodo y símbolo del SCR son representadas en la figura 1.1.

En la dirección inversa: cátodo a ánodo, el SCR exhibe una característica de bloqueo similar a la de un diodo de silicio. Así, la aplicación de un voltaje menor que el voltaje de ruptura inverso da lugar al flujo de una pequeña corriente de fuga inversa. A un nivel de voltaje crítico, denominado el voltaje de ruptura inverso, -

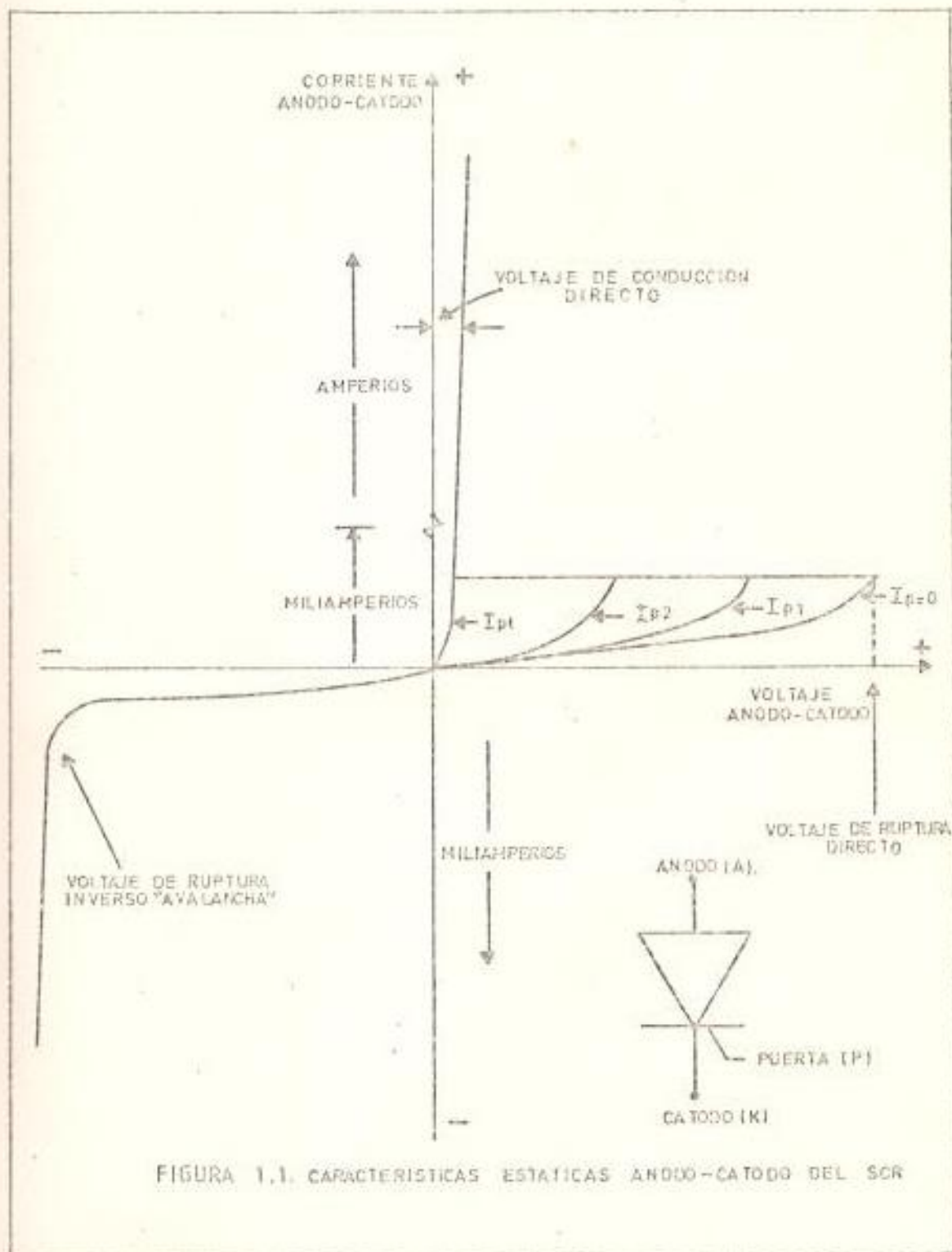


FIGURA 1.1. CARACTERISTICAS ESTATICAS ANODO-CATODO DEL SCR

la corriente se incrementa abruptamente dando origen al fenómeno de avalancha, produciéndose un rápido incremento en la disipación de potencia del dispositivo, cuya consecuencia es la destrucción completa del mismo. En aplicaciones prácticas el voltaje de ruptura inverso del SCR debe ser mayor que el voltaje de pico inverso aplicado a aquel por un margen adecuado de seguridad. En la operación de circuitos apropiadamente diseñados, el SCR presenta una alta impedancia en la dirección inversa, "bloqueando" el voltaje inverso aplicado a través del mismo.

En la dirección directa de ánodo a cátodo, la relación de voltaje-corriente depende de la magnitud de la corriente de puerta liberada al dispositivo.

Sin corriente de puerta ($I_p = 0$), la aplicación del voltaje directo da por resultado una corriente de fuga relativamente pequeña, hasta alcanzarse el nivel de voltaje de ruptura directo; en este punto el SCR pasa a una condición de baja impedancia, esto es, el voltaje de ánodo a cátodo cae típicamente desde algunos cientos de voltios hasta alrededor de 1.5 voltios para dispositivos de alta potencia y de 1 voltios para potencias menores. En esta condición de baja impedancia, la amplitud de la corriente de ánodo directa es determinada esencialmente por la impedancia de carga conectada al circuito de ánodo. Así, para muchos propósitos de interés práctico, cuando el tiristor lleva la corriente de ánodo directa, puede pensarse que

este es un conmutador perfectamente cerrado.

El incremento en la cantidad de corriente de puerta (I_{p1} e I_{p2}), da por resultado una reducción del voltaje de ruptura crítico del SCR, (así como también un incremento en la corriente de fuga directa) - hasta finalmente con una cantidad de corriente suficiente (I_{pt} o ma yor), el voltaje de ruptura directo es reducido prácticamente a ce- ro, obteniéndose una característica voltaje-corriente similar a la de un diodo de silicio.

En aplicaciones prácticas las gradaciones entre el voltaje de ruptu- ra directo y la corriente de puerta de las características estáti- cas del SCR son usadas raramente. Casi invariablemente, (ciertamen- te este es el caso de la aplicación considerada en esta tesis), la operación del circuito es tal que el voltaje de ánodo aplicado en forma directa es menor que el voltaje de ruptura crítico por un ade- cuado margen de seguridad. En condiciones de bloqueo de voltaje di- recto la corriente de puerta es nula, y el inicio de la conducción es realizado por la liberación de un nivel de corriente de puerta relativamente alto, de tal forma que el SCR sea llevado a conduc- ción aún con un voltaje pequeño aplicado de ánodo a cátodo. La am- plitud de este impulso de corriente de control de conducción es al menos igual, pero normalmente superior por cierto excedente, a la mínima corriente de puerta requerida para el disparo.

Tipicamente un SCR con un rango de 500 A rms tendrá un I_{gt} de digamos 200 mA, que corresponde a la amplitud de un voltaje de puerta de unos 4 voltios (es claro, que el SCR exhibe una extremadamente alta ganancia de "potencia").

Una vez que el SCR ha sido disparado hacia el estado de conducción, la puerta pierde control, y la remoción de la corriente de puerta no tiene efecto sobre la corriente de ánodo; siempre que la corriente de ánodo sea mayor que un valor mínimo denominado la corriente de "retención". Un valor de corriente de ánodo menor que el valor de corriente de retención hace que el SCR vuelva a su estado de bloqueo una vez que la corriente de puerta se remueva.

Para que el SCR retorne a su condición de bloqueo de voltaje una vez que ha sido "disparado" (puesto en conducción), es necesario que la corriente de ánodo sea reducida a un nivel relativamente bajo denominada la corriente de "sostenimiento". Para muchos propósitos puede pensarse que la corriente de sostenimiento es esencialmente nula.

1.3 CARACTERISTICAS DINAMICAS DE CONMUTACION

Las características estáticas del tiristor no dan una indicación de la rapidez con la cual este puede ser conmutado del estado de bloqueo de voltaje directo al de conducción y viceversa. En realidad

La transición de uno a otro estado no toma lugar instantaneamente, sino después de un período de tiempo finito. En general para que un circuito a tiristores opere en forma confiable, segura y correcta es necesario tomar en cuenta las imperfecciones en las características dinámicas de conmutación, es pertinente por consiguiente, efectuar una revisión breve de las características dinámicas de conmutación.

1.3.1 Cebado del tiristor

Cuando se libera la corriente de disparo a la puerta del SCR este no conmuta inmediatamente del voltaje de bloqueo directo a la condición final de encendido completo. En realidad, por un corto período de tiempo, el SCR continúa bloqueando el voltaje de ánodo aplicado al mismo, como si el pulso no hubiese sido liberado aún.

Luego, la impedancia directa comienza a disminuir, durante un corto período de tiempo transcurrido el cual el SCR se enciende o activa completamente.

Tal como se ilustra en la figura 1.2, el tiempo de encendido total (T_{et}) es subdividido en dos períodos denominados el tiempo de retardo (T_r) y el tiempo de subida (T_s). Estos períodos de tiempo son definidos en términos de las señales de

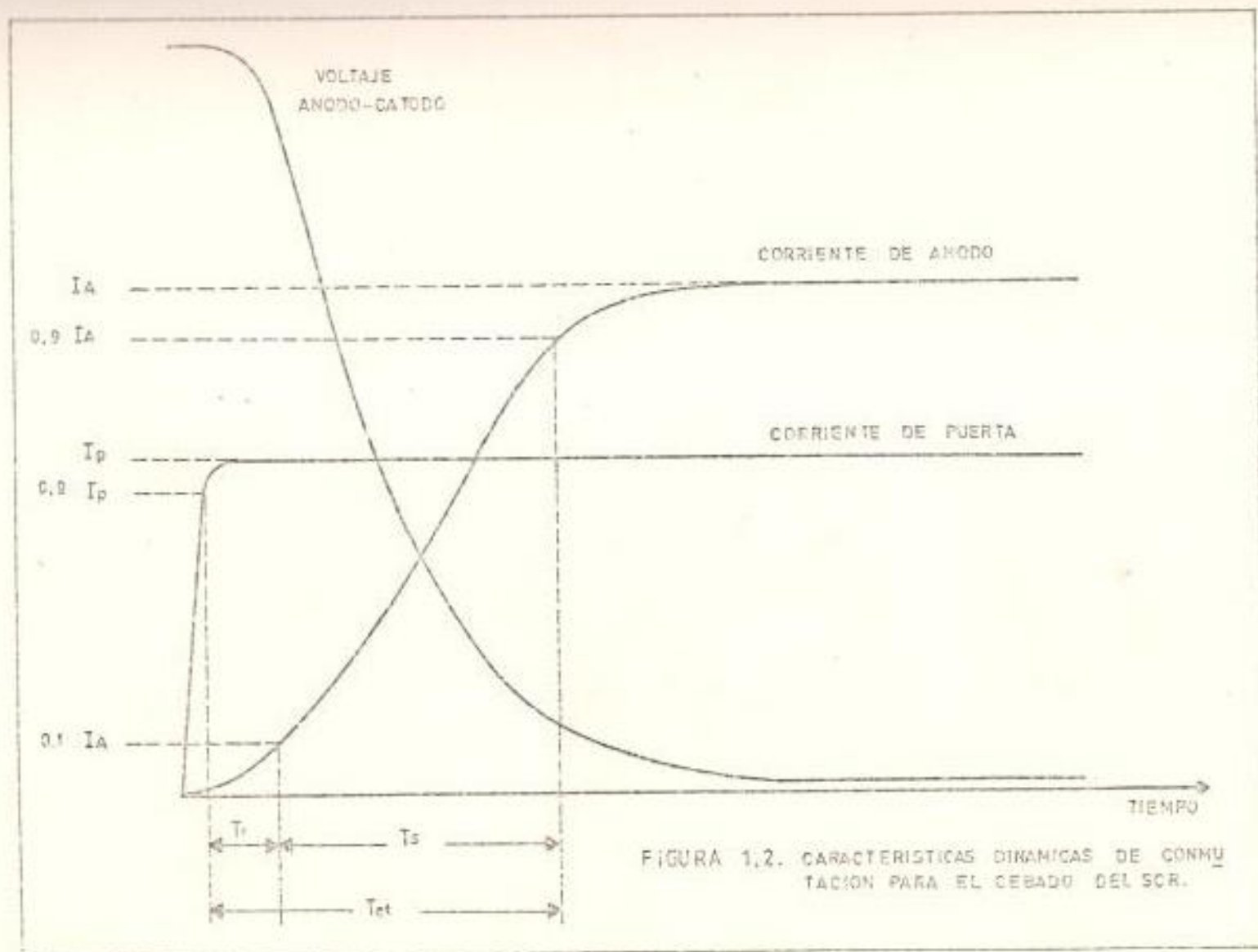


FIGURA 1.2. CARACTERISTICAS DINAMICAS DE CONMUTACION PARA EL CEBADO DEL SCR.

voltaje y corriente de ánodo, obtenidas en un circuito en el cual la carga consiste de una resistencia pura (23).

El tiempo de retardo, es el tiempo entre el punto en el cual la corriente de puerta alcanza el 90% de su valor final y el punto en que la corriente de ánodo alcanza el 10% de su valor final.

El tiempo de subida es el tiempo tomado por la corriente de ánodo para elevarse del 10% al 90% de su valor final.

Ambos, el tiempo de retardo y subida, están directamente relacionados con el tiempo de subida y amplitud de la corriente de disparo de puerta. Es necesario mantener estos tiempos (T_r y T_s) a un mínimo práctico luego es indispensable liberar un pulso de disparo de puerta con un rápido tiempo de subida, idealmente del orden de 0.1 μs , y que no exceda digamos 1 μs con amplitudes de corriente de 3 a 5 veces la mínima corriente requerida para disparar el dispositivo. Los tiempos de retardo y subida con tales pulsos de disparo serán de típicamente 0.5 y 3.5 μs respectivamente. Pulsos de disparo con tiempos de subida grandes y amplitudes relativamente bajas, incrementan considerablemente los tiempos T_r y T_s . La relación entre la razón de elevación de los pulsos de disparo y los tiempos de retardo y subida de un tiristor

típico se muestra en la figura 1.3.

Con una carga puramente resistiva, la corriente del tiristor sube a una rapidez limitada únicamente por el tiempo de encendido, y los pulsos de disparo pueden ser de 5 μ s de duración. Con una carga compleja (resistencia-inductancia), la elevación de la corriente en el tiristor es limitada por la constante de la carga. La duración de los pulsos deberá ser considerablemente mayor. En el caso de una carga puramente inductiva, la relación entre la duración de los pulsos de disparo y la corriente de sostenimiento (20) es dada por:

$$T_p = \frac{L}{V_s} \times I_h \quad (1.1)$$

Donde:

T_p = Duración del pulso de disparo

L = Inductancia de la carga

I_h = Corriente de sostenimiento del SCR

V_s = Voltaje de alimentación al SCR

Desde el punto de vista práctico, el tiempo de retardo por sí mismo, aún con pulsos de disparo deficientes, es de muy poca significación en la operación de circuitos con tiristor.

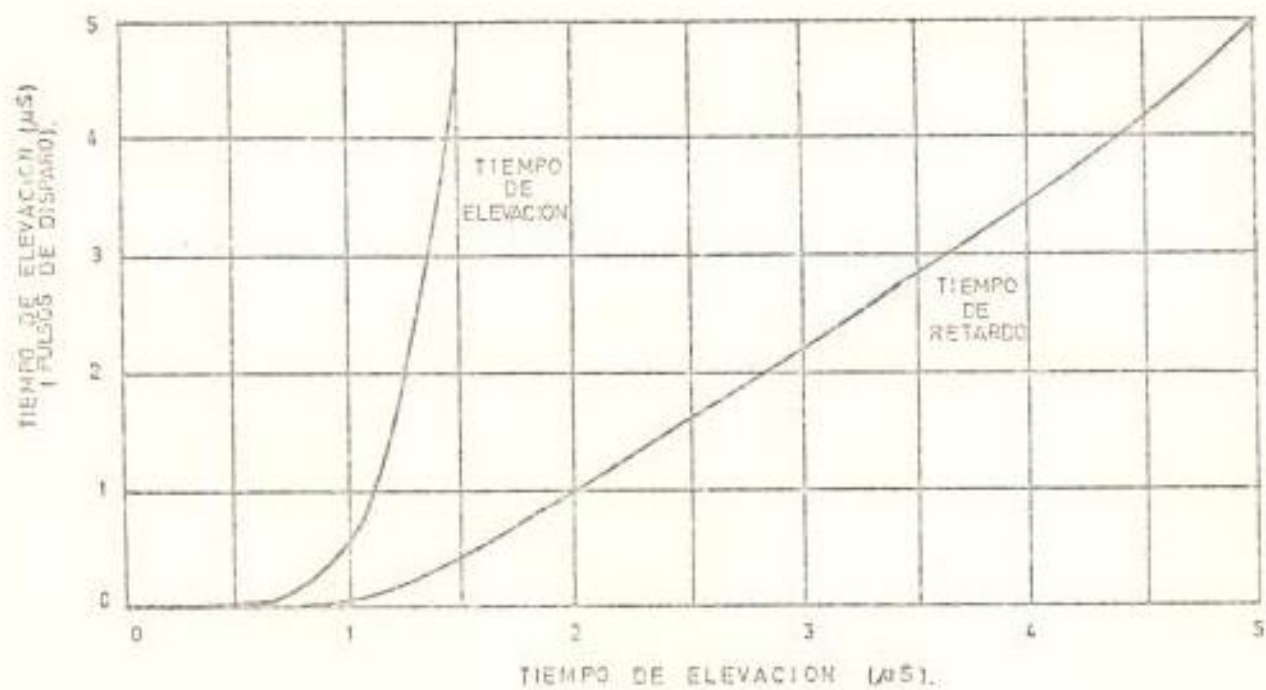


FIGURA 1.3. RELACION ENTRE LA RAZON DE ELEVACION DE LOS PULSOS DE DISPARO Y LOS TIEMPOS DE ELEVACION Y RETARDO DEL SCR.

res a frecuencias de potencia normales (de hasta 400 Hz). - El tiempo de subida, sin embargo es de significación, dado que, durante este tiempo el SCR soporta en forma simultánea un voltaje directo apreciable y transporta una corriente de ánodo directa, la potencia instantánea por consiguiente puede ser muy alta, dando lugar a "puntos calientes" localizados internamente, y eventualmente el quemado del SCR.

Las pérdidas de potencia totales durante el encendido son dadas en forma aproximada por la expresión (20)

$$P_p = \frac{V_{max} \cdot I_{max}}{4} \times T_s \quad (1.2)$$

Donde:

P_p = Pérdidas de potencia durante el encendido del SCR

V_{max} = Valor máximo del voltaje ánodo-cátodo

I_{max} = Corriente de ánodo máxima

T_s = Tiempo de subida

Por estas razones es necesario asegurarse que la razón de elevación de la corriente de ánodo (di/dt) en el cebado del SCR no exceda un valor límite especificado.

1.3.2 Apagado del tiristor

El SCR no puede bloquear el voltaje de ánodo directo inmediatamente después que la corriente de ánodo ha sido reducida a cero. Es necesario aplicar un voltaje de ánodo inverso por un período finito de tiempo, antes que el voltaje de ánodo - directo pueda ser reaplicado.

La reaplicación del voltaje directo da por resultado que el tiristor vuelva a conducir sin necesidad de corriente de control de puerta.

El tiempo de apagado del SCR (T_{ap}) es definido por las señales demostradas en la figura 1.4. El tiempo de apagado total es subdividido en dos regiones denominadas: el tiempo de recuperación inverso (T_{ri}) y el tiempo de recuperación de puerta (T_{rp}). El tiristor es descobado en el instante t_1 y la corriente disminuye siguiendo la pendiente di/dt ; la tensión en el tiristor que era de alrededor de 1 voltio disminuye ligeramente. En el instante t_2 se invierte la corriente, comportándose el SCR como un cortocircuito durante el tiempo t_2-t_3 . En t_3 se bloquea bruscamente, observándose un salto de tensión y a menudo una sobreoscilación debida a las inductancias y capacidades repartidas. La unión inversa ha recuperado su poder de bloqueo, pero la concentración de portado

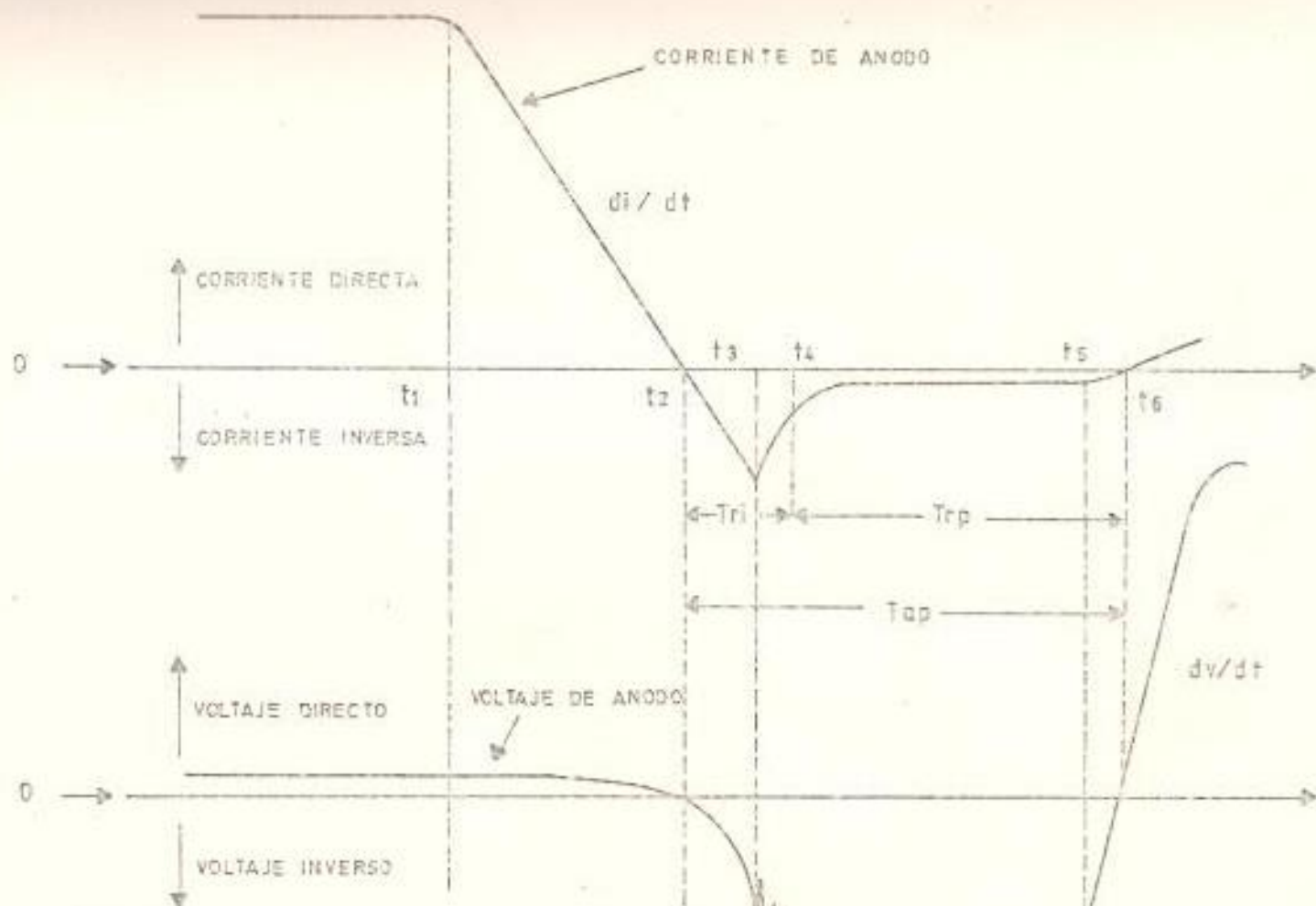


FIGURA 1.4. CARACTERÍSTICAS DINÁMICAS DE CONMUTACIÓN PARA EL ARRANQUE DEL SCR.

res minoritarios es todavía demasiado importante en las inmediaciones de la unión directa, para que esta se haya recuperado también. Es preciso esperar hasta t_6 para poder aplicar de nuevo tensión directa.

Para un SCR determinado el tiempo de recuperación inverso es función de la corriente de ánodo directa y de su razón de disminución (di/dt). Su duración es de típicamente 1 a 2 μs para tiristores de relativamente baja corriente (unos 100A), hasta posiblemente 6 o 7 μs para dispositivos de alta corriente.

El efecto de la recuperación inversa tiene significación práctica, debido a la relativamente violenta interrupción de la corriente de ánodo inversa que tiende a crear un voltaje inducido de gran amplitud en la inductancia del circuito de ánodo. Es necesario por tanto implementar un circuito capacitancia-resistencia denominado también red suavizadora o red snubber a través del SCR para absorber la energía atrapada en la inductancia del circuito de ánodo en el momento de bloqueo de voltaje inverso. Durante el tiempo de recuperación de puerta, debe ser mantenido el voltaje inverso a través del SCR, sin embargo la amplitud del voltaje inverso no es demasiado crítico.

Al final del tiempo de recuperación de puerta el SCR es capaz de bloquear la reaplicación de voltaje de ánodo directo; pero aún así, la razón de elevación de este voltaje (dv/dt) debe ser menor que un límite especificado por el fabricante del tiristor, para evitar disparos falsos de aquel, típicamente el valor de dv/dt es de 100 V/us.

Para un SCR dado, en mayor o menor extensión, el tiempo de recuperación de puerta es función de algunos factores independientes, los más importantes son: la temperatura de la unión del dispositivo y la razón de reaplicación del voltaje directo. El efecto de la temperatura de la unión sobre el tiempo de apagado del tiristor es mostrado en la figura 1.5.

Los tiempos de recuperación de tiristores de relativamente baja corriente (conmutación rápida) son de alrededor de 10 us, y hasta 200 us para dispositivos de alta corriente (conmutación lenta). En aplicaciones prácticas es necesario asegurarse, que el tiempo de extinción (T_{ext}) proporcionado a los tiristores por el circuito, sea mayor que el tiempo de apagado crítico del dispositivo por un adecuado margen de seguridad. Así, para un SCR de "conmutación lenta", será necesario que el circuito le permita 300 us para el apagado. Para aplicaciones de 60 Hz, este tiempo corresponde a 6.5° eléctricos, que es comparativamente pequeño en relación al ci

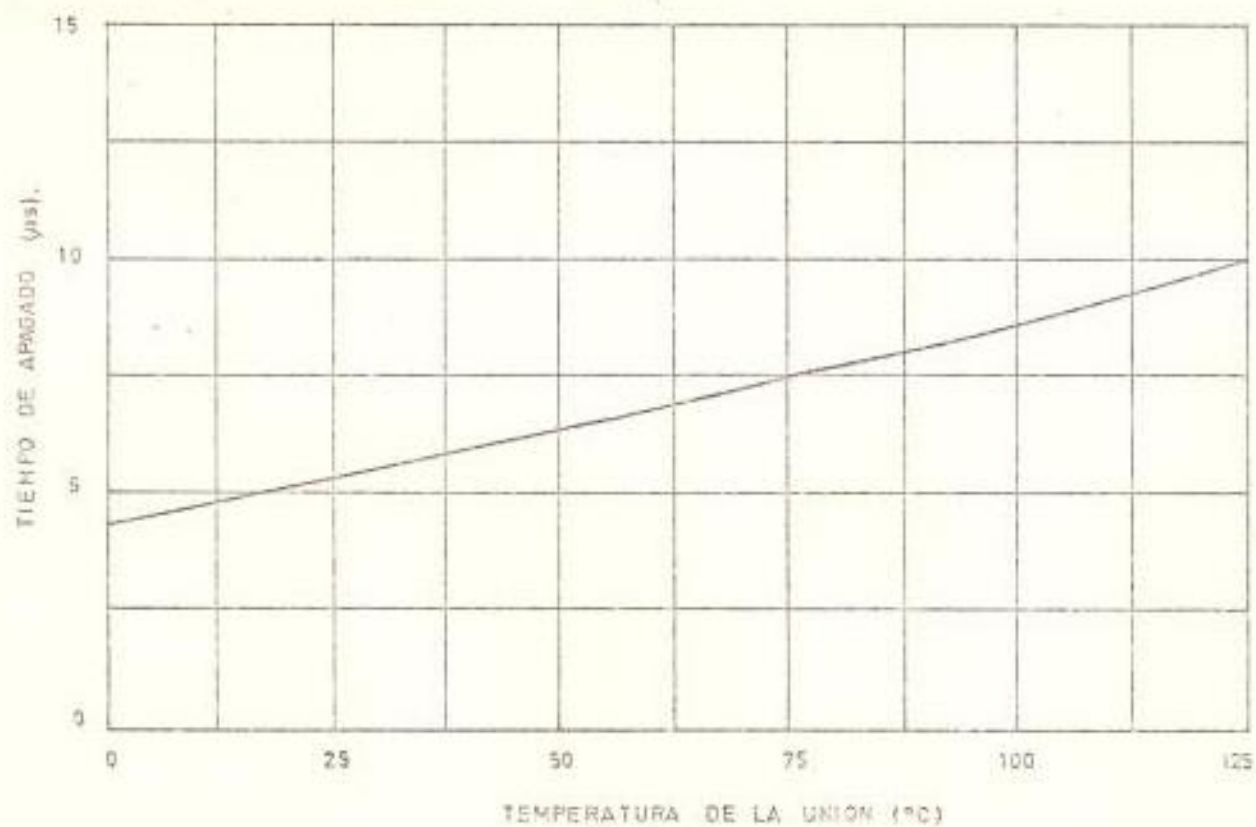


FIGURA 1.5. VARIACION DEL TIEMPO DE APAGADO DEL SCR, CON LA TEMPERATURA DE LA UNION.

cio completo. En aplicaciones de alta frecuencia el tiempo de apagado requerido puede ser una parte apreciable del ciclo total, luego la selección y uso de tiristores de "conmutación rápida" es un imperativo.

CAPITULO II

UNIDAD DE FUERZA

2.1 INTRODUCCION

En el diseño de una fuente de corriente controlada en base de dispositivos de conmutación estática (tiristores) es de particular importancia el tipo de configuración empleada para la unidad de conversión de potencia. En el pasado fue generalmente suficiente analizar los varios tipos de rectificadores controlados desde un punto de vista de estado estable.

Recientes aplicaciones para fuentes de corriente controladas con tiristores, involucran estados transientes en los mismos, que juegan un importante papel en la operación del sistema total. En particular el uso de un lazo de realimentación de corriente para el control de la unidad de fuerza introduce retrasos de transporte que podrían originar inestabilidades (22). En esta tesis se utilizarán los resultados de las investigaciones realizadas en este campo para la selección de la configuración de la unidad de fuerza, con el objeto de realizar un análisis más amplio de la circuitería electrónica de control que satisface los requerimientos de la configuración elegida.

El diseño de la fuente de corriente controlada tiene aplicaciones típicas como la impulsión directa de motores de corriente continua, o su uso a través de un inversor para el gobierno de motores de inducción. Con el objeto de establecer los requerimientos funcionales de la unidad de fuerza, una gran parte de este capítulo está dedicada al análisis de la operación del rectificador controlado por fase utilizado en la unidad de conversión de potencia con cargas generales.

Debido a que el objetivo de esta tesis no es realizar un estudio detallado de la modelación y comportamiento del motor D.C. alimentado a través de una fuente de corriente bajo condiciones de operación transiente, en este capítulo se analizará al motor D.C. representado por un circuito R-L en serie con una fuerza electromotriz, la misma que depende básicamente de la velocidad del motor. Además y dado que esta tesis conlleva la construcción de un prototipo en pequeña escala (baja potencia) se analizan los criterios seguidos para la selección del transformador, los componentes de protección de los tiristores y el cálculo de los elementos de disipación de los mismos.

El cálculo teórico de los componentes que conforman la unidad de fuerza, realizado en base de los parámetros de un motor de corriente continua de 1.5 H.P., son posteriormente modificados con un sobredimensionamiento adecuado, con el objeto de prever daños en esta u

nidad debido a las fallas presentadas normalmente en el proceso de pruebas y rediseño de la circuitería electrónica de control.

2.2 SELECCION DE LA CONFIGURACION

Los rectificadores controlados por fase forman parte de la gran mayoría de convertidores que emplean semiconductores de potencia (tiristores), y son utilizados para variar el valor promedio del voltaje directo aplicado al circuito de carga. Las variaciones de voltaje directo se realizan mediante control de fase de los tiristores colocados entre el circuito de carga y la fuente A.C de alimentación (red de suministro).

Los rectificadores controlados por fase son empleados en sistemas de control de lazo cerrado, funcionando como amplificadores operacionales de alta potencia, en los que el ángulo de disparo para el encendido de los tiristores es variado en respuesta a una señal de error. Estas características lo hacen útil para su uso en la unidad de fuerza de la fuente de corriente controlada.

El principal criterio para la selección del tipo de rectificador controlado por fase es la determinación del rango de manejo de potencia de la fuente de corriente controlada. En general, fuentes A.C monofásicas son adecuadas para rangos de rectificación de potencia de 1 a 5 Kw (24), para potencias mayores es normalmente usada -

una fuente A.C trifásica. Debido a que el objetivo de esta tesis es el diseño y construcción de un prototipo que simule una fuente de corriente de alto manejo de potencia es obvia la utilización de un sistema de alimentación trifásico.

La utilización de una fuente A.C trifásica restringe el tipo de configuración a emplearse a cuatro arreglos típicos: rectificador trifásico de onda completa tipo puente, rectificador trifásico semicontrolado, rectificadores controlados de doble estrella y seis fases.

Las características particulares de cada una de estas configuraciones es complementamente analizada en la referencia (23), por lo cual a continuación se hará un breve análisis de los criterios básicos para la selección de un arreglo particular.

El rectificador controlado de doble estrella y seis fases fue obvia do principalmente debido a que necesita dos sistemas de control, uno para cada sistema rectificador; además debe usarse un transformador con seis devanados secundarios. Por otro lado, la adopción de un esquema de rectificación trifásica semicontrolada conlleva una desventaja sustancial cuando se opera con cargas altamente resistivas. En este caso el flujo de corriente en cualquiera de las tres fuentes de alimentación es unidireccional. Esto significa que la fuente trifásica tiene una componente continua, resultando una magnetización D.C del núcleo del transformador. En cuanto al recti

ficador semicontrolado tipo puente se presenta la desventaja de no poseer capacidad de regeneración en el modo de operación Inversor, que es una característica de particular utilidad cuando se requiere control de velocidad con frenado regenerativo.

De las características brevemente descritas se seleccionó el convertidor trifásico de onda completa tipo puente que posee capacidad de operación como rectificador e inversor y menor rizado en el voltaje de salida. Por otro lado la modelación y pruebas dinámicas realizadas con esta configuración (15), proveen una conducta de tipo transiente con características adecuadas para la tracción de motores D.C.

2.3 CONVERTIDOR TRIFÁSICO DE ONDA COMPLETA TIPO PUENTE

2.3.1 Características de operación

En la figura 2.1 se muestra la configuración del convertidor trifásico de onda completa tipo puente con un circuito de carga general. En esta sección se presentan las características de operación del convertidor desde un punto de vista cualitativo con el objeto de rellevar los aspectos funcionales del rectificador controlado por fase.

Consideremos primeramente la operación del convertidor con

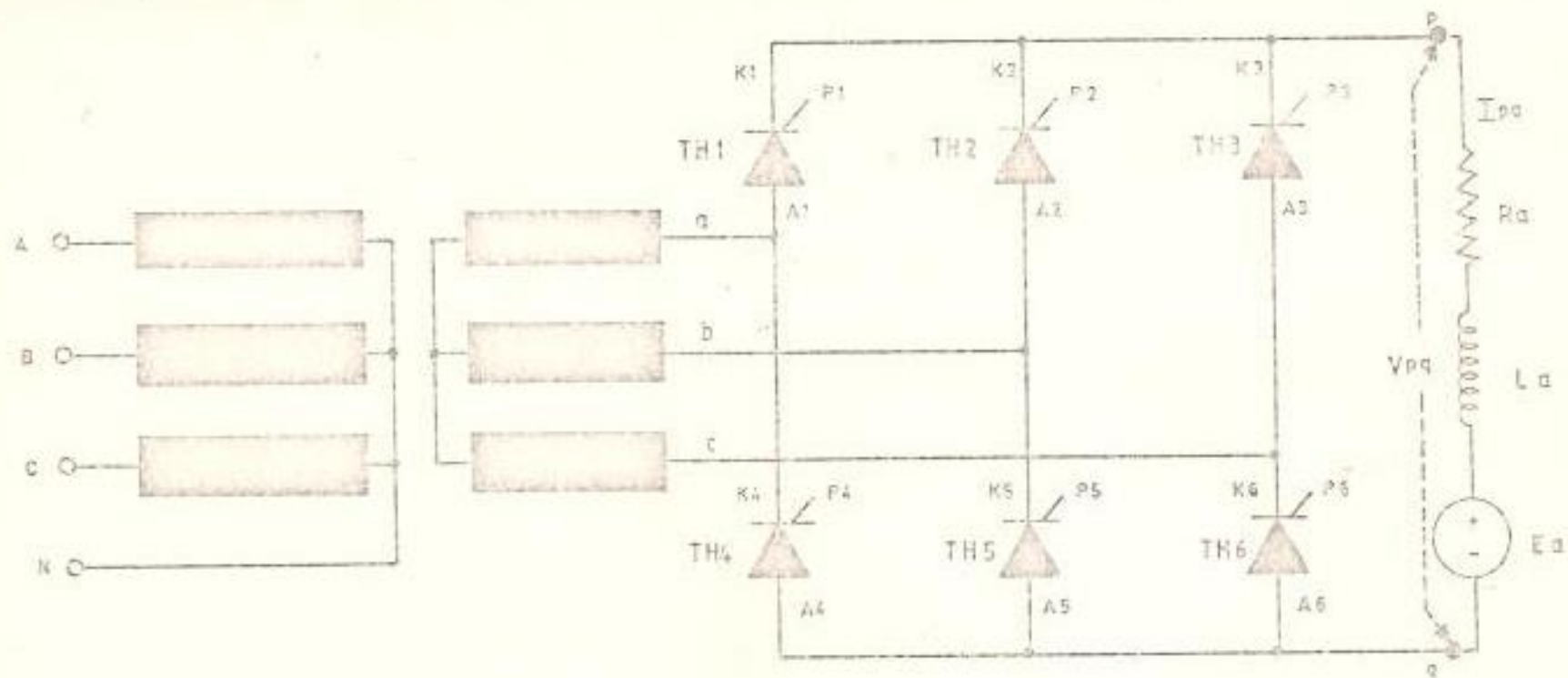


FIGURA 2.1. CONFIGURACION DE LA UNIDAD DE FUERZA.

un circuito de carga completamente resistivo ($E_a=0$ y $L_a=0$) y bajo la asunción de que todos los tiristores permanecen cebados sobre el ciclo completo o alternativamente que los tiristores son reemplazados por diodos obteniéndose un rectificador no controlado. Luego, el efecto determinante en el inicio de la conducción de cada uno de los tiristores es fijado por la combinación de las tres fuentes de voltaje del secundario del transformador (V_{an} , V_{bn} , V_{cn}), que en un instante particular toman el mayor valor en los terminales de salida. Las combinaciones de las fuentes de voltaje son los voltajes línea-línea: V_{ab} , V_{bc} , V_{ca} , V_{ba} , V_{cb} y V_{ac} . El voltaje de salida del rectificador controlado por fase será el fiel reflejo de las seis combinaciones posibles del voltaje trifásico de entrada, en el rango en que cada una de estas combinaciones toma valores relativos mayores.

En la figura 2.2 se muestran las diferentes combinaciones del voltaje trifásico de alimentación con el voltaje y corriente de salida, bajo la asunción de que los tiristores permanecen cebados durante el ciclo completo de operación. Presentándose además las señales de cebado de los tiristores, las mismas que serán objeto de análisis posterior.

En el rango de operación de $\pi/3$ a $2\pi/3$ radianes (60° a 120°) el voltaje línea-línea V_{ab} posee el mayor valor relati

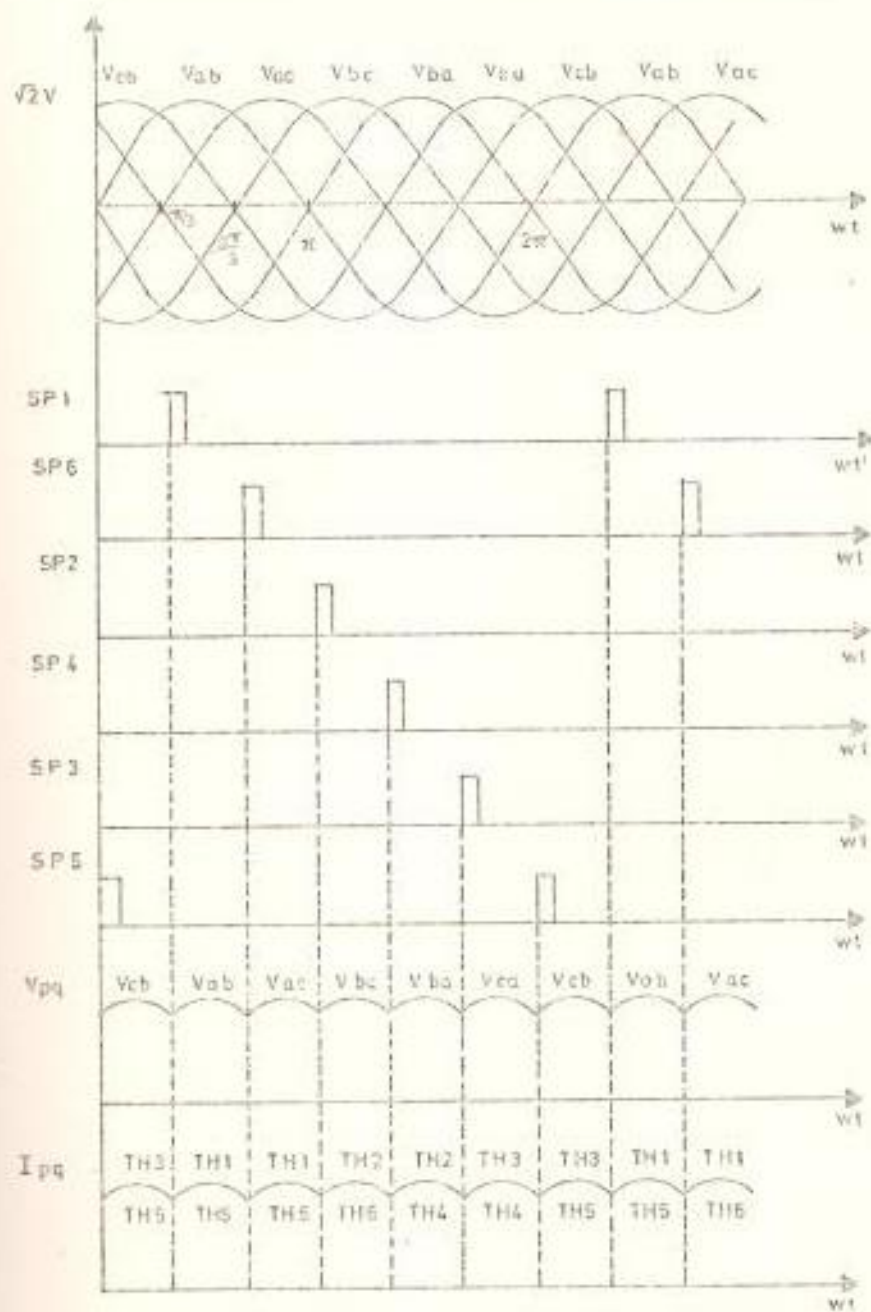


FIGURA 2.2. VARIACIONES DE VOLTAJE Y CORRIENTE DEL CONVERTIDOR TRIFÁSICO DE ONDA COMPLETA. $10X=0.7$, $E_a=0$, $L_a=0.1$

vo con respecto a los demás voltajes línea-línea. Luego el par de tiristores en conducción son TH1 y TH5, por consiguiente, el voltaje de salida (V_{pq}) en este rango particular toma el valor del voltaje línea-línea V_{ab} tal como se muestra en la figura 2.2. La corriente de salida (i_{pq}) tiene la misma forma que el voltaje de salida puesto que el circuito de carga es resistivo. En $2\pi/3$ radianes V_{ac} tiene el mismo valor que V_{ab} y un instante después comienza a tomar valores mayores, por consiguiente la conducción tomará lugar a través de los tiristores TH1 y TH6. Este proceso de transferencias de conducción a un nuevo par de tiristores implica la conmutación natural de conducción entre el par de tiristores TH5 y TH6. Debido al proceso de conmutación descrito el voltaje de salida V_{pq} desde $2\pi/3$ a π radianes será el voltaje línea-línea V_{ac} . En π radianes el voltaje línea-línea V_{bc} comienza a tomar valores mayores que V_{ac} , luego el par de tiristores que toma las funciones de conducción son TH2 y TH6, realizándose la conmutación natural entre los tiristores TH1 y TH2. Este tipo de análisis puede ser continuado, obteniéndose del mismo las señales de voltaje y corriente de salida mostrados en la figura 2.2.

En este punto es necesario definir el ángulo de disparo (α) al cual el tiristor TH1 es encendido: α es el intervalo en medición angular eléctrica para el cual el punto de inicio

de la conducción es retrazado por control de fase en relación a la operación del mismo circuito cuando los tiristores son reemplazados por diodos (8). Así, en el convertidor trifásico bajo análisis el ángulo de disparo de cero grados ($\alpha = 0$) corresponde con $\omega t = \pi/3$ radianes.

Si los tiristores no fuesen cebados durante el ciclo completo para la obtención de $\alpha = 0^\circ$, es necesario proveer a las puertas de los tiristores del conjunto de señales de puerta (SP1, SP2, SP3, SP4, SP5, SP6) mostradas en la figura 2.2. Así, el momento de inicio de la conducción de TH1 debe ir acompañado de la señal de puerta para TH1 (SP1) y en la misma forma para los cinco tiristores restantes.

En general el voltaje aplicado a la carga en el rectificador trifásico de onda completa es igual al mayor voltaje línea-línea, siempre que las puertas de control de los tiristores sean cebados en el momento adecuado. Así, para $\alpha = 30^\circ$ el voltaje aplicado a la carga en $\omega t = \pi/3$ que cumple la condición de ser el mayor voltaje línea-línea es V_{ab} pero debido a que la puerta de TH1 no es cebada, la carga sigue recibiendo el voltaje V_{cb} , hasta el instante en que TH1 es cebado luego de un retardo correspondiente a 30° eléctricos con respecto al punto de referencia para el ángulo de disparo ($\pi/3$ radianes), tal como se muestra en la figura 2.3, en el

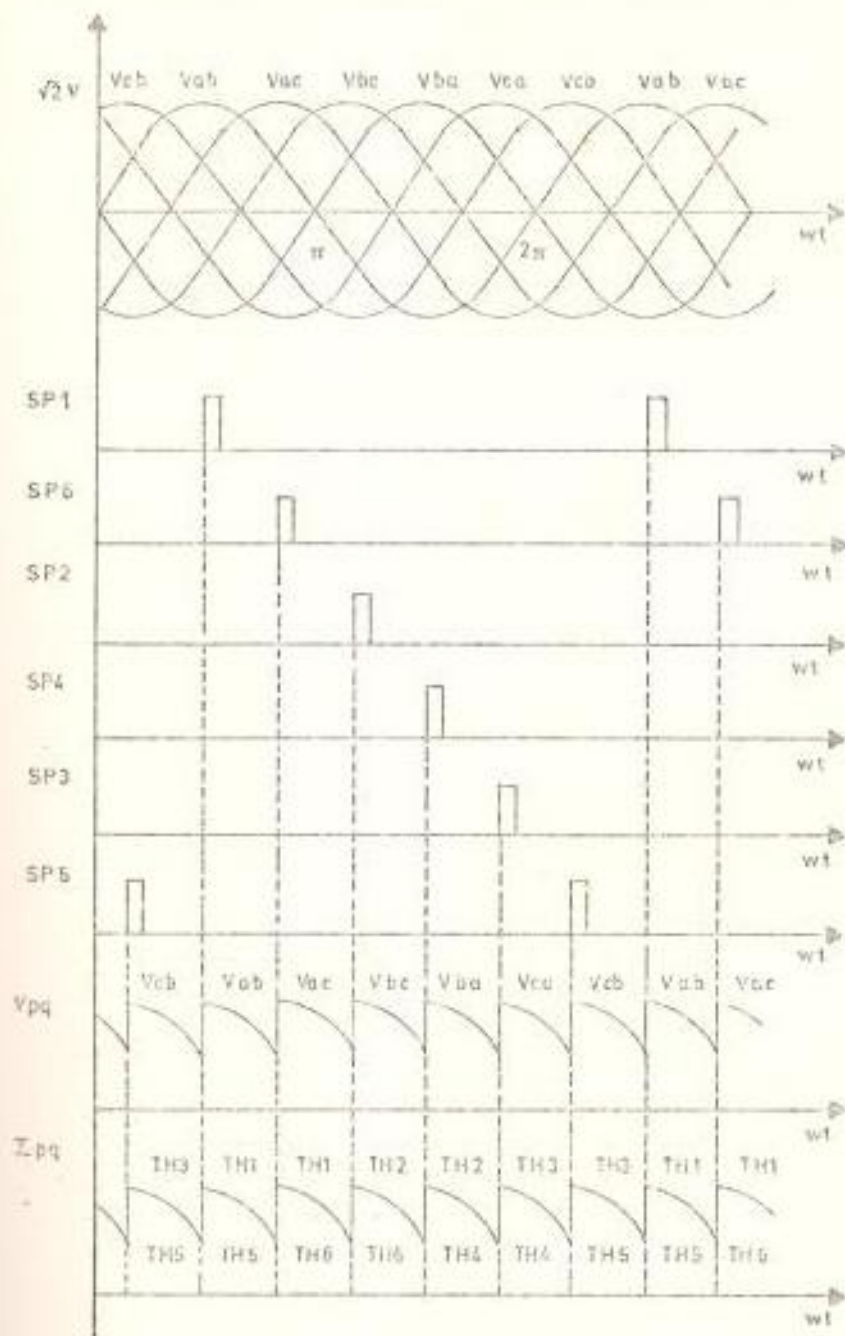


FIGURA 2.3. VARIACIONES DE VOLTAJE Y CORRIENTE DEL CONVERTIDOR TRIFÁSICO DE ONDA COMPLETA.
 $I_{OC} = 3IP$; $E_a = 0$; $L = 0$.

momento en que TH1 recibe la señal de disparo ($\omega t = \pi/2$) el voltaje aplicado a la carga es V_{ab} , el mismo que continúa - siendo el voltaje de salida aún después del punto $\omega t = 2\pi/3$ donde el voltaje de línea V_{ac} toma valores mayores que V_{ab} . La conmutación no toma lugar en $\omega t = 2\pi/3$ puesto que se ha retrazado el cebado de TH6 por $\pi/6$ radianes. Así, la conmutación natural entre TH5 y TH6 sucede a $\omega t = 2\pi/3 + \pi/6$ - radianes. Las formas de señales para el voltaje y corriente de salida (V_{pq} , I_{pq}) junto con las señales de puerta adecuadas son mostradas en la figura 2.3 para $\alpha = 30^\circ$.

En la figura 2.4 se presentan las señales asociadas con la operación del convertidor para un ángulo de disparo de $\alpha = 60^\circ$ con un circuito de carga con resistencia e inductancia. Bajo estas condiciones la señal de voltaje de salida es la misma que si se tratase de una carga resistiva pura, en cambio la corriente de salida no sigue la misma forma que la del voltaje debido al efecto de la inductancia de carga. Así, la inductancia no permite que la corriente de carga I_{pq} sea cero aún cuando el voltaje sea cero, esto es, permite que la corriente no tenga discontinuidades (tome valores cero). Esta característica particular de comportamiento del convertidor controlado por fase es denominado modo de operación con corriente continua, diferenciándose del modo de operación con corriente discontinua.

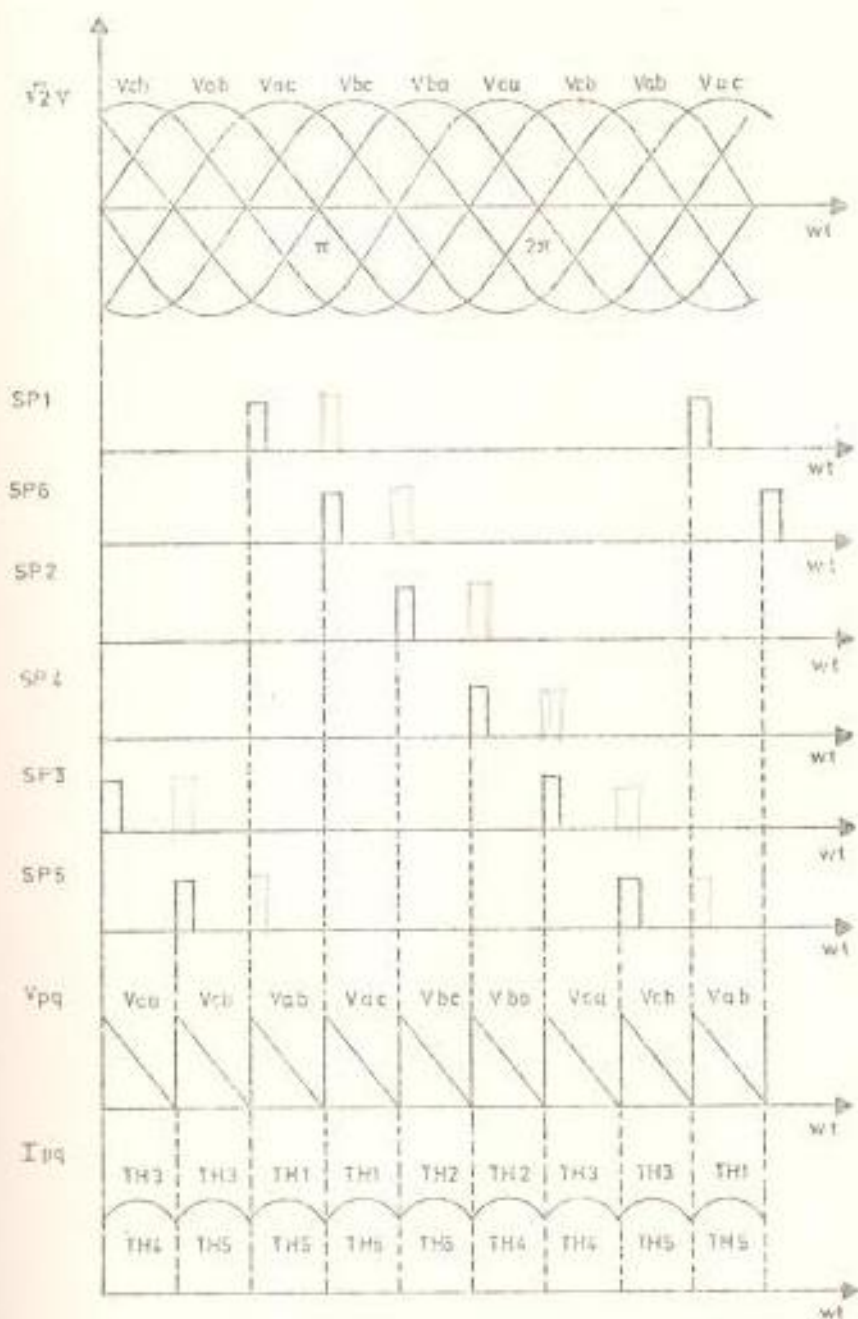


FIGURA 2.4. VARIACIONES DE VOLTAJE Y CORRIENTE DEL CONVERTIDOR TRIFÁSICO DE ONDA COMPLETA.
 ($\alpha=60^\circ$; $E_{on}=0$; L_{eff})

En la figura 2.5 se muestran las señales asociadas con el rectificador trifásico de onda completa para ángulos de disparo de $\alpha = 30^\circ$ y circuito de carga resistivo-inductivo. Siendo la inductancia suficientemente alta para mantener con ducción continua, se posibilita las incursiones del voltaje de salida a través de valores negativos.

2.3.2 Modos de operación con corriente de carga continua y discontinua

El convertidor trifásico de onda completa tipo puente (seis pulsos) se caracteriza por dos modos de operación: modo de operación con corriente continua y modo de operación con corriente discontinua. El primer modo de operación es de particular importancia en la tracción de motores D.C, donde el torque es proporcional a la corriente de armadura promedio, mientras el calentamiento de la armadura es proporcional al cuadrado de la corriente r.m.s. Consecuentemente el rango de potencia nominal del motor dependerá del factor de forma de la señal de corriente de armadura, que es mejorado si se mantienen condiciones de conducción continua.

— Mediante el circuito equivalente del convertidor trifásico de onda completa y a partir de la expresión de la corriente de salida normalizada bajo condiciones de operación con co-

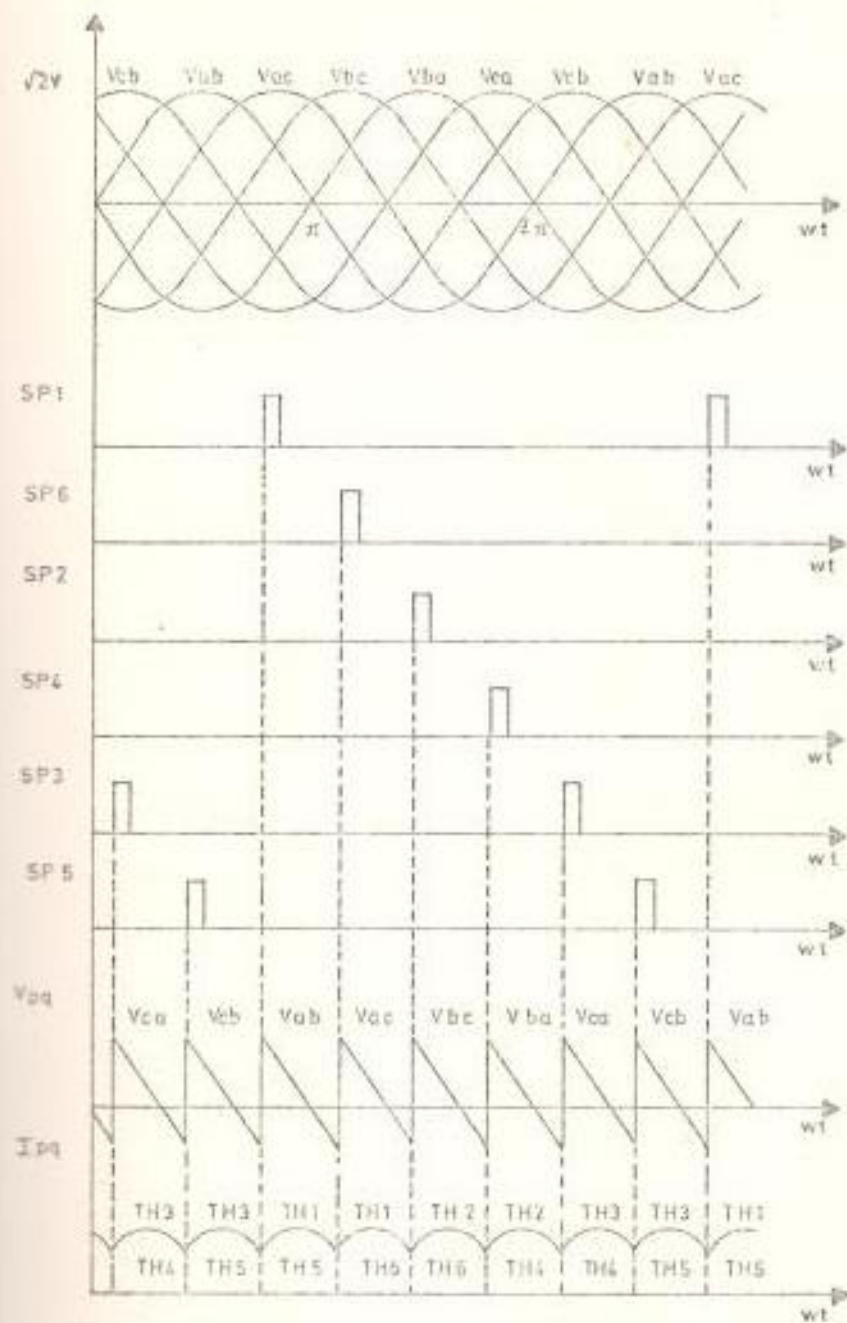


FIGURA 2.5. VARIACIONES DE VOLTAJE Y CORRIENTE DEL CONVERTIDOR TRIFÁSICO DE ONDA COMPLETA, ($\alpha = 60^\circ$; $E_a = 0$; $L_a \neq 0$.)

corriente discontinua (8), es posible obtener el diagrama de operación mostrado en la figura 2.6. La familia de curvas para la serie de valores de ϕ ($\phi = \tan^{-1} \omega L_a / R_a$) definen las condiciones donde toma lugar la transición entre operación con corriente continua y discontinua. Estas curvas son mostradas para diversos valores de m ($m = E_b / \sqrt{2} V$).

El primer cuadrante de la figura 2.6 representa acción rectificadora, donde la fuente E_a absorbe energía. En el cuarto cuadrante la fuente E_a libera energía, y hay dos posibles condiciones de operación: (a) que el circuito de carga como un todo libere energía a la fuente A.C, en otras palabras el sistema esté regenerando y funcionando como un inversor de D.C a A.C de frecuencia fija, (b) que el circuito de carga como un todo absorba energía, en otras palabras, ambas fuentes A.C y E_a suministren energía a la resistencia del circuito de carga; esta es una condición de operación intermedia entre acción rectificadora e inversora.

Bajo condiciones de operación con corriente continua no es difícil decidir que sucede en el cuarto cuadrante. Así, si el ángulo de cebado es incrementado hasta $\alpha > \pi/2$, V_{pq} es negativa, y si se mantienen condiciones de operación con corriente continua, el sistema actúa como un inversor. Con $0 < \alpha < \pi/2$, V_{pq} es positivo, y la resistencia del circuito

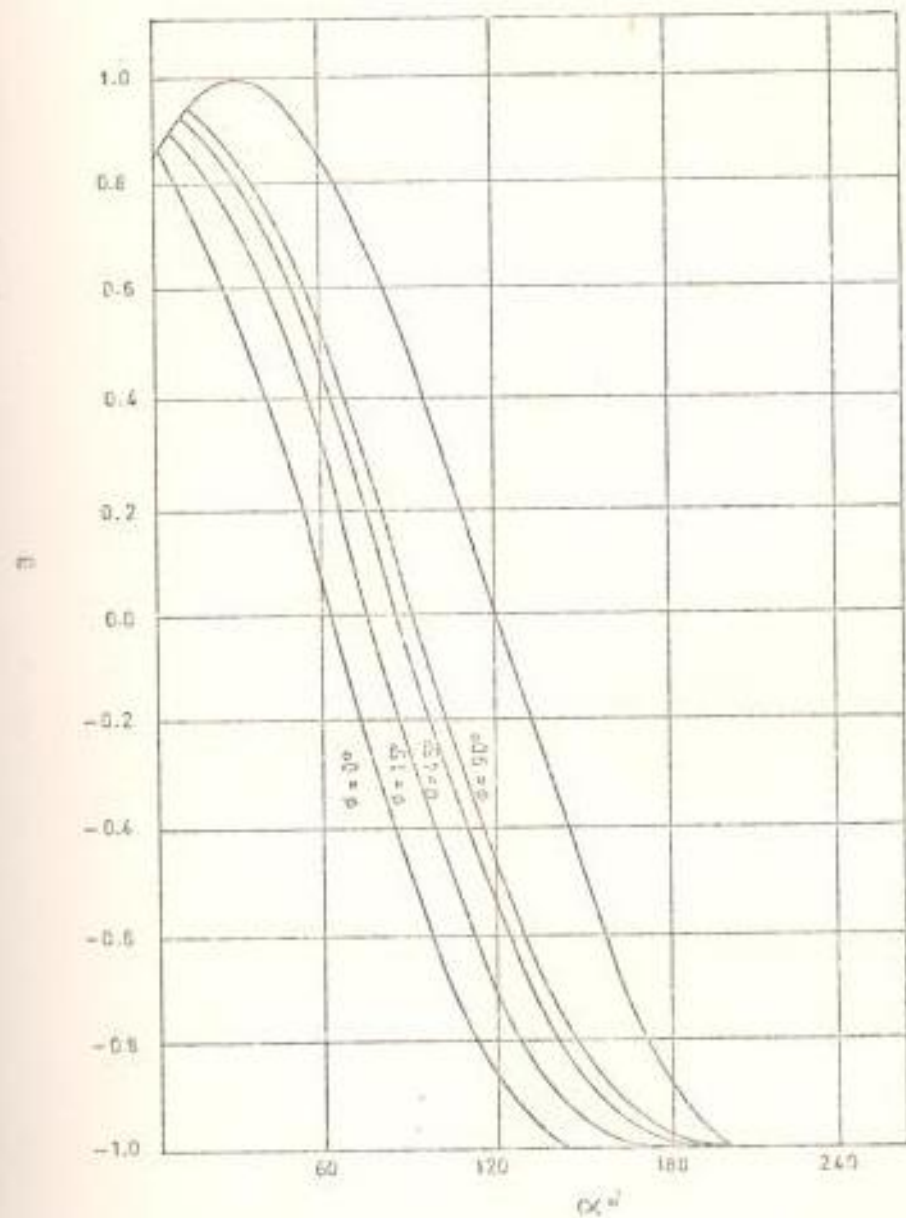


FIGURA 2.6. DIAGRAMA DE OPERACION PARA EL CONVERTIDOR TRIFASICO DE ONDA COMPLETA TIPO PUENTE.

de carga absorbe potencia de ambas fuentes D.C y A.C.

En la práctica, la continuidad de la señal de corriente de carga depende de la naturaleza del circuito de carga D.C, y es posible conducción discontinua tanto en condiciones de operación rectificadora como inversora. Si la carga en los terminales D.C es puramente pasiva, y capaz de unicamente absorber potencia promedio, luego las señales de corriente son inevitablemente discontinuas cuando el ángulo de disparo es retardado hacia 90° (Figura 2.6). Para ángulos de disparo entre 0° y 60° , el voltaje instantáneo en los terminales D.C del convertidor es siempre positivo, luego, la corriente en cargas pasivas es necesariamente continua. Si el ángulo de disparo es retardado más allá de 60° , el voltaje en los terminales D.C oscila en la dirección negativa por ciertos períodos de tiempo. En este caso la constante de tiempo de la carga determina si las excursiones de voltaje negativo pueden ser absorbidas, proporcionando un flujo neto de corriente positiva.

Con cargas que poseen capacidad de almacenamiento de voltaje (por ejemplo un capacitor o la armadura de un motor D.C) es posible obtener operación con corriente discontinua en cualquier punto del rango de operación si la demanda de corriente de carga es suficientemente pequeña. Un motor D.C operan

do a altas velocidades y cargas pobres produce operación con corriente discontinua, debido al alto valor de la fuerza contraelectromotriz de armadura y el bajo valor de corriente de armadura. Luego, si se requiere condiciones de conducción continua para bajos valores de corriente de armadura, debe incrementarse la inductancia de armadura conectando un inductor en serie con la misma.

La figura 2.7 muestra las señales típicas obtenidas en un convertidor de onda completa (seis pulsos) operando como un rectificador con una carga que genera una fuerza contraelectromotriz para varios niveles de corriente de carga. En general se observa que para mantener el voltaje promedio constante, es necesario cambiar el ángulo de disparo por 25° , entre la condición sin carga con corriente discontinua a alta carga con corriente continua. Por consiguiente se concluye que si el ángulo de disparo es constante y la corriente de carga variada, el voltaje D.C promedio se reduce grandemente entre la condición sin carga y a plena carga.

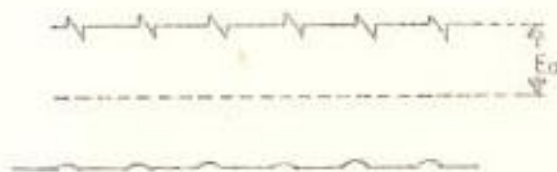
En la figura 2.8 se muestran las señales típicas para un convertidor de seis pulsos operando en el modo inversor para varios niveles de corriente de carga. Se observa que para mantener el voltaje de salida D.C promedio constante, se requiere un desplazamiento de 20° para el ángulo de disparo si la

CARGA LIGERA.

VOLTAJE DE SALIDA DEL
CONVERTIDOR, V_{pq} .

$V_{pq} = 0.7 V_{pq(max)}$; $\alpha = 70^\circ$

CORRIENTE DE SALIDA
DEL CONVERTIDOR, I_{pq} .

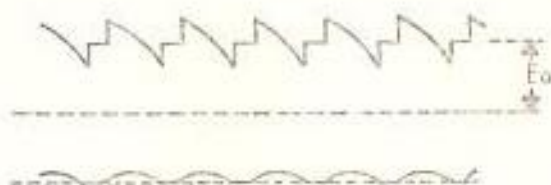


CARGA INTERMEDIA

VOLTAJE DE SALIDA DEL
CONVERTIDOR, V_{pq} .

$V_{pq} = 0.7 V_{pq(max)}$; $\alpha = 52^\circ$

CORRIENTE DE SALIDA
DEL CONVERTIDOR, I_{pq} .



CARGA ALTA

VOLTAJE DE SALIDA DEL
CONVERTIDOR, V_{pq} .

$V_{pq} = 0.7 V_{pq(max)}$; $\alpha = 45^\circ$

CORRIENTE DE SALIDA
DEL CONVERTIDOR, I_{pq} .

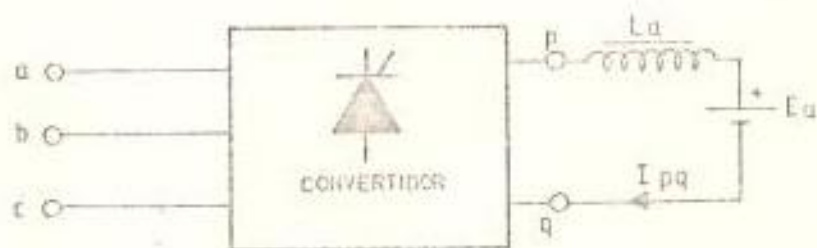
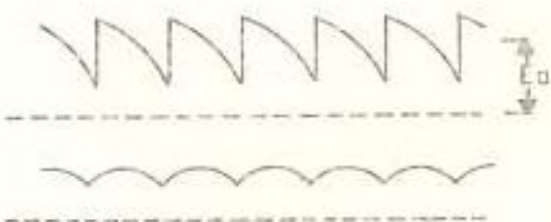


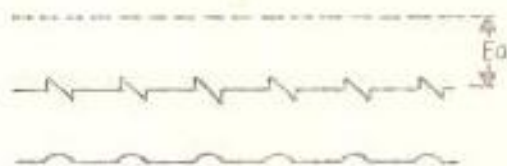
FIGURA 2.7. SEÑALES DE VOLTAJE Y CORRIENTE EN LOS TERMINALES DE SALIDA DEL CONVERTIDOR TRIFÁSICO TIPO PUENTE PARA VARIAS CONDICIONES DE OPERACIÓN (ACCIÓN RECTIFICADORA).

CARGA LIGERA

VOLTAJE DE SALIDA DEL
CONVERTIDOR, V_{pq}

$V_{pq} = -0.7 V_{aql(max)}$, $\alpha = 155^\circ$

CORRIENTE DE SALIDA
DEL CONVERTIDOR, I_{pq}

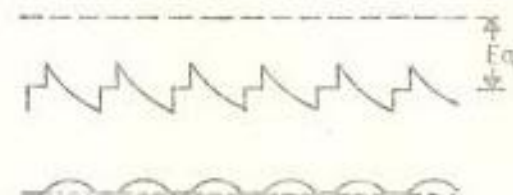


CARGA INTERMEDIA

VOLTAJE DE SALIDA DEL
CONVERTIDOR, V_{pq}

$V_{pq} = -0.7 V_{pql(max)}$, $\alpha = 145^\circ$

CORRIENTE DE SALIDA
DEL CONVERTIDOR, I_{pq}



CARGA ALTA

VOLTAJE DE SALIDA DEL
CONVERTIDOR, V_{pq}

$V_{pq} = -0.7 V_{pql(max)}$, $\alpha = 135^\circ$

CORRIENTE DE SALIDA
DEL CONVERTIDOR, I_{pq}

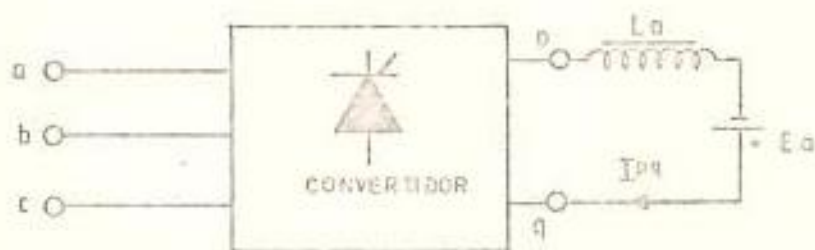
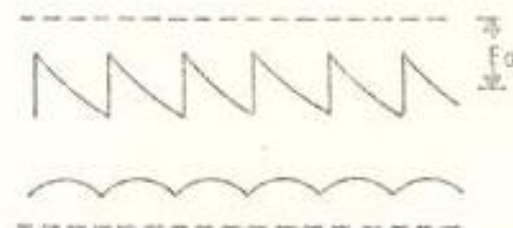


FIGURA 2.8. SEÑALES DE VOLTAJE Y CORRIENTE EN LOS TERMINALES DE SALIDA DEL CONVERTIDOR TRIFÁSICO TIPO PUENTE PARA VARIAS CONDICIONES DE OPERACIÓN. (ACCIÓN INVERSORA).

carga es incrementada hasta obtener conducción continua.

La conclusión general deducida de la discusión precedente es que con conducción continua la señal de voltaje y luego su valor promedio es claramente definido y dependiente del ángulo de disparo del convertidor. Con conducción discontinua, la señal de voltaje en los terminales D.C y su valor promedio depende tanto del ángulo de disparo como de los parámetros de la carga. En el capítulo V que trata sobre la red de linealización se hará uso de estos conceptos básicos de operación.

2.3.3 Especificaciones para las señales de puerta de los tiristores

En las especificaciones para las señales de puerta de los tiristores debe darse especial atención a las características particulares que deben reunir estas, para condiciones de carácter transiente bajo el modo de operación con corriente discontinua. Debe puntualizarse, que aún cuando el modo de operación con corriente continua es característico bajo condiciones de estado estable y además el modo deseable de operación se producen operaciones con corriente discontinua debido principalmente a dos factores de interés: (a) debido a la naturaleza de la carga (motor D.C con una fuerza contrae-

lectromotriz dependiente de la velocidad del motor) (b) la respuesta dinámica y de carácter transiente de la colocación del ángulo de disparo del sistema realimentado por corriente ante variaciones de la colocación digital de corriente deseada o de la carga aplicada al motor.

En la figura 2.9 se muestran las variaciones de voltaje y corriente para operación en el modo inversor con corriente discontinua. Si comenzamos el análisis en el momento de aplicación de la señal de disparo al tiristor TH1 se observa la conducción de los tiristores TH1 y TH5, hasta el momento en que la corriente cae a cero debido a la relativa baja inductancia en el circuito de carga. En el instante que la corriente cae a cero los tiristores TH1 y TH5 se desceban, luego en el momento de aplicación de la señal de disparo al tiristor TH6 no se producirá la conmutación al par de tiristores TH1 y TH6, puesto que el pulso de disparo para TH1 es de duración limitada. Por consiguiente, es necesario que la señal de puerta para TH1 siga aplicada hasta por lo menos el instante de ocurrencia del pulso de disparo del tiristor TH6

La solución normalmente utilizada para obviar este problema es proporcionar señales de disparo durante el tiempo máximo de conducción de los tiristores, esto es, 120° eléctricos. En la figura 2.9 se muestra las seis señales de puerta, las

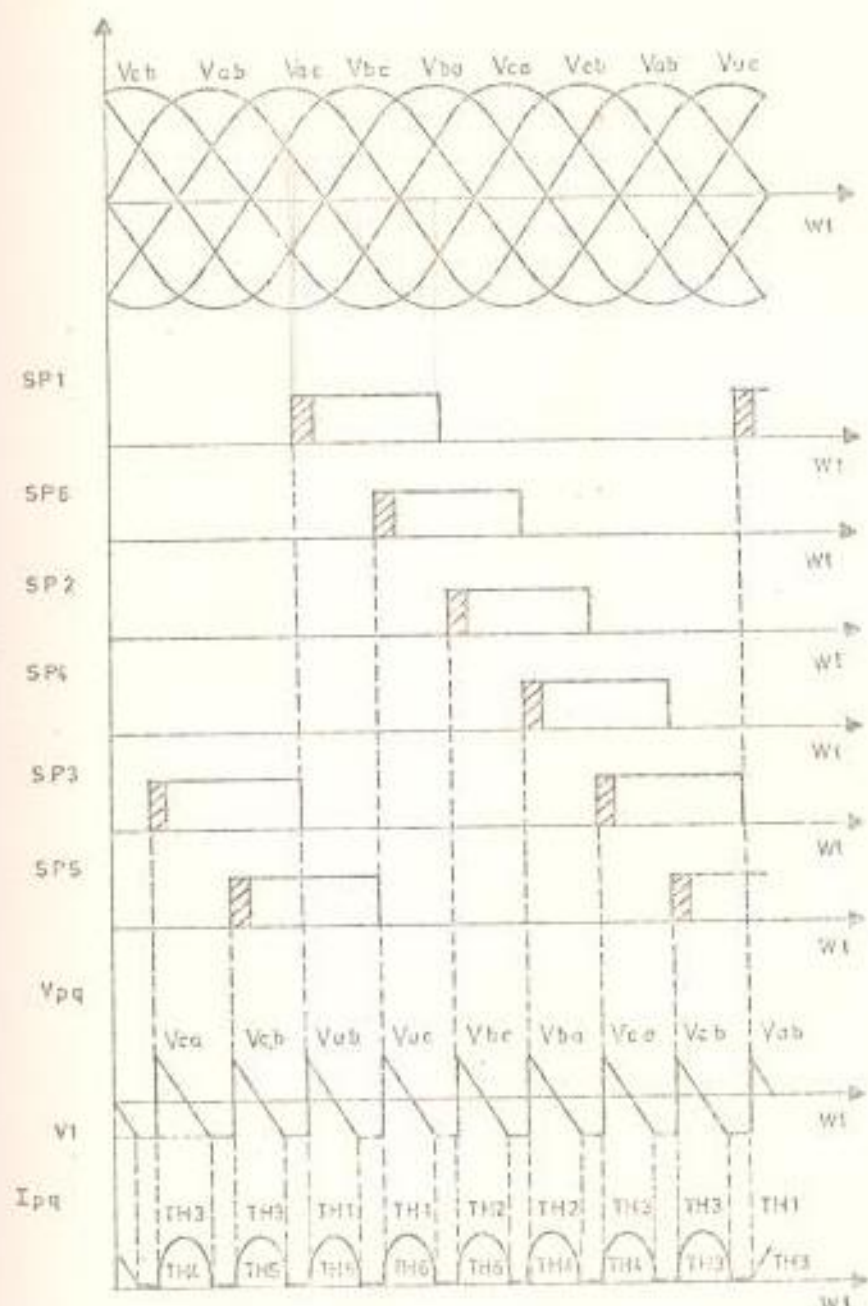


FIGURA 2.9. VARIACIONES DE VOLTAJE Y CORRIENTE DEL CONVERTIDOR TRIFASICO DE ONDA COMPLETA. ($\alpha = 100^\circ$, $E_a = -V_1$, $L_a \neq 0$).

mismas que, permanecen activos durante 120° eléctricos, asegurándose el funcionamiento normal del convertidor para las condiciones más rigurosas de operación.

Una especificación adicional para las señales de puerta, es que estas deben ser conectadas entre los tiristores y el circuito de control. Luego, se requiere el uso de transformadores de pulso conectados como un enlace de aislamiento entre los tiristores y el circuito de generación de los pulsos de disparo.

Las dos consideraciones analizadas implican el uso de una etapa de salida con pulsos de disparo extendidos y portadora de alta frecuencia que serán analizadas y objeto de diseño en el capítulo III.

2.3.4 Derivación de ecuaciones y análisis de los parámetros de interés

En esta sección se presenta un breve análisis matemático de los parámetros que caracterizan la operación del convertidor para el modo de operación con corriente continua, los cuales serán utilizados para la selección de los componentes de la unidad de fuerza.

2.3.4.1 Voltaje de salida promedio

El voltaje de salida del convertidor para el modo de operación con corriente continua es representado (8) por la serie:

$$V_{pq} = V_o + \sum_{n=1}^{\infty} C_n \cos (n\omega t - \theta_n) \quad V \quad (2.1)$$

Donde V_o es el voltaje de salida promedio, de la figura 2.4 se observa que:

$$V_o = \frac{3}{\pi} \int_{\alpha + \pi/3}^{\alpha + 2\pi/3} \sqrt{2} V \sin(\omega t) d(\omega t) \quad V \quad (2.2)$$

$$V_o = \frac{3\sqrt{2}}{\pi} V \cos \quad V \quad (2.3)$$

2.3.4.2 Valor r.m.s del voltaje de salida y voltaje de rizado

De la observación de la señal de voltaje de salida del convertidor en la figura 2.4 se concluye que su frecuencia fundamental es seis veces la de la fuente

te A.C. Esto significa que todas las armónicas del voltaje de salida son del orden $n = 6m$, donde m es entero.

En la ecuación 2.1

$$C_n = (A_n^2 + B_n^2)^{1/2} \quad \text{V} \quad (2.4)$$

$$\theta_n = \text{tg}^{-1}(A_n/B_n) \quad \text{Rad} \quad (2.5)$$

Como consecuencia de que la frecuencia fundamental de V_{pq} es 6ω , es posible definir (8) los coeficientes A_n y B_n como:

$$A_n = \frac{6}{\pi} \int_{\alpha + \pi/3}^{\alpha + 2\pi/3} V_{pq} \text{Sen}(n\omega t) d(\omega t) \quad \text{V} \quad (2.6)$$

$$B_n = \frac{6}{\pi} \int_{\alpha + \pi/3}^{\alpha + 2\pi/3} V_{pq} \text{Cos}(n\omega t) d(\omega t) \quad \text{V} \quad (2.7)$$

Para $n = 6, 12, 18, \dots$

El valor r.m.s. del voltaje V_{pq} en el circuito de -

carga es:

$$V_r = \left[\frac{3}{\pi} \int_{\alpha + \pi/3}^{\alpha + 2\pi/3} V_{an}^2 d(\omega t) \right]^{1/2} \quad \text{V} \quad (2.8)$$

Donde V_{an} es el voltaje de línea a neutro en el circuito equivalente (8) por consiguiente $V_{an} = \sqrt{2} V \sin \omega t$, luego:

$$V_r = \sqrt{2} V \left[\frac{1}{2} + \frac{3\sqrt{3}}{4\pi} \cos 2\alpha \right]^{1/2} \quad \text{V} \quad (2.9)$$

De la definición para el voltaje de rizado (8)

$$V_{ri} = \left[V_r^2 - V_o^2 \right]^{1/2} \quad \text{V} \quad (2.10)$$

2.3.4.3 Corriente de salida promedio

La serie que describe la corriente de salida i_{pq} del convertidor se obtiene de la ecuación 2.1 y los parámetros del circuito de carga (8) como:

$$i_{pq} = I_o + \sum_{n=1}^{\infty} D_n \cos(n\omega t - \theta_n - \frac{\pi}{2}n) \quad \text{A} \quad (2.11)$$

Donde I_o es la corriente de salida promedio.

$$I_o = \frac{V_o - E_a}{R} \quad A \quad (2.12)$$

2.3.4.4 Corriente de rizado y valor r.m.s de la corriente de salida

En la ecuación (2.11)

$$D_n = \frac{C_n}{\left[R^2 + (n\omega L)^2 \right]^{1/2}} \quad A \quad (2.13)$$

$$\phi_n = \text{tg}^{-1}(n\omega L/R) \quad \text{Rad} \quad (2.14)$$

El valor r.m.s de cada componente armónica es dado por:

$$I_{nr} = \frac{D_n}{\sqrt{2}} \quad A \quad (2.15)$$

Y la corriente de rizado es:

$$I_{ri} = \left[\sum I_{nr}^2 \right]^{1/2} \quad A \quad (2.16)$$

Este parámetro del convertidor puede ser obtenido con el grado de exactitud deseado, calculando el número de términos requerido de componentes armónicas de corriente. En la figura 2.10 se muestra las curvas de la amplitud armónica normalizada ($C_n/\sqrt{2} V$) en función del ángulo de disparo con n como parámetro.

El valor r.m.s de la corriente de salida viene dado por:

$$I_r = \left[(I_o^2 + I_{ri}^2) \right]^{1/2} \quad \text{A} \quad (2.17)$$

Cada tiristor conduce dos de los seis pulsos de corriente que ocurren en un ciclo completo, tal que la corriente promedio por los tiristores es:

$$I_o = (TH) = \frac{I_o}{3} \quad \text{A} \quad (2.18)$$

Y la corriente r.m.s por cada tiristor es:

$$I_r (TH) = \frac{I_r}{\sqrt{3}} \quad \text{A} \quad (2.19)$$

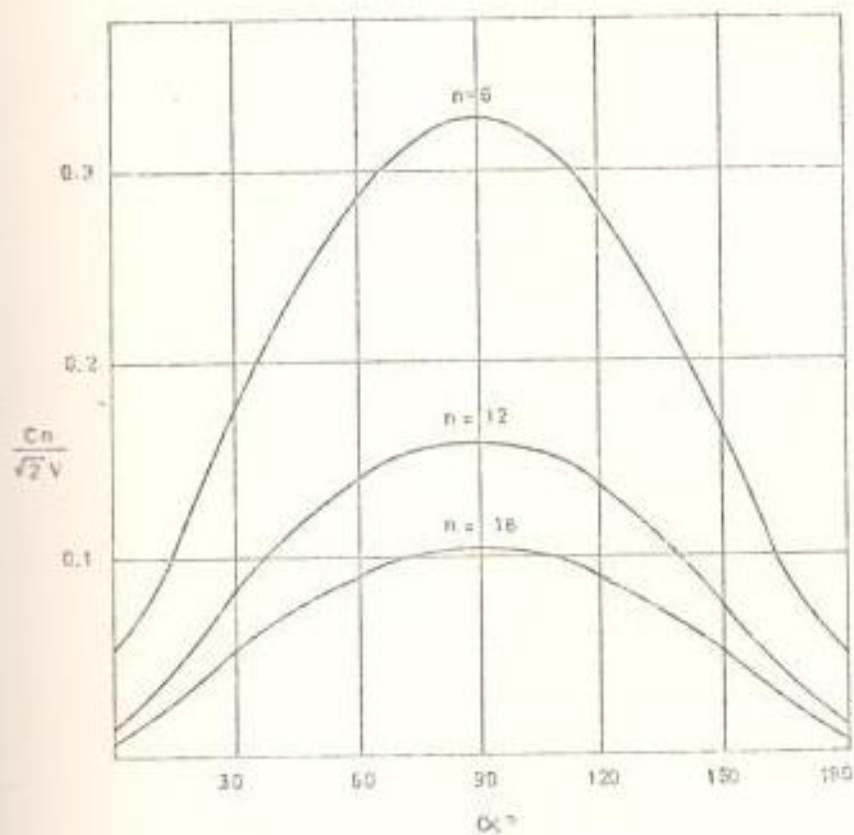


FIGURA 2.10. AMPLITUD ARMONICA NORMALIZADA EN FUNCIÓN DEL ÁNGULO DE CEBADO CON EL ORDEN DE LA COMPONENTE ARMONICA COMO PARÁMETRO.

2.3.4.5 Voltaje aplicado a los tiristores

El voltaje directo o inverso aplicado a un tiristor en cualquier instante depende del voltaje de la fuente de alimentación (secundario del transformador) y de los tiristores en conducción en ese instante particular. En la figura 2.11 se muestra el voltaje a través del tiristor TH1 para un ángulo de conducción de $\alpha = 60^\circ$ eléctricos.

El voltaje ánodo-cátodo del tiristor TH1 $V_{AK} (TH1)$ es determinado considerando los intervalos de conducción de TH1, TH2 y TH3. De la figura 2.11 el tiristor TH1 conduce en el intervalo de $\omega t = 2\pi/3$ a $\omega t = 4\pi/3$, luego su voltaje ánodo-cátodo en este rango de conducción es cero voltios. En el intervalo de $\omega t = 4\pi/3$ y $\omega t = 2\pi$ conduce TH2, siendo su voltaje ánodo-cátodo de cero voltios. Aplicando una ecuación de voltaje al lazo formado por TH1, TH2 V_{an} y V_{bn} en el circuito de la figura 2.1 se obtiene:

$$V_{AK} (TH1) = V_{an} - V_{bn} = V_{ab} \quad V$$

Por último en el intervalo dado por $\omega t = 2\pi$ y -

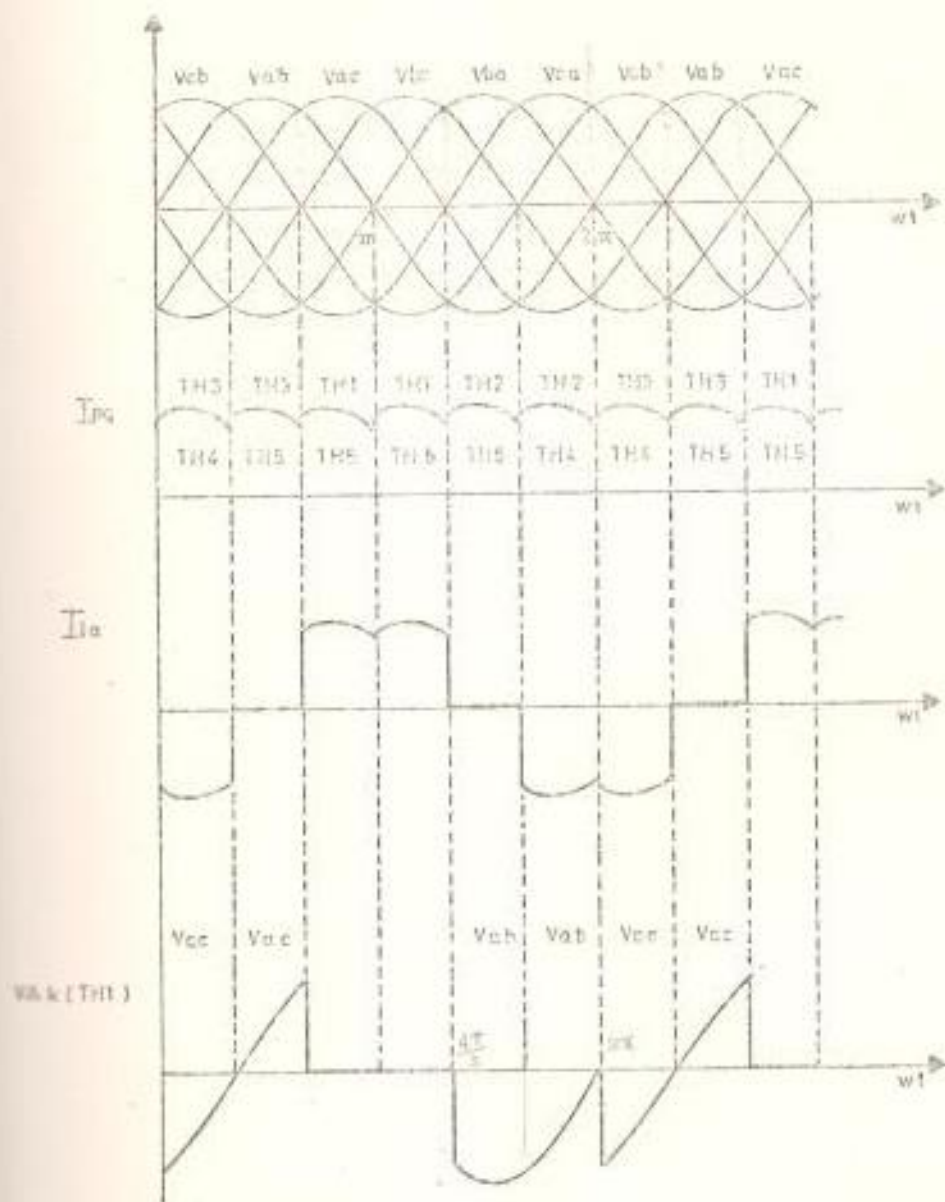


FIGURA 2.11. CORRIENTE DE LINEA Y VOLTAGE A TRAVES DE UNO DE LOS TIRISTORES DEL CONVERTIDOR DE SEIS PULSOS. $\alpha = 60^\circ$

$\omega t = 8\pi/3$ conduce el tiristor TH3, luego su voltaje ánodo-cátodo es cero, y la ecuación de voltajes en el lazo formado por TH1, TH3, Van y Vbn es:

$$V_{AK}(TH1) = V_{an} - V_{cn} = V_{ac} \quad V$$

Las expresiones deducidas para $V_{AK}(TH1)$ han sido utilizadas para generar las señales de voltaje ánodo-cátodo del tiristor TH1. De esta señal se observa que aún cuando el ángulo de disparo varíe, el máximo voltaje directo o inverso aplicado a TH1 es $\sqrt{2} V$.

2.3.4.6 Potencia del transformador de alimentación

La corriente fluye en cada una de las líneas del secundario del transformador, durante cuatro de los seis pulsos que ocurren en el ciclo, tal como se muestra en la figura 2.11. Así, la corriente de línea r.m.s en el secundario del transformador trifásico será:

$$I_2 = \sqrt{2} I_r(TH) = \frac{\sqrt{2}}{\sqrt{3}} I_r \quad A$$

Debido a que el circuito es un sistema de tres alim

bras, la corriente de línea no contiene componentes armónicos de secuencia cero (8). Esto significa - que las señales de corriente en los devanados del transformador no son afectados por la elección de ú na conexión estrella-delta.

Asumiendo una conexión estrella-estrella, el rango de potencia nominal requerido para el transformador trifásico es:

$$S_2 = \sqrt{3} V I_2 = \sqrt{2} V I_r = S_1 \quad \text{VA} \quad (2.20)$$

Donde:

S_1 = Potencia aparente en el primario del transformador

S_2 = Potencia aparente en el secundario del transformador.

2.4 PROTECCION DE SOBREVOLTAJES Y SOBRECORRIENTES TRANSITORIAS

Transientes de voltaje y corriente son generados por la acción de - conmutación de los tiristores. El encendido de los tiristores es a acompañado por razones de elevación de corriente (di/dt), que pueden destruir los tiristores, y razones de elevación de voltaje (dv/dt)

que producen encendido no deseado de los otros tiristores usados en el convertidor. La interrupción abrupta de corriente durante la recuperación inversa origina sobrevoltajes transientes que pueden destruir los tiristores ocasionando además excesivos dv/dt sobre otros tiristores.

Circuitos a base de inductores, resistencias y capacitores son co - munmente usados para reducir los efectos: di/dt , dv/dt y picos de - sobrevoltaje a valores aceptables dentro del rango de los tiristo - res.

En la figura 2.12 se muestran los componentes de supresión de tran - sientes para el convertidor tipo puente de seis pulsos. La discu - sión detallada del modo de operación de cada una de estas redes de supresión pueden ser obtenidas de las referencias (17), (27).

En la figura 2.12 los inductores L1 y L2 sirven para dos propósitos (1) limitan el efecto di/dt cuando un tiristor es encendido, (2) - junto con las redes suavizadoras R_sC_s limitan el dv/dt generado por el cebado y proceso de recuperación de los tiristores.

Los circuitos suavizadores R_sC_s sirven para dos propósitos: (1) su - primen los picos de voltaje inverso generados por los inductores L1 y L2 durante la recuperación inversa, (2) junto con L1 y L2, contro - lan dv/dt .

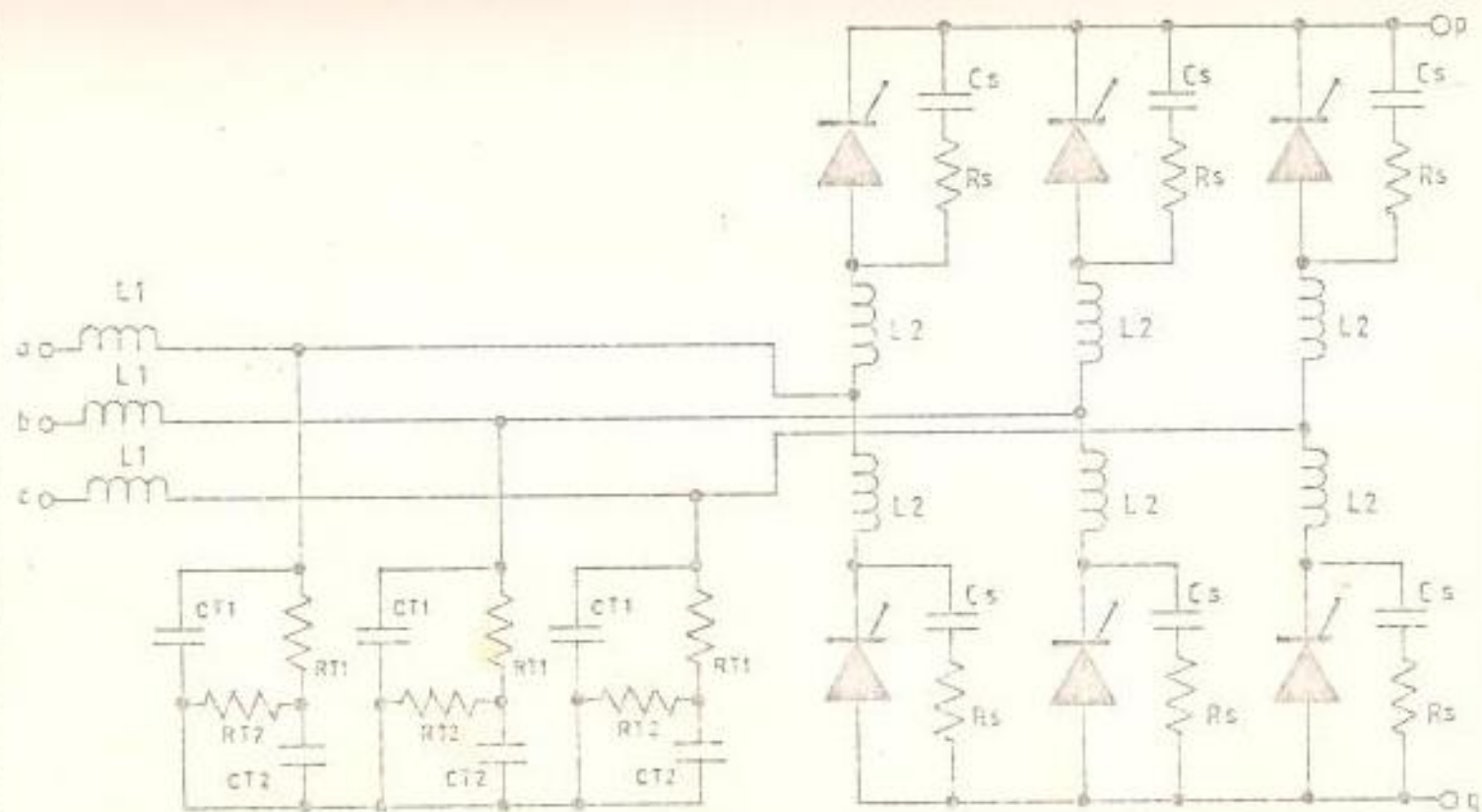


FIGURA 2.12. REDES DE SUPRESION DE TRANSIENTES PARA EL CONVERTIDOR TRIFASICO TIPO PUNTE. (SEIS PULSOS)

Los filtros de entrada en base de: RT1, CT1, RT2 y CT2, suprimen los picos de voltaje generados por la inductancia de fuga del transformador de suministro de potencia, durante la recuperación inversa

2.5 SELECCION DE LOS COMPONENTES UTILIZADOS EN LA UNIDAD DE FUERZA

El cálculo y selección de los componentes para la unidad de fuerza fueron realizados en base de un motor DC de excitación separada con las siguientes especificaciones y parámetros de interés.

Potencia	1.5 HP
Velocidad nominal	2500 r.p.m.
Voltaje de armadura	165 Volts D.C
Corriente de armadura	9.0 Amps D.C
Campo (excitación separada)	145 Volts D.C
Inductancia de armadura	19.2 mH
Resistencia de armadura	4.8 (caliente)
Resistencia de campo	700 (caliente)

2.5.1 Tiristores

Para la selección de los tiristores deben previamente conocerse básicamente los valores de voltaje inverso aplicado y las corrientes promedio y r.m.s. Por consiguiente, a continuación se calculan estos parámetros en base de las especifica

caciones nominales de la carga (motor D.C.), y bajo la asunción de que, el voltaje de salida promedio del convertidor es igual al voltaje de alimentación nominal del motor para un ángulo de disparo de $\alpha = 30^\circ$. Esta es una técnica normalmente utilizada en sistemas realimentados (13).

El voltaje línea-línea del secundario del transformador, requerido para obtener un voltaje de salida promedio de 165 V, para un ángulo de disparo de $\alpha = 30^\circ$ es de 141 V (Ecuación 2.3). Luego los tiristores seleccionados deben soportar un voltaje directo e inverso pico de carácter repetitivo de 199.4 V. En la práctica el voltaje inverso pico es especificado al doble del voltaje de operación normal, esto es, 400 V.

La corriente de salida promedio bajo condiciones estables de operación tiene un valor máximo dado por la corriente nominal a plena carga del motor; esto es 9 A, luego, la corriente promedio por cada tiristor utilizando la ecuación 2.18 es de 3 A.

Para el cálculo de la corriente r.m.s por cada tiristor, es necesario el cálculo previo de la corriente de rizado y sus armónicas correspondientes para un ángulo de cebado de 30° .

El coeficiente C_6 para el cálculo de la amplitud de la sexta

armónica con $\alpha = 30^\circ$ es $i_6 = 0.17\sqrt{2} \text{ V}$ (Figura 2.10). Luego, con los parámetros del motor: $R = 4.8 \Omega$, $L = 19.2 \text{ mH}$, $V = 141$, $\omega = 120 \pi$ y mediante el uso de la ecuación 2.13 se tiene que i_6 es igual a 0.78. Así, la corriente r.m.s de la sexta armónica es de 0.55 A (Ecuación 2.15).

Realizando el mismo tipo de cálculo para la doceava y dieciochava armónica de corriente se obtiene: $i_{12r} = 1.18 \text{ A}$, $i_{18r} = 0.08 \text{ A}$. El valor de la corriente de rizado, aproximada por los tres valores armónicos es de 1.11 A (Ecuación 2.16).

La corriente r.m.s de salida es por consiguiente de 9.02 A (Ecuación 2.17) y la corriente r.m.s por cada tiristor de 5.21 A (Ecuación 2.19).

A partir de los valores calculados se seleccionó el tiristor C122D, fabricado por General Electric (10) con 8 A r.m.s y 400 V de voltaje inverso pico repetitivo.

2.5.2 Disipadores de calor

La temperatura de la unión semiconductor del tiristor, es determinada por el calor originado debido a: pérdidas de conducción directa, pérdidas del circuito de puerta y pérdidas

durante la conmutación. Con el uso de disipadores de calor (14) la temperatura de la unión en condiciones de estado estable es definida por la ecuación:

$$T_U = P_{\text{PROM}} (\theta_{UC} + \theta_{CD} + \theta_{DA}) + T_A \quad ^\circ\text{C} \quad (2.21)$$

Donde:

T_U = Temperatura de la unión semiconductor, $^\circ\text{C}$

T_A = Temperatura ambiente, $^\circ\text{C}$

θ_{UC} = Resistencia térmica de la unión al casco, $^\circ\text{C/W}$

θ_{CD} = Resistencia térmica del casco al disipador, $^\circ\text{C/W}$

θ_{DA} = Resistencia térmica del disipador al ambiente, $^\circ\text{C/W}$

P_{PROM} = Potencia total (o promedio) disipada en el tiristor

Sin el uso de disipadores de calor la ecuación 2.21 se transforma en:

$$T_U = P_{\text{PROM}} \times \theta_{UA} + T_A \quad ^\circ\text{C} \quad (2.22)$$

Donde:

θ_{UA} = Resistencia térmica de la unión al ambiente, $^\circ\text{C/W}$

El tiristor seleccionado (C122D) disipa una potencia prome -

dio de 4.2 W para la corriente promedio de 3 A (10). Este valor se obtuvo considerando un ángulo de conducción de 120° y corriente senoidal con rectificación de media onda, siendo una aproximación válida para la configuración del convertidor (25).

El fabricante especifica para el tiristor C1220 una resistencia térmica de la unión al ambiente de 75°C/W . Así, bajo la asunción de operación con temperaturas ambientales de hasta 50°C y sin el uso de elementos de disipación de calor, la temperatura de la unión alcanzará los 365°C (Ecuación 2.22). Este valor excede la máxima temperatura de la unión del tiristor (100°C).

La utilización de un disipador de calor adecuado es por los factores establecidos un requisito indispensable. La resistencia térmica del casco al disipador depende de algunos factores (14); si se utiliza como disipadores láminas de aluminio de $1/8''$ de espesor sin tratamiento superficial, la resistencia térmica del casco al disipador es aproximadamente de 1.3°C/W . Para el tiristor seleccionado la resistencia térmica de la unión del casco especificada por el fabricante es de 1.8°C/W , luego operando con la máxima temperatura de la unión se tiene que la resistencia térmica del disipador al ambiente debe ser de 8.3°C/W (Ecuación 2.21), no excediendo

se la máxima temperatura del casco del tiristor en las condiciones dadas (84 °C).

Una pulgada cuadrada de aluminio (6.45 cm²) tiene una resistencia térmica aproximada de 50 °C/W. Esta resistencia varía en forma inversa con el área superficial (7), luego se requiere una superficie de aluminio de 6" x 6". Esta es una superficie considerable y puede ser reducida utilizando láminas de 1/8" de espesor con aletas (25); reduciendo las dimensiones requeridas a 3 - 3/8" x 3 - 3/8" y con una resistencia térmica de 7 °C/W.

Normalmente, los cálculos térmicos aproximados son sometidos a pruebas experimentales con el objeto de verificar las asunciones hechas y proveer el factor de seguridad adecuado sobre los elementos de disipación. Esta etapa de diseño fue obviada, puesto que se consideró el uso de tiristores y elementos de disipación con un factor de sobredimensionamiento. De esta manera la protección de los tiristores ante posibles sobrecargas y fallas de funcionamiento puede ser realizada utilizando fusibles con características de fusión ultrarápida, difíciles de conseguir en el mercado nacional. Las sobrecargas y fallas anotadas se originan básicamente por la desincronización de la secuencia de cebado normal controlada por la unidad de disparo y secuencéo, durante las pruebas de

lazo cerrado (fuente de corriente controlada); originándose corrientes de falla (surge) de magnitud y duración superior a las permitidas por los tiristores.

Debido a los factores anotados y considerando la disponibilidad se usaron tiristores C38D de General Electric (10) con 35 A r.m.s y 400 V de tensión de ruptura inverso pico y disipadores de calor de 1.96 °C/W (medido experimentalmente). Esta alternativa, conlleva la ventaja de la flexibilidad de utilización de la unidad de fuerza con motores de mayor potencia una vez que la etapa experimental demuestre la confiabilidad funcional del sistema.

2.5.3 Fusibles

Cuando la alimentación al convertidor trifásico se realiza a través de transformadores se necesita conocer la corriente secundaria nominal y la impedancia porcentual de los mismos antes del cálculo de la corriente de corto circuito, para la selección coordinada de los fusibles de protección de los tiristores por los métodos convencionales (20).

En este proyecto se utilizó para la unidad de fuerza tres autotransformadores conectados en estrella (cada autotransformador de 120 V y 20 A), como una solución de compromiso ante

la falta de un transformador trifásico con la relación de transformación requerida. La potencia necesaria para el transformador trifásico conectado en estrella con un voltaje línea-línea secundario de 141 V y una corriente r.m.s de 5.24 A es de 1808.6 VA (Ecuación 2.20), lo cual muestra la adecuada sobredimensión de los autotransformadores usados.

Se utilizaron fusibles rápidos de 10 A en las líneas secundarias de los tres autotransformadores, sobreprotegiéndose tanto a estos como a los tiristores durante el proceso de pruebas experimentales con el prototipo construido (Capítulo VIII).

2.5.4 Red de protección de transitorios

Inicialmente se utilizó filtros de entrada tal como los mostramos en la figura 2.12 con valores de $RT1 = 8.2\Omega/3\text{ W}$, $RT2 = 3.3\text{ K}\Omega/3\text{ W}$, $CT1 = 1.5\text{ }\mu\text{F}/200\text{ V}$, $CT2 = 4\text{ }\mu\text{F}/110\text{ V}$. Los valores usados se seleccionaron de acuerdo con la referencia (20). Posteriormente estos filtros se reemplazaron con varistores de óxido metálico GEV1150LA1DA de 150 voltios r.m.s, obteniéndose resultados satisfactorios. Los transientes de alto voltaje y baja corriente son convertidos por el MOV en pulsos de bajo voltaje y alta corriente.

Las pruebas realizadas con el prototipo construido, se restringen al funcionamiento del convertidor en el modo de operación rectificador, omitiéndose la acción inversora. Este hecho permite eliminar el uso de las inductancias L2 (Figura 2.12). El valor de las tres inductancias de línea L1 se calculó en base del método usado en la referencia (27) a partir de la relación:

$$\frac{E_{ACP}}{\frac{n+1}{n} \times L1} \leq di/dt$$

Donde:

$E_{ACP} = \sqrt{2} V$, siendo V el voltaje línea a línea r.m.s del secundario de los autotransformadores de alimentación.

n = Número de caminos (tiristores) en paralelo.

di/dt = Tasa de elevación máxima de la corriente a través de los tiristores.

El fabricante especifica un di/dt máximo de 80 A/us para el tiristor C380. Debido a que se utiliza un solo tiristor por rama (n = 1) se tiene que las inductancias de línea L1 deben ser mayores de 1.25 uH. En las pruebas se utilizó inductores de 1.50 uH.

Para el cálculo de la red suavizadora, a conectarse en paralelo con cada uno de los seis tiristores del convertidor (Figura 2.12), es indispensable la determinación de las resistencias R_s . Para minimizar la disipación en los tiristores durante la recuperación inversa, R_s debe ser lo más pequeña posible, sin embargo el valor mínimo de R_s es dictado por la máxima corriente de descarga pico de C_s , que puede tolerar el tiristor durante el cebado. Usualmente este valor es especificado por el fabricante; en nuestro caso particular se eligió una R_s de 20Ω , que es un valor usado típicamente con los rangos de potencia asociados con los tiristores (20)

El valor de C_s se eligió de tal forma que los transientes de conmutación sean por lo menos críticamente amortiguados. Así, con el uso de la relación dada en la referencia (27) se tiene que:

$$C_s \geq 8 L_1 / R_s^2$$

Con los valores usados para L_1 y R_s se tiene que el condensador de la red de suavizamiento debe ser mayor que $0.03 \mu F$. Se seleccionó un condensador de $0.1 \mu F$ y $500 V$ no polarizado

La energía almacenada en C_s es disipada en R_s durante el cebado y conducción de los tiristores. Cuando el tiristor re-

cupera su capacidad de bloqueo inverso, C_s es cargado a través de R_s ; siendo la disipación en R_s igual a la energía almacenada en C_s (27) y dada por la ecuación:

$$P (R_s) = 79 C_s (E_{ACP})^2$$

Donde C_s está en faradios. Con los valores de C_s y E_{ACP} el valor disipado en R_s es de 0.31 W. Se eligió una resistencia de 2.0 W con el objeto de proveer un amplio margen de seguridad.

La configuración circuital final de la unidad de fuerza se muestra en la figura 2.13.

2.6 LISTA DE MATERIALES

<u>Nº REQ.</u>	<u>DESCRIPCION</u>	<u>Nº CATALOGO</u>	<u>DESIGNACION</u>
6	Tiristor: 35 A r.m.s 400 V _{RRM}	C38D	TH1, TH2, TH3 TH4, TH5, TH6
3	Varistor: 150 V r.m.s	GEV11150LA10A	MUV1, MUV2, - MUV3
3	Fusible: 10 A de respuesta rápida		FU1, FU2, FU3
1	Contactador: 3 polos - 20 Amperios		CONT1

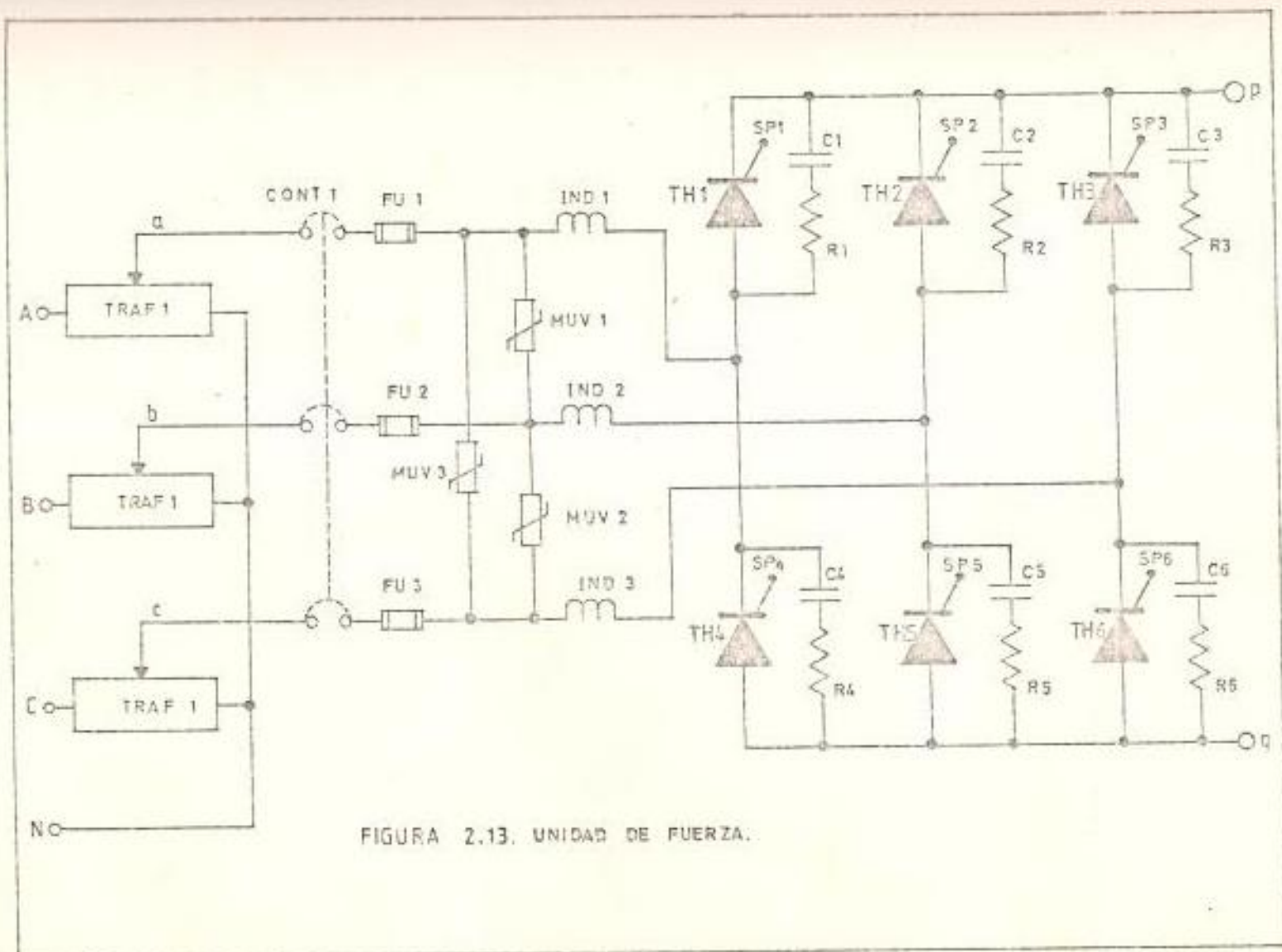


FIGURA 2.13. UNIDAD DE FUERZA.

<u>Nº REQ.</u>	<u>DESCRIPCION</u>	<u>Nº CATALOGO</u>	<u>DESIGNACION</u>
3	Inductancia: 1.5 uH		IND1, IND2, - IND3
6	Condensador: 0.1 uF, 500 V no polarizado		C1, C2, C3, - C4, C5, C6, -
6	Resistencia: 20 Ω , - 2 W		R1, R2, R3, - R4, R5, R6, -
1	Autotransformador - trifásico: cada <u>trans</u> formador (120 V, 20 A)		TRAF1
6	Disipador de aluminio con aletas verticales (1.92 °C/W)		DIS1, DIS2, - DIS3, DIS4, - DIS5, DIS6, -

2.7 CONSTRUCCION

Los tiristores, disipadores y redes de protección de transitorios se montaron como una sola unidad sobre una plancha de material aislante. La unión entre los tiristores y disipadores se realizó en forma directa sin el uso del aislante de mica. La transferencia óptima del calor generado en los tiristores, fue obtenida con el uso de grasa de silicón entre las superficies unidas y el adecuado torque aplicado a las tuercas provistas con los tiristores (empaquetamiento T0-48). Las conexiones a los cátodos de los tiristores se realizó mediante tornillos eliminándose la posibilidad de daños a

los tiristores por calentamiento excesivo durante el soldado.

En las figuras 2.14 y 2.15 se presentan las vistas superior y lateral de la unidad de fuerza, observandose claramente el tipo de ensamblaje realizado.

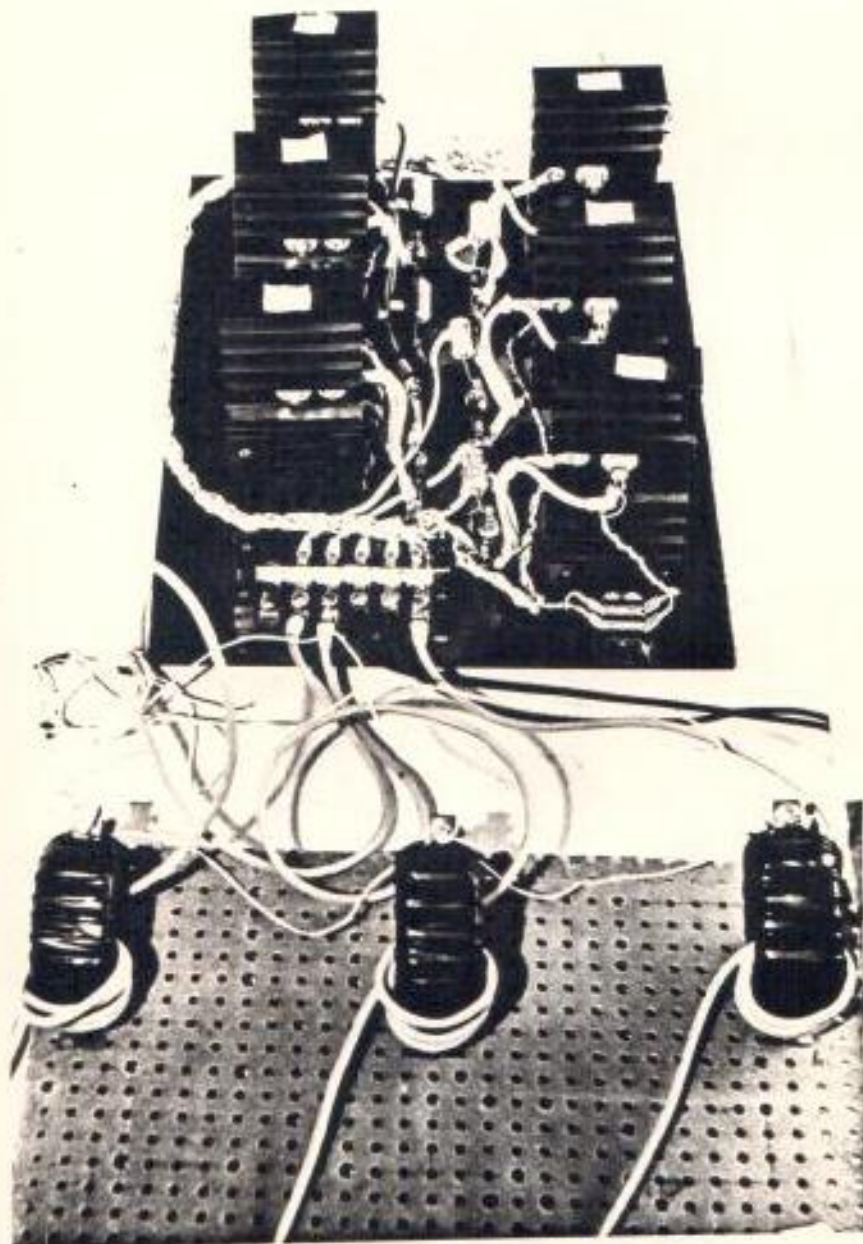


FIGURA 2.14 VISTA SUPERIOR DE LA UNIDAD DE FUERZA

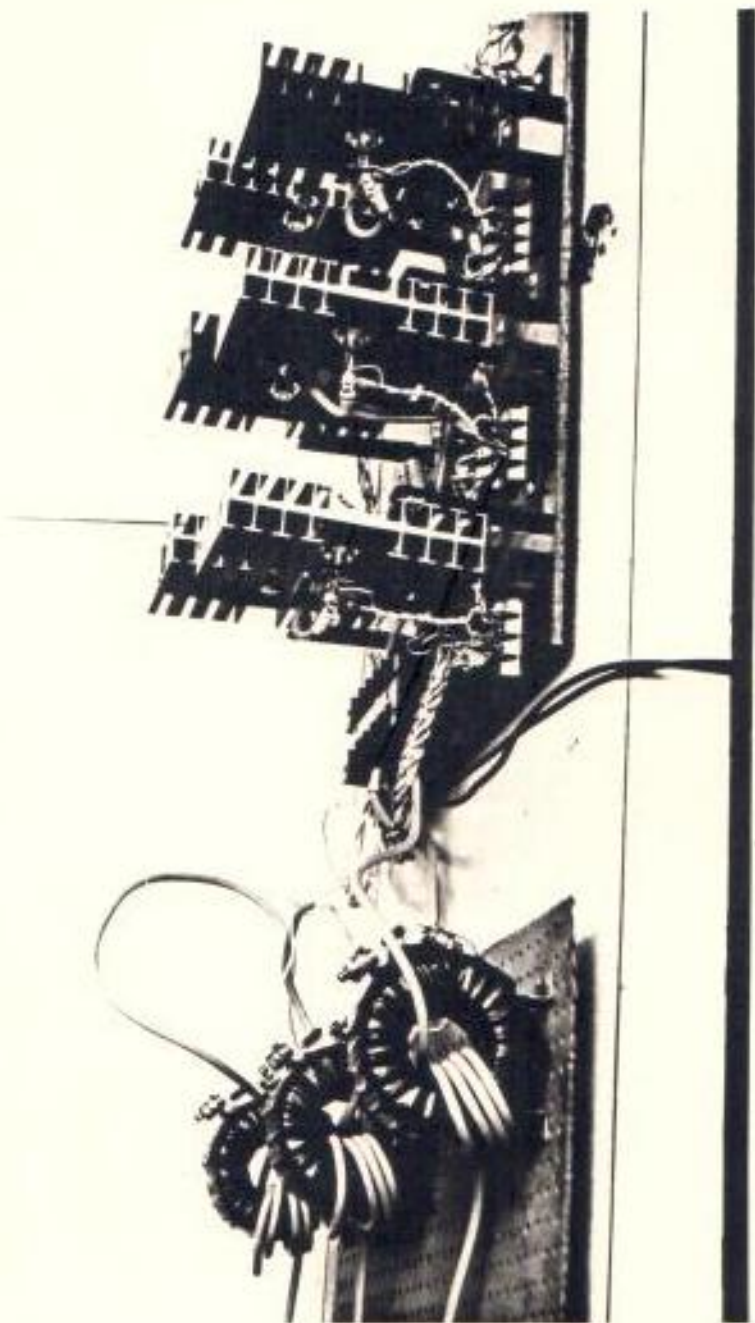


FIGURA 2.15 VISTA LATERAL DE LA UNIDAD DE FUERZA

CAPITULO III

UNIDAD DE DISPARO Y SECUENCIO

3.1 INTRODUCCION

La unidad de disparo y secuenció es la parte del sistema, cuya función es la generación de las señales de puerta para los seis tiristores del convertidor. Las seis señales de puerta son generadas de acuerdo a una secuencia sincronizada y bien definida, con el objeto de determinar en la unidad de fuerza un ángulo de disparo preestablecido por la señal digital de comando del ángulo de disparo deseado.

Las principales características de la fuente de corriente controlada diseñada son: mejoras en la operación dinámica e inherente protección contra cortocircuitos. Estas ventajas se obtienen únicamente si la unidad de disparo y secuenció es capaz de cambiar el ángulo de disparo de los tiristores, inmediatamente después de recibir una orden de modificación del ángulo de cebado.

En general, los convertidores trifásicos para aplicaciones industriales, usados en fuentes de corriente, para la tracción de motores D.C, utilizan dos técnicas básicas en la generación de los pulsos de disparo; (a) control de fase individual, (b) control por pul

sos de disparo equidistante. En el diseño de la unidad de disparo y secuencéo se prefirió el uso del esquema de control de fase individual, debido principalmente a que presenta un mínimo retardo para la corrección del ángulo de disparo.

Otro aspecto de interés en el diseño de la unidad de disparo y secuencéo es el rango de control del ángulo de disparo. La solución ideal es proporcionar un rango de control ($0^\circ < \alpha < 180^\circ$), con el objeto de permitir tanto la acción rectificadora como inversora del convertidor.

Por otro lado, en el diseño presentado se vislumbra tres grados de complejidad de acuerdo al rango de control requerido (0° a 60° , 0° a 120° y 0° a 180°). Se optó por un rango de control de 0° a 120° , que es una solución de compromiso entre la complejidad del diseño y los requerimientos básicos del sistema. Este rango de control seleccionado permite la acción rectificadora del convertidor y un buen grado de la acción inversora requerida en el proceso de frenado regenerativo del motor.

En este capítulo se realiza un análisis minucioso de los pasos seguidos en el diseño, así como, una breve exposición de la técnica utilizada en la construcción y las pruebas experimentales efectuadas sobre el circuito de disparo y secuencéo.

3.2 ANALISIS GENERAL DE LA UNIDAD DE DISPARO Y SECUENCIO

Para una mejor comprensión del objetivo seguido en el diseño, a continuación se revizan brevemente los requerimientos de la unidad de disparo y secuencío, la misma que cuenta con dos circuitos autónomos: el circuito de disparo y el de secuencío.

La función del circuito de disparo es la generación de los pulsos de disparo. Los pulsos de disparo ocurren en el instante de activación de las señales de puerta de los tiristores, esto es, proporcionan la información del momento de ocurrencia del cebado de un nuevo tiristor en la unidad de fuerza. En la figura 3.1 se muestran los pulsos de disparo (PD), obtenidos en base de las señales de puerta de los tiristores del convertidor, para un ángulo de disparo de $\alpha = 30^\circ$. Un breve examen de la señal de pulsos de disparo muestra que los mismos presentan un desplazamiento correspondiente a 60° eléctricos. Además si generamos una señal de pulsos centrados en el instante de ocurrencia o paso por cero de todos y cada uno de los voltajes línea-línea de la fuente trifásica de alimentación (señal PVC de la figura 3.1), se observa el mismo espaciamiento relativo en relación a los pulsos de disparo. Presentándose un retardo correspondiente a 30° eléctricos entre la señal de pulsos de disparo con respecto a los pulsos de voltaje cero; este retardo es precisamente el correspondiente al ángulo de disparo del convertidor, y se cumple en general para cualquier ángulo de disparo.

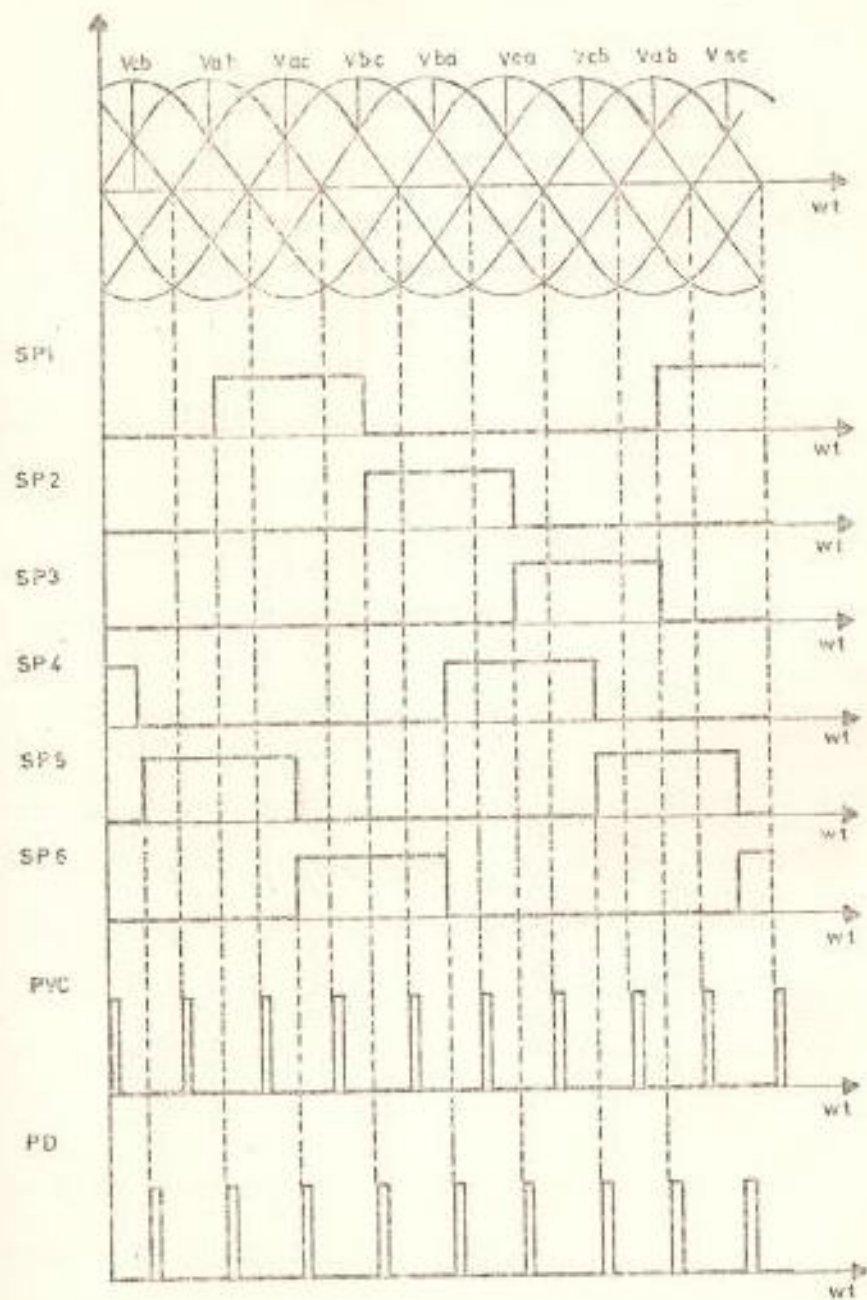


FIGURA 3.1. CORRELACION TEMPORAL ENTRE LAS SEÑALES PVC Y PD PARA $\alpha = 30^\circ$

De la exposición previa se concluye, que el circuito de disparo debe actuar sobre los pulsos de voltaje cero, realizando una función de retardo programada, de acuerdo a la colocación digital del ángulo de disparo deseado. La función de retardo programado debe proporcionar un rango de control entre 0° y 120° eléctricos.

La función del circuito de secuencéo es la generación de las seis - señales de puerta del convertidor a partir de los pulsos de disparo. En la figura 3.1 se observa que las señales de puerta se producen con una secuencia específica de cebado de los tiristores (instantes de elevación de las señales de puerta). Así, si se empieza en el momento de cruce por cero del voltaje V_{ab} , la secuencia de elevaciones de las señales de puerta son: SP5, SP1, SP6, SP2, SP4 y SP3, a partir de este momento el ciclo de elevación vuelve a repetirse. Es de particular interés notar que esta secuencia se cumple para cualquier ángulo de disparo y además la elevación de la señal de puerta SP5 se produce a un ángulo igual al de disparo con respecto a la ocurrencia del cruce de voltaje cero de V_{ab} (Figura 3.2).

Por lo expuesto, el circuito de secuencéo realice una función de asignación sincronizada entre los pulsos de disparo y el par de tiristores seleccionados en ese momento particular (Figura 3.2). La sincronización se realiza en base de un pulso de identificación de fase, que se genera cada vez que V_{ab} pasa por cero y comienza a tomar valores positivos. Este pulso de sincronización es usado por -

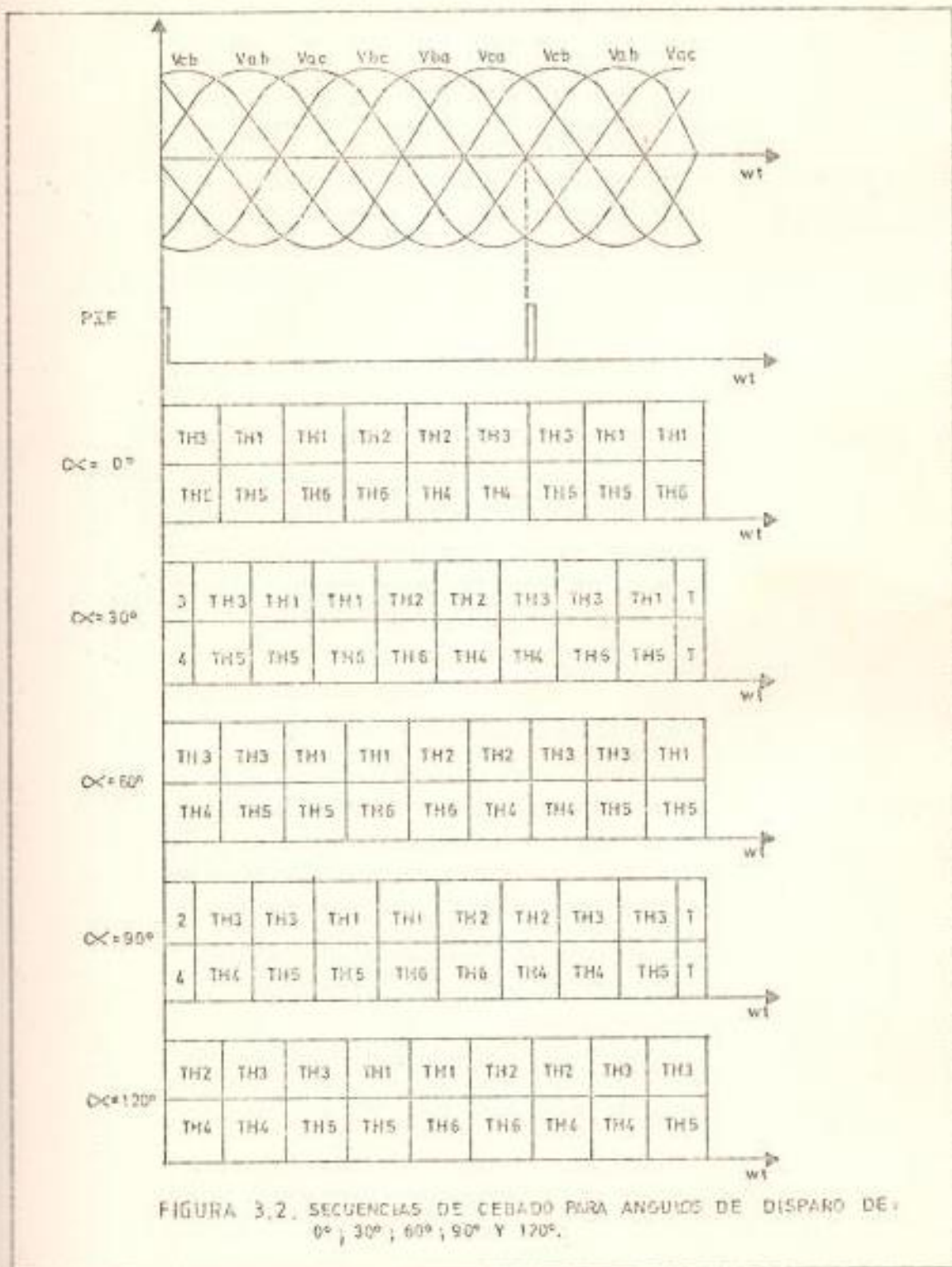


FIGURA 3.2. SECUENCIAS DE CEBADO PARA ANGULOS DE DISPARO DE: 0° ; 30° ; 60° ; 90° Y 120° .

el circuito de secuenció para verificar si el par de tiristores seleccionados en ese instante es el correcto, o de otra forma tomar acciones correctivas. En esta acción se debe tomar en cuenta que en el rango de control entre 0° y 120° , el par de tiristores seleccionados en el instante que ocurre el pulso de identificación de fase cambia para un ángulo de disparo mayor de 60° .

La generación de los pulsos de voltaje cero e identificación de fase, utilizados por el circuito de disparo y secuenció respectivamente, será objeto de análisis en el capítulo IV.

3.3 DISEÑO DEL CIRCUITO DE DISPARO

3.3.1 Descripción general y diagrama de bloques

En la figura 3.3 se presenta el diagrama de bloques del circuito de disparo, diseñado en base de los requerimientos funcionales planteados previamente. Se observa que la colocación digital del ángulo de disparo deseado se realiza en base de ocho conmutadores. Restringiéndose la posibilidad de colocación del ángulo de disparo a 256 valores diferentes en el rango de control de 0° a 120° . El sistema diseñado permite por consiguiente obtener variaciones discretas del ángulo de cebado en pasos de 0.47° y constituye una alternativa práctica entre la posibilidad de control del ángulo de dispa

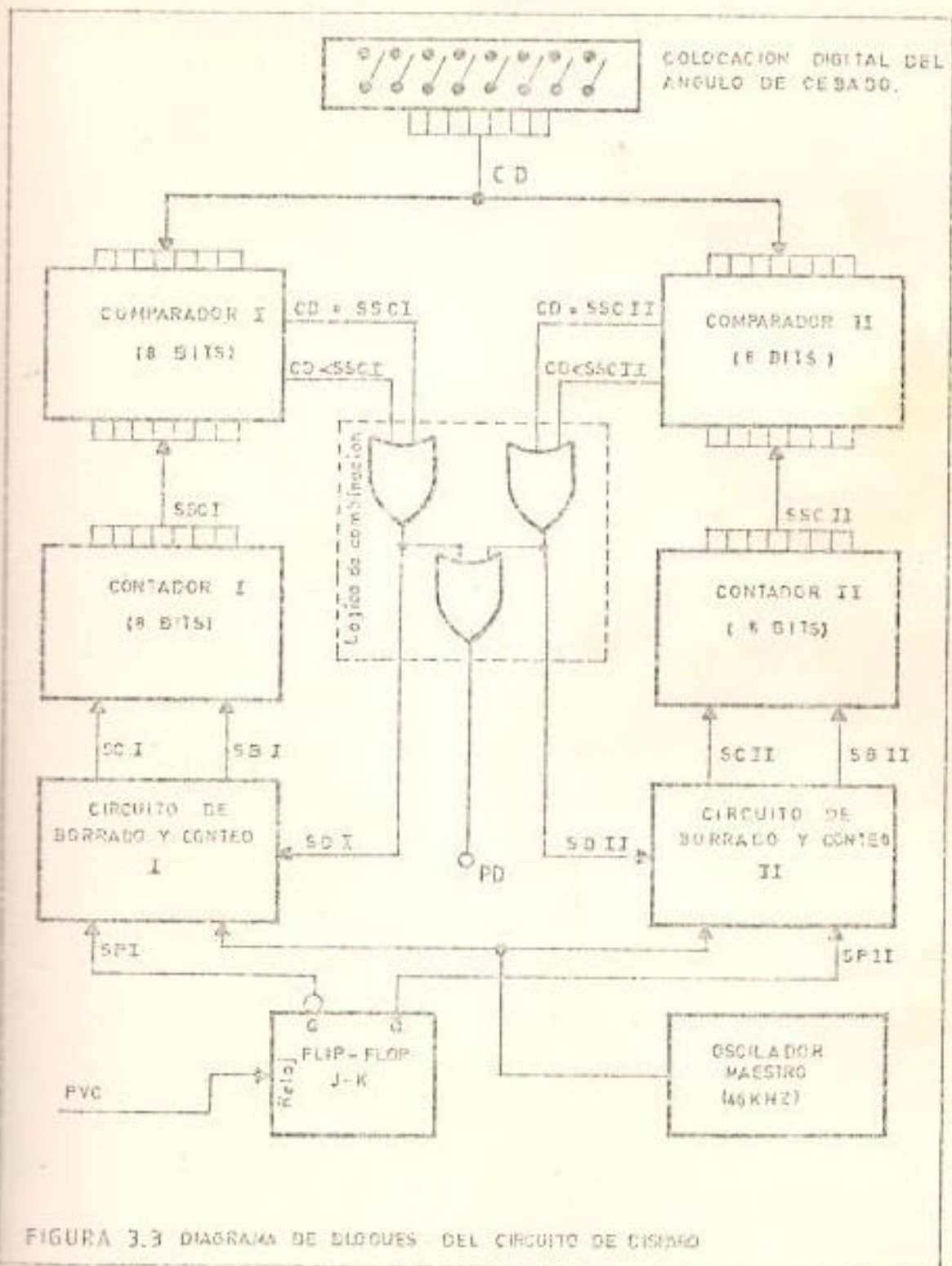


FIGURA 3.3 DIAGRAMA DE BLOQUES DEL CIRCUITO DE CERRADO

ro de tipo continuo y la complejidad que presenta el uso de bits adicionales con el objeto de disminuir la magnitud de los pasos del ángulo de cebado.

La función del circuito de disparo es producir un retardo a los pulsos de voltaje cero (PVC) en un rango de control de 0° a 120° , esto es, entre 0 y 5.56 ms. Siendo el espaciamiento de estos pulsos de 60° eléctricos (2.78 ms). En sistemas digitales la función de retardo de pulsos programada, es obtenida mediante la comparación entre la cantidad digital de control de retardo y la señal digital proveniente de un contador digital arrancado por los pulsos que se desean retardar. Es obvio por consiguiente, que siendo el retardo máximo (5.56 ms), el doble que el intervalo de tiempo entre los pulsos que se desean retardar (2.78 ms), se requieran dos bloques similares de comparación y conteo, cuyos contadores sean arrancados en forma alternativa por los pulsos a retardarse. En el diagrama de bloques de la figura 3.3 se observa la utilización de los principios mencionados. Subdividiéndose el circuito de disparo en dos secciones similares - constituidas cada una por: un comparador, un contador y un circuito de borrado y conteo.

Cada una de las secciones de temporización del circuito de disparo es arrancado en forma alternativa por los pulsos de

voltaje cero mediante el flip-flop J-K. Los pulsos de voltaje cero actúan sobre el terminal de reloj del flip-flop, el mismo que es conectado de tal forma que se produzca la alternancia de sus salidas normal y complementada cada vez que se recepa un pulso de voltaje cero en su entrada de reloj. Así, la recepción de un pulso de voltaje cero que lleva a estado alto la salida complementada o señal de posibilitamiento I (SPI), activa el circuito de borrado y contéo I para que este permita el paso de la señal de reloj (46 KHz) a través de la señal de contéo del contador I (SCI) y arranque a éste. El contador I una vez arrancado, comienza el proceso de contéo, cambiando el estado de su salida cada vez que se detecta una transición en la señal de reloj. En el instante que la señal de salida del contador I (SSCI) es igual a la cantidad digital de colocación del ángulo de disparo (CD), la salida CD = SSCI va a estado alto y por consiguiente también la señal de desabilitación I (SDI). La señal de desabilitación actúa sobre el circuito de borrado y contéo I, inhibiendo las transiciones de la señal de contéo (SCI), y al mismo tiempo, se genera la señal de borrado I (SBI) con el objeto de colocar a cero las salidas del contador preparándolo para un ciclo subsiguiente. La colocación a estado bajo de las salidas del contador implica que la salida CD = SSCI del comparador vaya a estado bajo. Debido a la rapidez con con se produce el borrado y desabilitación cuando la señal -

CD = SSC1 va a estado alto, se producirá en la misma un pulso, que representa el pulso de voltaje cero que originó la secuencia descrita, desplazado por un período de tiempo especificado por la colocación digital del ángulo de disparo deseado.

Debido a que la colocación digital del ángulo de disparo deseado está sujeta a las transiciones de carácter dinámico provenientes de la acción del controlador del sistema realimentado por corriente, es indispensable proveer a los bloques de comparación de una segunda señal de decisión ($CD < SSC1$), que se active en el caso de existir una disminución abrupta en la magnitud de la cantidad digital de colocación del ángulo de disparo deseado, en cuyo caso, la salida del contador es mayor que la colocación digital de comando. Esta situación no permite la liberación de la señal $CD = SSC1$ que informa de la finalización del proceso de comparación.

Finalmente la lógica de combinación actúa sobre las señales de decisión de los dos bloques de comparación para producir los pulsos de disparo (PD).

3.3.2 Bloques de comparación

La primera fase del diseño del circuito de disparo se centró

en la selección de los dispositivos para la implementación - de cada uno de los bloques de comparación (I y II). Los bloques de comparación realizan la comparación entre las palabras digitales de ocho bits provenientes tanto de la colocación digital del ángulo de disparo deseado como del contador respectivo. Los comparadores deben proporcionar una señal - de información del instante en que las cantidades comparadas son iguales. Además los comparadores deben proveer una señal adicional con la indicación del momento en que la cantidad digital de colocación del ángulo de disparo es menor que la palabra digital de los contadores.

Para la realización de cada uno de los bloques de comparación se utilizó dos circuitos integrados 74S85. El C.I. 74S85 es un comparador de cuatro bits de magnitud y realiza comparación binaria directa entre dos palabras digitales de cuatro bits cada una (A y B). Además dispone de tres salidas de decisión totalmente decodificadas alrededor de las dos palabras, las que proveen decisiones tales como: $A < B$, $A > B$, y $A = B$. Palabras de mayor longitud puede ser comparadas conectando dos unidades 74S85 en cascada. Para la conexión en cascada, las salidas $A < B$, $A > B$ y $A = B$ de la etapa que maneja los cuatro bits menos significativos son conectados a las correspondientes entradas $A < B$, $A > B$, y $A = B$ de la etapa que maneja los cuatro bits más significati

vos. Adicionalmente la etapa que maneja los bits menos significativos tendrá un voltaje de nivel lógico alto aplicado a la entrada $A = B$. La configuración de terminales, tablas de funciones y demás datos del circuito integrado 74S85 son proporcionadas por el fabricante (31).

Debido a los requerimientos particulares del circuito de disparo bajo diseño, los ocho bits de la señal digital de colocación del ángulo de disparo deseado, fueron alambrados a los terminales B0, B1, B2 y B3 de cada una de las dos unidades de comparación. Proveyéndose los terminales A0, A1, A2 y A3 de los dos comparadores para la conexión con el bloque de conteo respectivo (contador binario de ocho bits).

Con el tipo de conexiones realizado y de la tabla de funciones proporcionada por el fabricante (Tabla 3.1) se concluye que para que la señal de decisión $A = B$, de la etapa que maneja los bits más significativos vaya a nivel lógico alto, se requiere: (a) que los cuatro bits más significativos de las dos palabras digitales de ocho bits comparadas sean idénticas, (b) que la entrada $A = B$ de la etapa que maneja los bits más significativos esté a nivel lógico alto. El requerimiento b trae consigo la implicación adicional de que, los cuatro bits menos significativos de las palabras comparadas sean similares, dado que su entrada $A = B$ se colocó a nivel

TABLA 3.1, CARACTERÍSTICAS FUNCIONALES DE LOS COMPARADORES DE OCHO BITS.

ENTRADAS COMPARADAS				ENTRADAS EN CASCADA			SALIDAS		
A ₃ , B ₃	A ₂ , B ₂	A ₁ , B ₁	A ₀ , B ₀	A > B	A < B	A = B	A > B	A < B	A = B
A ₃ > B ₃	X	X	X	X	X	X	H	L	L
A ₃ < B ₃	X	X	X	X	X	X	L	H	L
A ₃ = B ₃	A ₂ > B ₂	X	X	X	X	X	H	L	L
A ₃ = B ₃	A ₂ < B ₂	X	X	X	X	X	L	H	L
A ₃ = B ₃	A ₂ = B ₂	A ₁ > B ₁	X	X	X	X	H	L	L
A ₃ = B ₃	A ₂ = B ₂	A ₁ < B ₁	X	X	X	X	L	H	L
A ₃ = B ₃	A ₂ = B ₂	A ₁ = B ₁	A ₀ > B ₀	X	X	X	H	L	L
A ₃ = B ₃	A ₂ = B ₂	A ₁ = B ₁	A ₀ < B ₀	X	X	X	L	H	L
A ₃ = B ₃	A ₂ = B ₂	A ₁ = B ₁	A ₀ = B ₀	X	X	H	L	L	H
A ₃ = B ₃	A ₂ = B ₂	A ₁ = B ₁	A ₀ = B ₀	H	H	L	L	L	L
A ₃ = B ₃	A ₂ = B ₂	A ₁ = B ₁	A ₀ = B ₀	L	L	L	H	H	L

H = NIVEL LÓGICO ALTO, L = NIVEL LÓGICO BAJO, X = IRRELEVANTE.

lógico alto. La señal de decisión $A > B$ va a estado lógico alto sin importar la decisión realizada por la etapa que maneja los bits menos significativos, siempre que los bits más significativos conectados a los terminales A0, A1, A2 y A3 sean de mayor magnitud que los cuatro bits más significativos conectados a los terminales B0, B1, B2 y B3 de las dos palabras comparadas. Esta decisión es realizada en cuatro pasos de verificación, empezando por el bits más significativo. En el caso particular de que los cuatro bits más significativos sean iguales y no se produzca la igualdad de los cuatro bits menos significativos, debido a una condición transiente de reducción de la colocación digital que afectan solo a estos últimos, la decisión $A > B$ pasa a controlar las acciones y deberá ir a estado alto en el instante que los cuatro bits más significativos de A sean mayores que B. Esta condición produce un retardo en la respuesta en condiciones transientes, de hasta quince conteos (7.07°) para el pulso que se está retardando en el instante del cambio transiente y la condición dada se normaliza para el siguiente pulso a retardarse.

3.3.3 Bloques de conteo

Cada uno de los bloques de comparación requiere un contador, que deberá satisfacer las siguientes especificaciones:

- a.- Contador binario de ocho bits
- b.- Frecuencia de contéo (reloj) de 46 KHz
- c.- Entrada de borrado o puesta a cero de las salidas
- d.- Entrada de posibililitamiento y desabilitamiento de contéo
- e.- Contador síncrono .

La especificación de la frecuencia de reloj de 46 KHz se basa en la necesidad de un ángulo de cebado de hasta 120° eléctricos. Y dado que el contador y señal digital de colocación del ángulo de disparo es de ocho bits, se requieren 256 pulsos de reloj en el intervalo de tiempo de 5.55 ms correspondientes a los 120° eléctricos.

La entrada de posibililitamiento y desabilitamiento de contéo debe permitir el arranque o puesta en marcha del contador, - posibililitando el proceso de contéo binario y además la desabilitación del contéo de tal forma que las salidas del contador no cambien de estado. La señal de borrado es indispensable debido a la necesidad de colocar a cero las salidas del contador antes de que se produzca una nueva señal de arranque.

El tipo de contador seleccionado debe ser un contador síncrono, puesto que los contadores serie (contadores asíncronos),

presentan el inconveniente de que sus flip-flop no están bajo control de una misma señal de reloj; así, el retardo de los cambios de estado de los flip-flop crea estados falsos por un período de tiempo transiente. Los estados falsos podrían ser tomados como válidos por los comparadores, produciéndose decisiones erróneas en estos últimos. Los contadores síncronos eliminan el retardo acumulativo de los flip-flop originados en un contador serie, puesto que todos los flip-flop en un contador síncrono están bajo control de una misma señal de reloj.

En base de las especificaciones planteadas, se seleccionó el circuito integrado 74163, pero debido a que no fue posible su obtención, fue sustituido por el C.I 74193. Esta elección forzada dificultó la lógica adicional a emplearse, produciéndose un cambio sustancial con respecto al diseño original basado en el C.I 74163.

El circuito integrado 74193 es un contador binario de cuatro bits de tipo síncrono, con capacidad de conteo reversible. Las salidas de los cuatro flip-flop maestro esclavo son disparadas por transiciones de nivel bajo a alto por una de las dos entradas de conteo seleccionadas (Count Up, Count Down). La dirección del conteo es determinada por la entrada de conteo pulsada, siempre que la entrada de conteo restante sea -

mantenida a nivel lógico alto. El contador 74193 es completamente programable, esto es, sus salidas pueden ser precolocadas a uno u otro nivel (bajo o alto). Permitiendo la colocación de los datos de entrada deseados a los cuatro terminales de entrada de datos (A, B, C y D), mientras la entrada de cargado (Load) está a nivel lógico bajo. El 74193 está provisto de una entrada de borrado (Clear), que fuerza las salidas a nivel lógico bajo, con la aplicación de un nivel lógico alto en la misma. La función de borrado es independiente de las entradas de conteo y cargado.

El contador monolítico 74193 puede ser conectado en cascada, cuando se requiere conteos de palabras de mayor longitud, sin la necesidad de circuitería adicional. La conexión en cascada es realizada mediante la conexión de las salidas de transporte (Borrow y Carry) a las entradas de conteo (Count Down y Count Up) respectivamente. El diagrama de terminales, diagrama de bloques funcional y secuencias de conteo, cargado y borrado para el C.I 74193 son dadas por el fabricante (31).

De las características especificadas para el contador 74193, se observa que existen funciones adicionales que no serán utilizadas en el diseño. Tal como la función de precolocación de datos, por consiguiente, las entradas de precoloca-

ción de datos (A, B, C y D) serán puestas a nivel lógico alto y la entrada de cargado de datos (Load) a nivel alto; Inhibiéndose la función de cargado de datos. Por otra parte, se requiere tan solo un conteo de subida y no de bajada, por lo que la entrada de conteo hacia abajo (Count Down) del blo que maneja los cuatro bits menos significativos es colocada a nivel lógico alto.

3.3.4 Lógica de combinación

Cada uno de los comparadores de ocho bits del circuito de disparo proporcionan dos señales de decisión ($A = B$ y $A > B$). En condiciones de operación de estado estable, esto es, cuando la colocación digital del ángulo de disparo se mantiene sin cambios, los comparadores realizan sus funciones de decisión a través de la señal $A = B$. En tanto que en condiciones transientes, donde, la colocación digital del ángulo de disparo es disminuida a un valor menor que el contenido de los contadores, se genera la señal de decisión $A > B$ en lugar de $A = B$. Luego del instante de cambio transiente, nuevamente toma prioridad la señal de decisión $A = B$. Por consiguiente y dado que cada uno de los comparadores actúa sobre su propio circuito de borrado y conteo por medio de la señal de deshabilitación, es necesario combinar las dos señales de decisión a través de la función lógica OR. De esta

manera los cambios de cero a uno lógico en las señales $A = B$ y $A > B$ serán transferidos a la salida de la puerta OR como señales de deshabilitación (I y II) del circuito de borrado y contéo respectivo.

Las señales de deshabilitación o propiamente los pulsos de deshabilitación de los comparadores (I y II) deben ser combinados para la obtención de los pulsos de disparo. Debido a que estos pulsos van a uno lógico en instantes de tiempo diferentes, la función de combinación es realizada mediante lógica OR.

Las tres puertas lógicas OR de dos entradas, requeridas por la lógica de combinación, fueron provistas por el C.I. 7432, el mismo que encapsula cuatro de tales puertas. En la figura 3.4 se presenta tanto la lógica de combinación como el alambrado de los comparadores y contadores.

3.3.5 Generación de la señal de posibilitamiento (I y II)

Las señales de posibilitamiento realizan la selección de los bloques de comparación y contéo en forma alternada a partir de la señal de pulsos de voltaje cero. En el capítulo IV se tratará sobre la generación de la señal de pulsos de voltaje cero, por el momento asumiremos que los cruces por cero de -

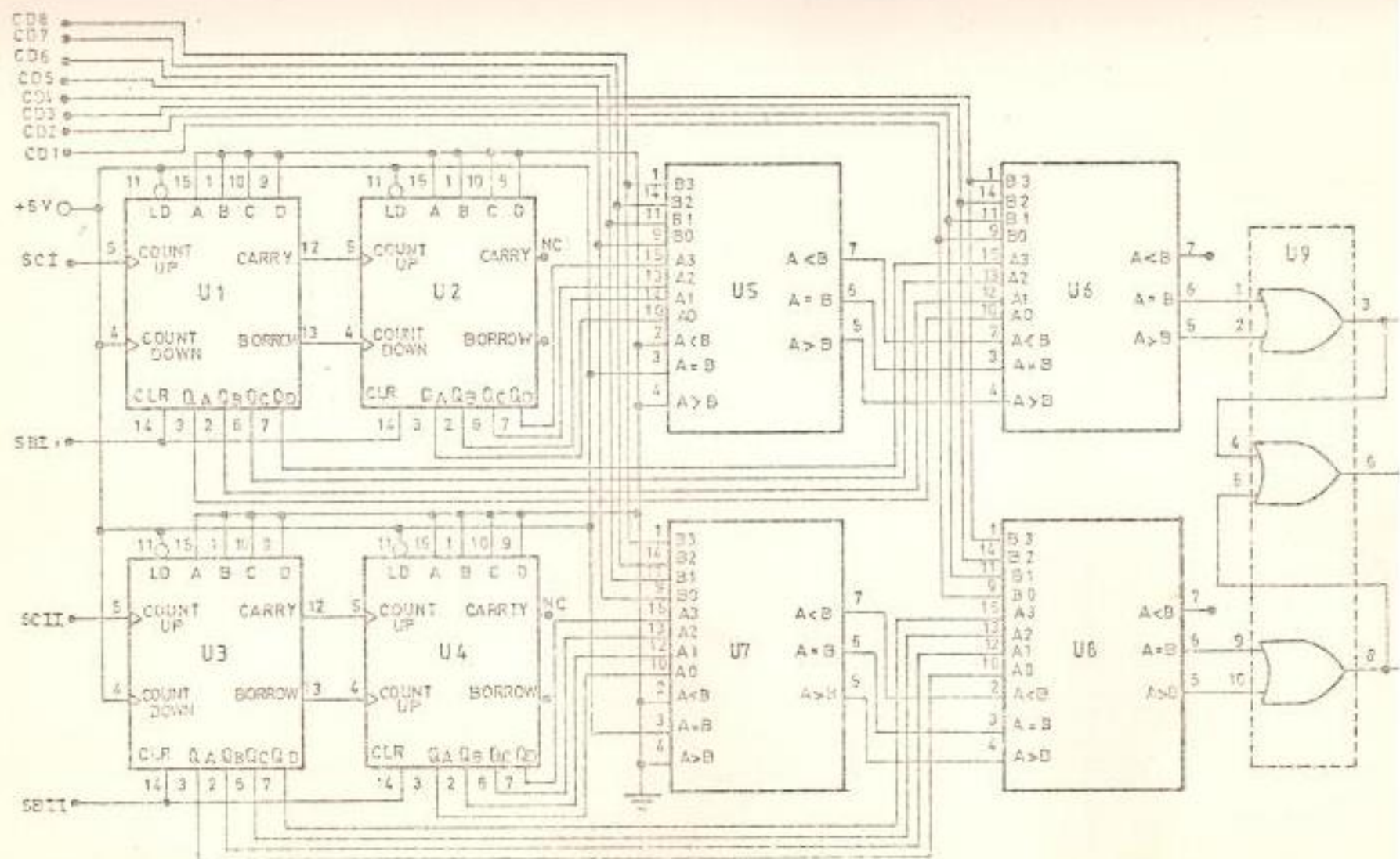


FIGURA 3.4. BLOQUES DE COMPARACION, CONTEO Y LOGICA DE COMBINACION DEL CIRCUITO DE DISPARO.

los tres voltajes línea-línea de alimentación están centrados en los bordes de bajada de tales pulsos.

La diferenciación de los pulsos sucesivos de la señal de pulsos de voltaje cero se obtuvo utilizando un flip-flop J-K funcionando en el modo alterno (toggle). De manera que, las salidas Q y \bar{Q} alternen sus estados, cada vez que se detecte un borde de bajada en los pulsos de voltaje cero, conectados a la entrada de reloj del flip-flop.

Se seleccionó el circuito integrado 74112, debido a las características de la señal de reloj de disparo por borde negativo. De la tabla de funciones proporcionada por el fabricante (31) se observa que la función alternante de las salidas del flip-flop es obtenida colocando las entradas de borrado, precolocación, J y K a nivel lógico alto. Y la señal de pulsos de voltaje cero a la señal de reloj. El borde de subida de las señales Q y \bar{Q} servirá para indicar a los circuitos de borrado y contéo respectivos, el momento de arranque o inicio de contéo de los contadores.

3.3.6 Circuitos de borrado y contéo

La función de los circuitos de borrado y contéo es proporcionar las señales de contéo y borrado a los contadores de ocho

bits (I y II), a partir de las señales de posibilitamiento y deshabilitación. En la figura 3.5 se presenta el diagrama de bloques de los circuitos de borrado y conteo y en la figura 3.6 el diagrama de tiempos de las señales asociadas con el mismo.

Los bloques de conformación de pulsos (I y II), generan las señales de arranque (SAI y SAII), a partir de las señales de posibilitamiento (SPI y SPII). Proveyendo un pulso de nivel bajo en los bordes de subida de las señales de posibilitamiento respectivas. Los pulsos de arranque disparan los temporizadores con truncamiento, haciendo que la señal de temporización truncada vaya a nivel lógico alto. Un nivel lógico alto en las señales de temporización truncada, implica un nivel lógico bajo en las señales de borrado y, por consiguiente, el posibilitamiento de variación de las salidas de los contadores, previamente forzados a mantenerse a nivel lógico bajo. Simultáneamente, las señales de temporización truncada actúan sobre las puertas lógicas NAND, de tal forma que, estas permitan el paso de las variaciones de la señal de reloj de 46 KHz, a través de las señales de conteo, iniciando el proceso de conteo de los contadores respectivos. Este proceso de conteo continúa hasta el momento en que los comparadores (I y II) a través de la lógica de combinación, llevan a nivel lógico alto las señales de deshabilitación (I

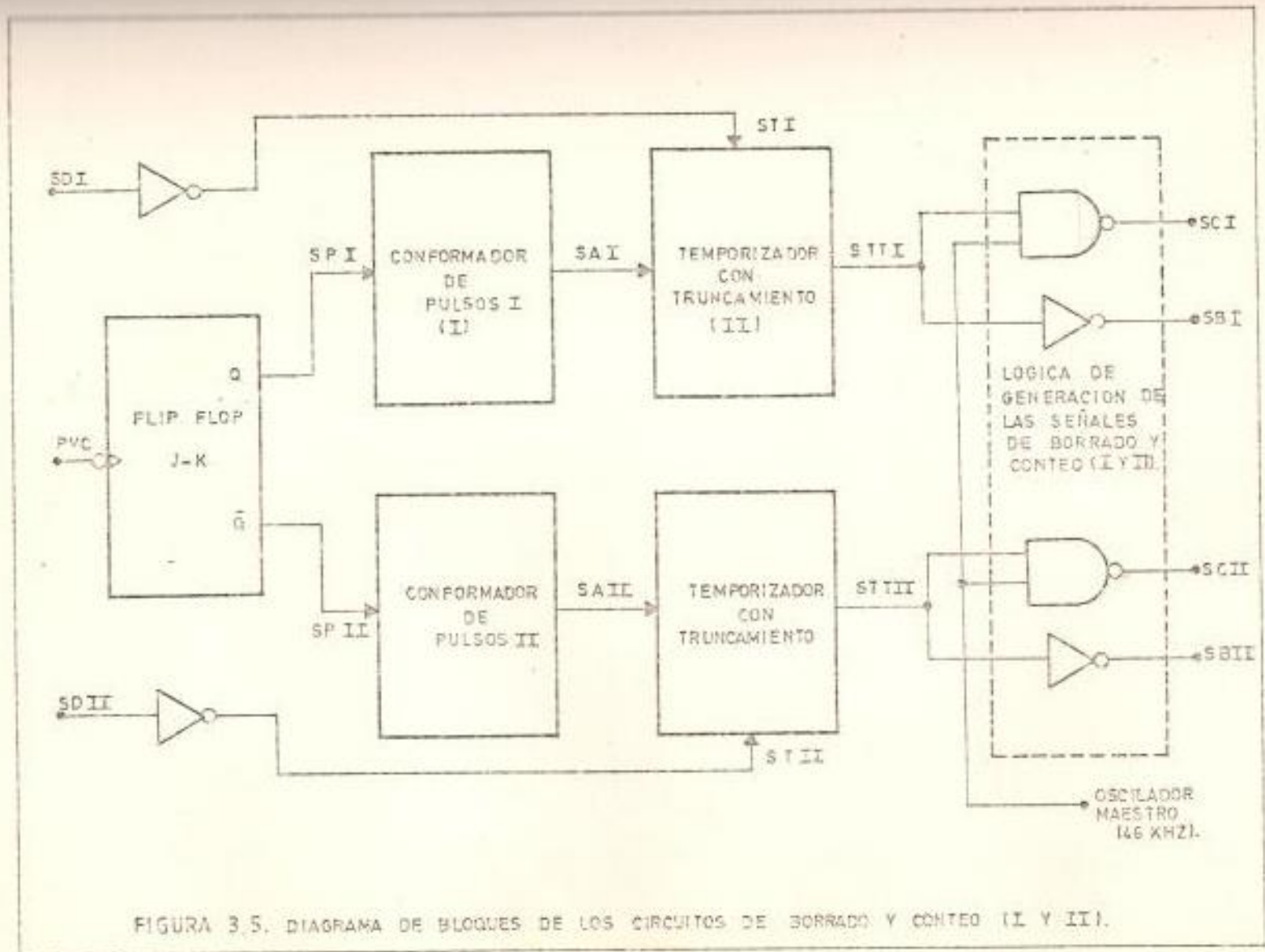


FIGURA 3.5. DIAGRAMA DE BLOQUES DE LOS CIRCUITOS DE BORRADO Y CONTEO (I Y II).

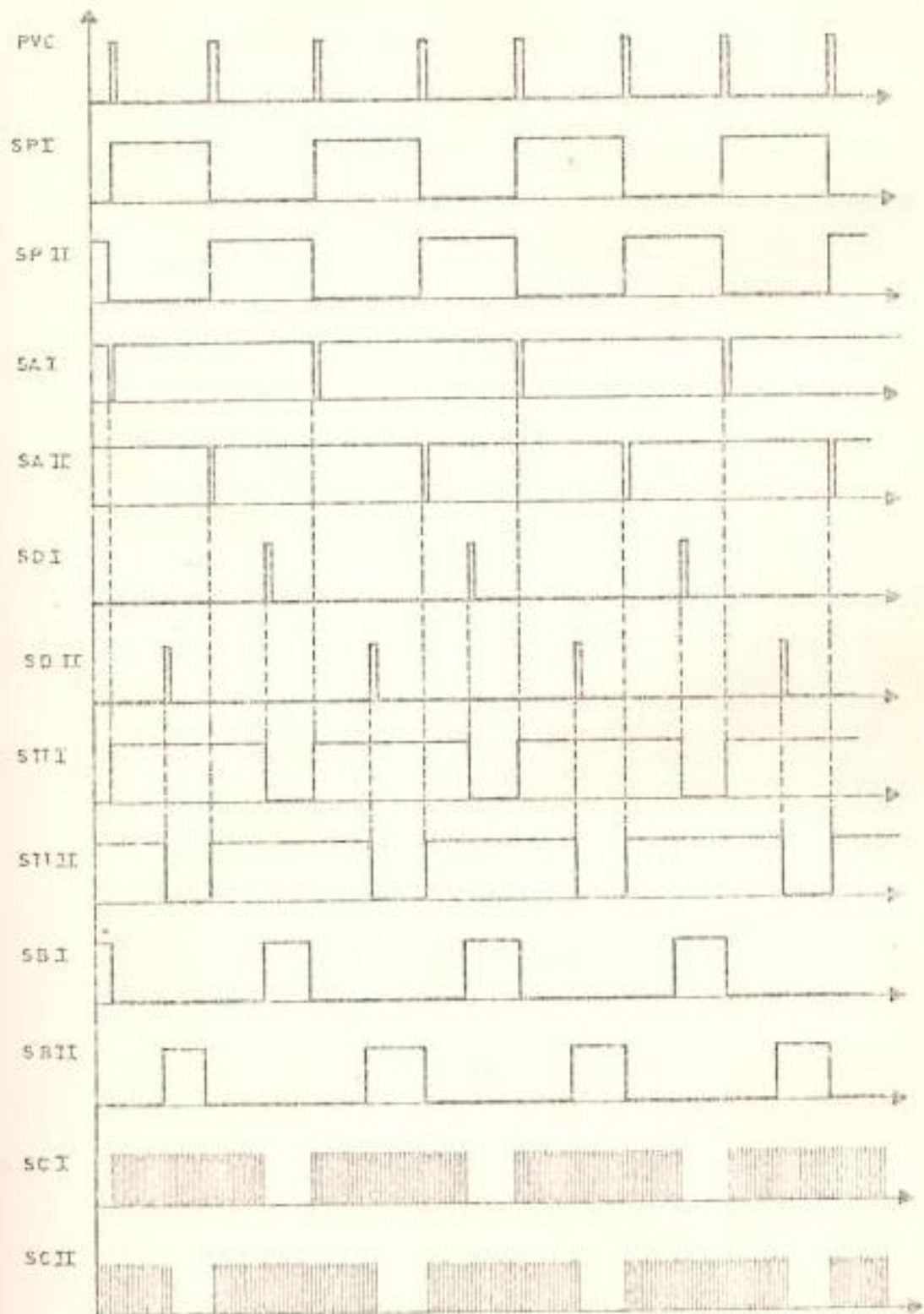


FIGURA 3.6. SEÑALES ASOCIADAS CON LOS CIRCUITOS DE BORRADO Y CONTEO.

y II), informando a los circuitos de borrado y contéo que el proceso de comparación ha finalizado. El paso a nivel lógico alto en las señales de desabilitación lleva a nivel lógico bajo las señales de truncamiento (I y II), las que actúan sobre los circuitos de temporización, forzando a las señales de temporización truncada a nivel lógico bajo. Un nivel lógico bajo en STTI y STII, inhibe el paso de la señal de reloj de 46 KHz, y mantiene las señales de contéo a nivel alto. Simultáneamente las señales de borrado van a nivel lógico alto forzando las salidas de los contadores al estado lógico bajo, preparando a los contadores para un nuevo proceso de arranque y contéo.

3.3.6.1 Conformadores de pulsos

La conformación de los pulsos de arranque se realizó en base de dos multivibradores monoestables encapsulados en el circuito integrado 74123. El primer monoestable se utilizó para el conformador de pulsos I. De la tabla de funciones dada por el fabricante (31) se concluye que la función de disparo por transiciones positivas se obtiene alambrando la señal de posibilitamiento I a la entrada 1B, con las entradas de borrado (CLR) y 1A a nivel lógico alto y bajo respectivamente. El pulso de arranque

es obtenido de la salida $1\bar{Q}$. El segundo monoestable se utilizó para el conformador de pulsos II, alambrado en la misma forma que el primer monoestable, dado que ambos realizan funciones idénticas.

Debido a los requerimientos del circuito de temporización truncada, es necesario restringir el ancho de los pulsos en las salidas $1\bar{Q}$ y $2\bar{Q}$ al mínimo posible. La obtención del ancho de pulsos mínimo (100 ns) en los monoestables fue realizado con capacidades de temporización externas (C_{ext}) de 10 pF y resistencias de temporizado externas (R_{ext}) de 5 K Ω (mínimo valor dado por el fabricante).

3.3.6.2 Temporizador con truncamiento

Los temporizadores con truncamiento fueron realizados en base del temporizador 555. El Temporizador 555 fue alambrado como multivibrador monoestable con terminal de borrado o truncamiento de temporización (12).

Las señales de salida de los temporizadores con truncamiento actúan sobre las señales de control de los contadores. Por consiguiente y dado que las se

ñales de conteo actúan en el rango comprendido entre 0 y 5.5 ms, que corresponden a ángulos de cebado de 0° a 120°, es necesario que las señales de temporización truncada sean capaces de mantenerse en estado alto en el período de tiempo preestablecido.

El temporizador 555 restringe el ancho de los pulsos de disparo, de tal forma que estos sean menores que el ancho de los pulsos de salida. Para fines prácticos el ancho del pulso de entrada debe ser de 1/4 del ancho del pulso de salida (12). Estas restricciones fueron tomadas en cuenta en el diseño del circuito de conformación de los pulsos de arranque.

El ancho de los pulsos de salida del temporizador con truncamiento debe ser de por lo menos 5.55 ms, con el objeto de que la salida se mantenga alta en el rango de operación de posibilitamiento de conteo

El ancho de los pulsos de salida del 555, es determinado por la capacitancia (C_t) y resistencia (R_t) de temporización y es dada por la expresión (12).

$$T_t = 1.1 R_t C_t$$

Donde:

T_t = Ancho del pulso de salida del temporizador.

R_t = Resistencia de temporizado, en ohmios.

C_t = Capacitancia de temporizado, en faradios.

La capacitancia de temporización se seleccionó como de 0.1 μ F. Luego, la resistencia necesaria para obtener un pulso de por lo menos 5.55 ms es de 50.45 $K\Omega$. Se usó una resistencia de 60 $K\Omega$, dándose un margen adecuado de seguridad.

El 555 trunca su proceso de temporización cuando su señal de truncamiento recepta un nivel de cero voltios. Luego es necesario el proceso de inversión de las señales de posibilitamiento.

3.3.6.3 Lógica de generación de las señales de borrado y contéo

La generación de las señales de contéo a partir de las señales de temporización truncada se realizó en base de dos puertas NAND de dos entradas, con

las señales de reloj y temporización truncada conectadas a las mismas.

Se seleccionó el circuito integrado 74132, el mismo que provee de la función NAND con características de disparo Schmitt, de tal forma que las transiciones de la señal de conteo sean completamente escarpadas; mejorándose los tiempos de transición de la señal de reloj, provenientes del oscilador maestro (46 KHz).

El paso de inversión de las señales: SDI, SDII, STTI y STTII se realizó a través de cuatro inversores con disparo Schmitt encapsulados en el C.I 7414. El uso de tales inversores tiene por objeto mejorar los tiempos de elevación y caída de las salidas de los temporizadores con truncamiento, realizadas en base del C.I 555, aún cuando sus salidas son compatibles con lógica TTL.

3.3.6.4 Oscilador maestro

El oscilador maestro se seleccionó de acuerdo a los siguientes criterios:

- a.- Frecuencia de oscilación (F_{OM}), bajo condiciones normales de operación, de 46 KHz.
- b.- Posibilidad de variación de F_{OM} , con el objeto de facilitar las pruebas de acortamiento del rango de control del ángulo de cebado.
- c.- Razonable estabilidad de la frecuencia de oscilación ante variaciones de la temperatura ambiental o edad de los componentes.
- d.- Insensibilidad de F_{OM} con respecto a las variaciones de voltaje de la fuente de alimentación (+ 5 V).

En base de las características establecidas es posible utilizar un gran número de configuraciones para el oscilador (11). Debido a los requerimientos de estabilidad se descartó el uso de osciladores controlados por cristal; optándose por el uso del temporizador 555 alambrado como multivibrador estable (12).

La frecuencia de oscilación F_{OM} del C.I 555 en el modo de operación estable se calculó a partir de la

expresión (12).

$$F_{OM} = \frac{1.443}{(R_a + 2 R_b) C_t}$$

Donde:

R_a = Resistencia de temporizado conectada a la fuente de alimentación (+ 5 V), en ohmios.

R_b = Resistencia de temporizado conectada al terminal de disparo (patilla 2), en ohmios.

C_t = Capacitancia de temporizado, en faradios.

Con $R_a = 1 \text{ K}\Omega$, $C_t = 0.01 \text{ }\mu\text{F}$ y $F_{OM} = 46 \text{ KHz}$ se obtiene para R_b un valor de aproximadamente $1 \text{ K}\Omega$. La frecuencia de oscilación es chequeada y calibrada experimentalmente, luego para R_b se utilizó un potenciómetro de $2.2 \text{ K}\Omega$.

Con los valores utilizados y a la frecuencia establecida, la relación de ciclo es de 66%. La relación de ciclo aumenta si la frecuencia de oscilación es incrementada. El aumento de la frecuencia F_{OM} tiene por objeto disminuir la magnitud de los pasos de variación del ángulo de cebado, durante

las pruebas de acortamiento del rango de control. -
Con una frecuencia de oscilación de 50 KHz (pasos -
de 0.43°) se prevee una relación de ciclo del 67.4%

Las relaciones de ciclo previstas no tienen ningún efecto nocivo en la operación del circuito de disparo y secuencéo, debido a que los contadores actúan sobre los flancos de la señal de reloj, y muy particularmente por el bajo valor de la frecuencia de oscilación.

En la figura 3.7 se presenta el diagrama de los circuitos de borrado y contéo. Además se muestra el oscilador maestro, cuya frecuencia de salida es ajustada a través del potenciómetro de calibración (POT1).

3.4 DISEÑO DEL CIRCUITO DE SECUENCEO

3.4.1 Descripción general y diagrama de bloques

En la figura 3.8 se presenta el diagrama de bloques del circuito de secuencéo, diseñado en base de los requerimientos funcionales de la unidad de fuerza del sistema. Los pulsos de disparo del circuito de disparo son aplicados al contador

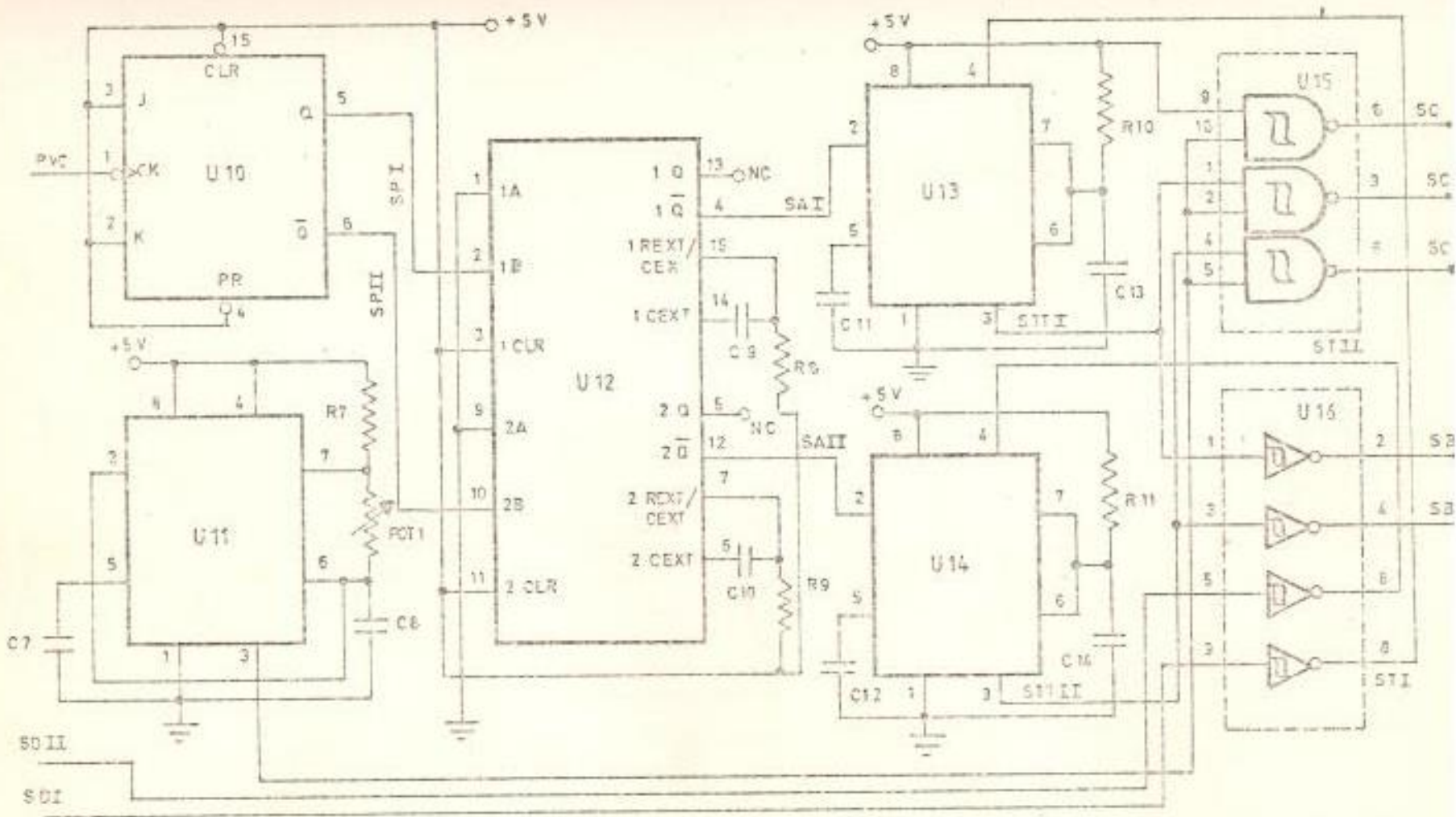


FIGURA 3.7. CIRCUITOS DE BORRADO Y CONTEO. (I Y II)

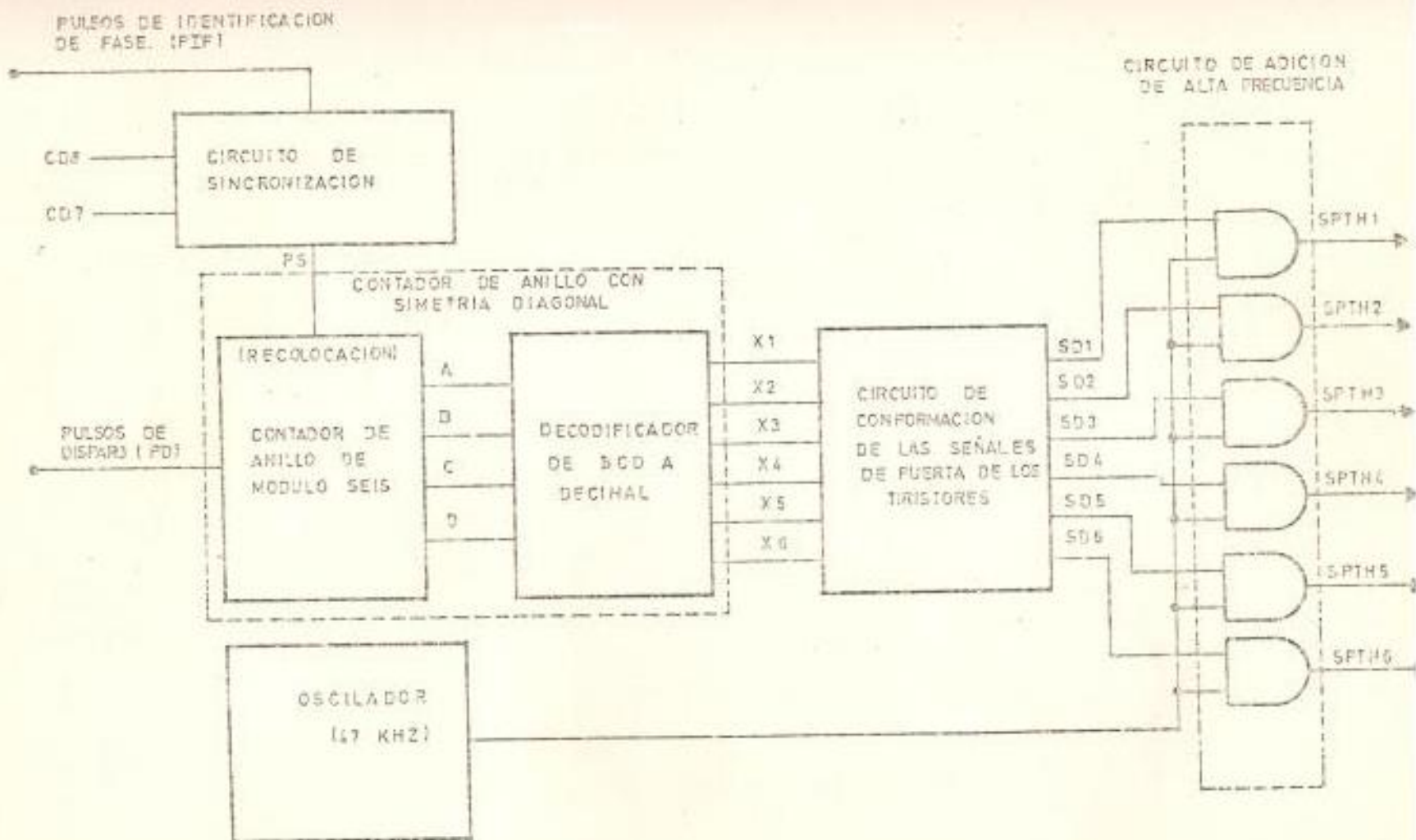


FIGURA 3.8. DIAGRAMA DE BLOQUES DEL CIRCUITO DE SECUENCIO.

de anillo con simetría diagonal de seis salidas. Este conta dor realiza una función de asignación, entre los pulsos de disparo y las seis señales de salida (X1, X2, X3, X4, X5 y X6). En condiciones iniciales, el primer pulso de disparo - receptado obliga a la señal X1 a pasar a nivel lógico bajo. El segundo pulso de disparo lleva a nivel lógico baja a la - señal X2 y al mismo tiempo ordena el pasc de la señal X1 a - nivel lógico alto. Este proceso es repetido hasta la recep - ción del sexto pulso de disparo. El séptimo pulso de dispa - ro activa X6 y deshabilita X1, repitiéndose un nuevo ciclo de operaciones tal como se muestra en la figura 3.9.

El contador de anillo con simetría diagonal de seis salidas, está constituido por un contador de anillo de módulo seis y un decodificador de BCD a decimal. El contador de anillo de módulo seis se constituyó en base de un circuito integrado - multifunción que proporciona cuatro salidas (A, B, C y D). - Las cuatro salidas asignan un código binario decimal (BCD) a cada uno de los seis primeros pulsos recibidos y repite este proceso de asignación a los seis pulsos subsiguientes en una secuencia circular (contador de anillo).

El decodificador de BCD a decimal recepta los seis estados - lógicos distintos contenidos en las cuatro salidas del conta dor de anillo, y actúa sobre las seis salidas del mismo. Un

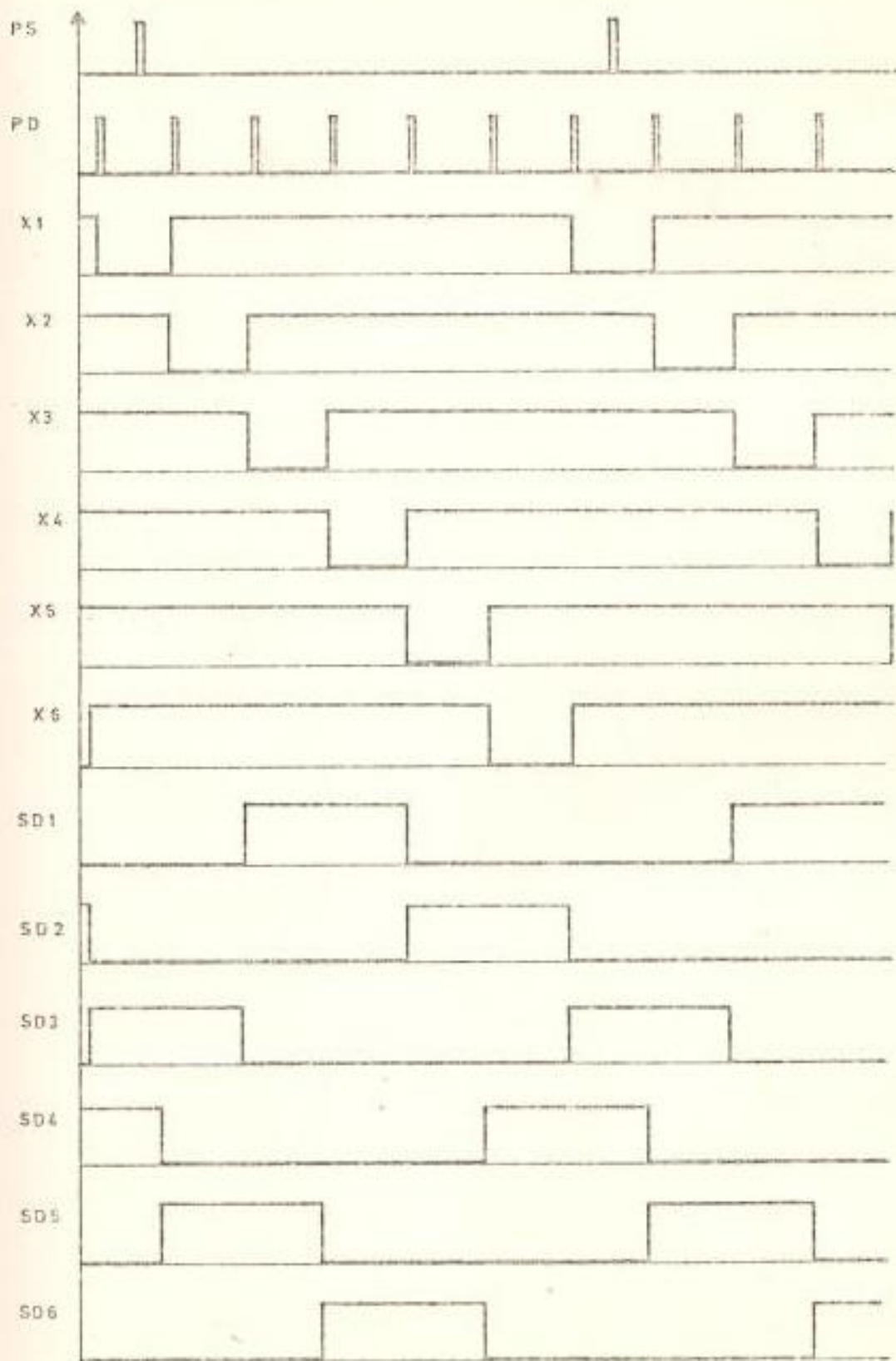


FIGURA 3.9. DIAGRAMA DE TIEMPOS DE LAS SEÑALES ASOCIADAS CON LA UNIDAD DE SECUENCIA.

estado lógico particular en las cuatro entradas A, B, C y D determine un nivel lógico bajo en una de las seis salidas y solo una del decodificador.

Las seis salidas del contador de anillo con simetría diagonal pasan a la red de conformación de las señales de puerta de los tiristores. Esta red está diseñada de tal forma que permite obtener las seis señales de disparo de los seis tiristores del convertidor trifásico controlado de onda completa, con la secuencia y forma establecidas en el Capítulo II. La red de adición de alta frecuencia permite el paso de la frecuencia de 47 KHz a las puertas de los tiristores, cada vez que son posibilitados por las señales de disparo: SD1, SD2, SD3, SD4, SD5 y SD6 (Figura 3.9).

Finalmente, la red de sincronización proporciona al circuito de secuencéo un medio de sincronizar la acción de asignación entre los pulsos de disparo y el cebado de los tiristores. La sincronización se efectúa mediante la recolocación forzada del contador de anillo, a partir del pulso de sincronismo (PS), generado en base de los pulsos de identificación de fase (PIF), y los dos bits más significativos de la colocación digital del ángulo de disparo deseado (CD7 y CD8).

El esquema presentado permite la sincronización de la secuen

cia de encendido de los tiristores con la red trifásica de a limentación inmediatamente después de encendido el equipo, y la verificación del sincronismo cada 360° eléctricos, con el objeto de suprimir las fallas ocasionales por motivos tales como detecciones de cruces por cero falsas o ruidos eléctricos sobre el circuito de disparo y secuencéo.

3.4.2 Contador de anillo con simetría diagonal

El método usual de diseño de contadores de anillo con secu encias de salida especiales se basa en el uso de las técnicas de minimización por mapas de Karnaugh mediante el uso de los diagramas y mapas de estado. En el diseño presentado pre ferí el uso de dos circuitos integrados monolíticos multifun - ciones para cumplir con las funciones asignadas al contador de anillo con simetría diagonal. Los circuitos integrados - seleccionados son el contador de década 7490 y el decodifica do dor de BCD a decimal 7442, con los cuales se obtuvo el dia - grama de estados requerido.

3.4.2.1 Contador de anillo de módulo seis

El circuito Integrado 7490 es el encargado de reali za zar las funciones de contador de anillo de módulo - seis. Su selección fue realizada en base de las a-

plicaciones dadas por el fabricante, que permiten a la implementación del C.I. 7490 como un contador binario de rizado de módulo seis (32), con capacidad de recolocación forzada al estado inicial de conteo. La configuración terminal, tablas de funciones de recolocación, conteo y secuencia de conteo, son proporcionadas por el fabricante (31).

En la figura 3.10 se presenta el contador de década 7490 alambrado como un contador de anillo de módulo seis y el diagrama de tiempos de las salidas Q_B y Q_C junto con la tabla de estados (Tabla 3.2).

La función de recolocación del contador de anillo de módulo seis toma lugar cuando las entradas R_0 (1) y R_0 (2) van a nivel lógico uno, cualquiera otra combinación permite que el conteo prosiga. Lo establecido se cumple, siempre que, al menos una de las entradas R_0 (1) y R_0 (2) sean colocadas a nivel lógico bajo. Dado que R_0 (1) y R_0 (2) están alambradas a las salidas Q_B y Q_C respectivamente, la recolocación se efectúa en forma automática al ocurrir el séptimo pulso (PD7), debido a que las salidas Q_B y Q_C tratan de pasar al estado alto. El proceso de recolocación automática, genera un pico o

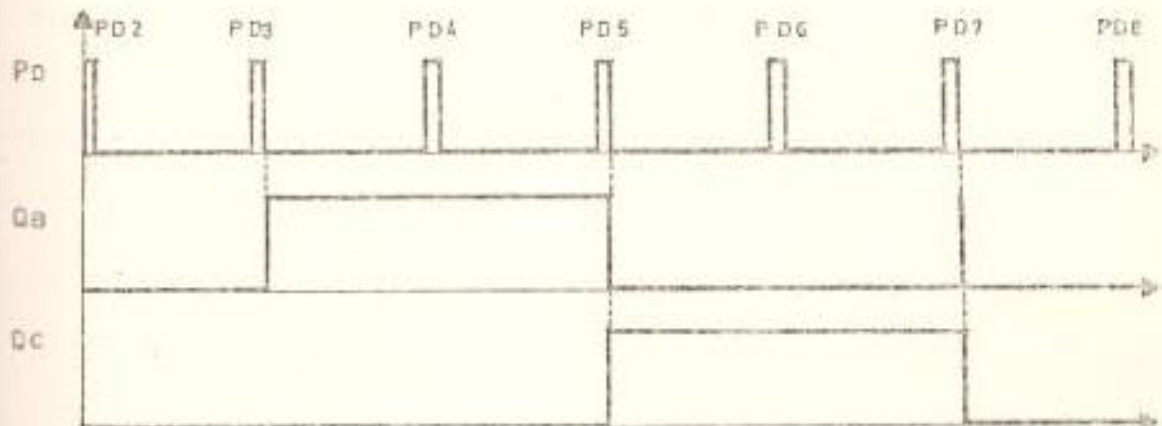
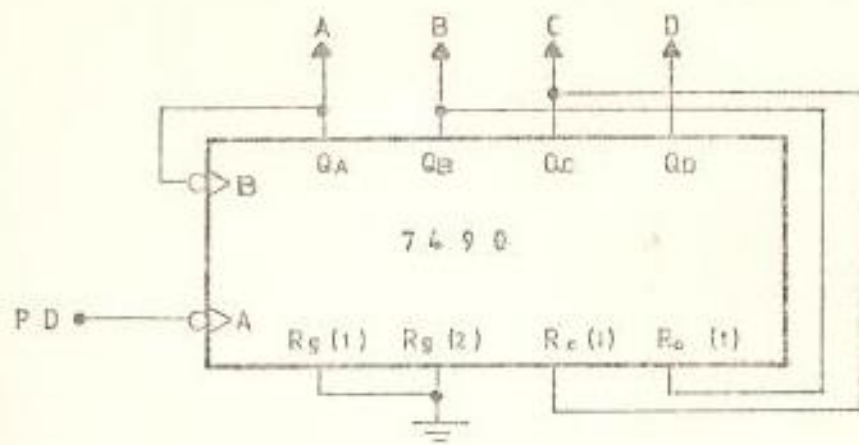


FIGURA 3.10 CONTADOR DE ANILLO DE MÓDULO SEIS Y DIAGRAMA DE TIEMPO DE LAS SALIDAS QB Y QC.

PULSOS DE DISPARO (PD)	SALIDAS			
	QA	QB	QC	QD
PD1	0	0	0	0
PD2	1	0	0	0
PD3	0	1	0	0
PD4	1	1	0	0
PD5	0	0	1	0
PD6	1	0	1	0
PD7	0/0	1/0	1/0	0/0

TABLA 3.2 ESTADOS DE LAS SALIDAS DEL CONTADOR DE ANILLO DE MÓDULO SEIS.

pulso de tipo transiente en la salida Q_0 . Este efecto transiente es eliminado por el decodificador de la etapa siguiente, con el objeto de corregir posibles fallas del sistema de secuenció.

La salida del contador de década 7490, alambrado como contador de anillo de módulo seis, cambia de estado en los bordes o flancos de bajada de los pulsos de disparo. Este hecho implica en apariencia un problema, debido a que, es el borde de elevación de los pulsos de disparo el que lleva la información al circuito de secuenció. Cabe indicar, que no se usó lógica adicional para la solución del problema planteado, dado que, el ancho de los pulsos de disparo es despreciable en comparación con los tiempos de retardo producidos por el circuito de disparo. El ancho del pulso de disparo es equivalente al retardo introducido por dos puertas lógicas, lo cual permite que en forma práctica, sean los bordes de subida como de bajada los portadores de información.

El diseño de la lógica de recolocación forzada, permite que los pulsos de sincronismo actúen sobre el contador de anillo de módulo seis, recolocando sus

salidas al estado inicial, sin importar el estado actual de estas.

En la figura 3.11 se muestra el diseño del contador de anillo de módulo seis con la lógica de recolocación forzada.

En la tabla 3.3 (a) se observa, que sin importar los estados de las salidas B y C, las salidas de la lógica OR pasan a estado alto en el instante de ocurrencia del pulso de sincronismo, forzando las salidas del contador de anillo a estado lógico bajo.

En la tabla 3.3 (b) se muestra, que si no ocurre el pulso de sincronismo, el contador de anillo procede al conteo normal, con recolocación automática en el séptimo conteo por medio de sus salidas B y C que pasan a estado alto por un instante de transición.

3.4.2.2 Decodificador de BCD a decimal

El decodificador seleccionado es el decodificador 7442 de cuatro a diez líneas con entrada codificada en BCD y salida decimal. De la tabla de funciones proporcionada por el fabricante (31), se observa -

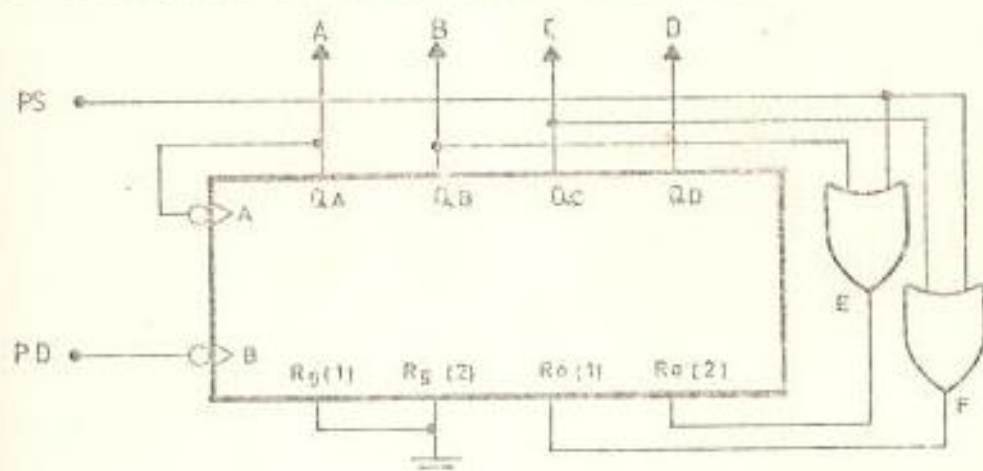


FIGURA 3.11. CONTADOR DE ANILLO DE MÓDULO SEIS CON LÓGICA DE RECOLOCACIÓN FORZADA.

(a)

PULSOS DE DISPARO (PD)	SEÑALES DE LA LÓGICA OR				
	ENTRADAS			SALIDAS	
	B	C	PS	E	F
PD1	0	0		1	1
PD2	0	0		1	1
PD3	1	0		1	1
PD4	1	0		1	1
PD5	0	1		1	1
PD6	0	1		1	1
PD7	1	1		1	1

(b)

PULSOS DE DISPARO (PD)	SEÑALES DE LA LÓGICA OR				
	ENTRADAS			SALIDAS	
	B	C	PS	E	F
PD1	0	0	0	0	0
PD2	0	0	0	0	0
PD3	1	0	0	1	0
PD4	1	0	0	1	0
PD5	0	1	0	0	1
PD6	0	1	0	0	1
PD7	1	1	0	1	1

TABLA 3.3. ESTADOS DE LAS SALIDAS DEL CONTADOR DE ANILLO: (a) CON PULSOS DE SINCRONISMO, (b) SIN PULSOS DE SINCRONISMO.

que un código de entrada determinado en el decodificador, lleva a nivel lógico bajo a una de las diez salidas del mismo, en tanto las nueve restantes son mantenidas a uno lógico. Por otro lado, y debido a que el contador de anillo de módulo seis genera tan solo seis estados lógicos diferentes en sus cuatro salidas (A, B, C y D), definidas en la tabla de estados (Tabla 3.2), se utilizó las seis primeras salidas del decodificador de BCD a decimal, como señales de salida del contador de anillo con simetría -diagonal.

Además de las funciones especificadas, el decodificador realiza una función adicional, que es impedir que el estado de salida transiente (0110) para recolocación automática del contador de anillo de módulo seis, afecte a las seis primeras salidas del decodificador. El estado mencionado, actúa sobre el decodificador de tal forma que el séptimo terminal de salida vaya a nivel lógico bajo, y los seis primeros pasen a nivel lógico alto por un período -transiente. El hecho de que todas las salidas del decodificador sean altas por un período de recolocación transiente, no implica una desmejora del sistema, puesto que, el circuito de potencia lo tomará -

como una falta de señal de disparo por un tiempo - del orden de los nanosegundos.

3.4.3 Red de conformación de las señales de puerta de los tiristores

La conformación de las señales de puerta de los tiristores - se realizó mediante una red lógica combinacional. Esta red tiene por entradas las seis salidas del decodificador (X_1 , - X_2 , X_3 , X_4 , X_5 y X_6), y por salidas las seis señales de disparo (SD_1 , SD_2 , SD_3 , SD_4 , SD_5 y SD_6), conectadas indirecta - mente a las puertas de los tiristores TH_1 , TH_2 , TH_3 , TH_4 , - TH_5 y TH_6 respectivamente.

En la figura 3.2 se mostró que a partir del cruce por cero - del voltaje de línea V_{ab} , los pares de tiristores selecciona - dos siguen el siguiente orden: TH_3-TH_4 , TH_3-TH_5 , TH_5-TH_1 , - TH_1-TH_6 , TH_6-TH_2 , TH_2-TH_4 . Los cambios de pares de tiristo - res seleccionados, ocurren cada vez que se produce un nuevo pulso de disparo, repitiéndose la secuencia de selección en el instante de recepción del séptimo pulso de disparo.

El análisis realizado permite la construcción de la tabla de funciones lógicas (Tabla 3.4). Así por ejemplo, la recep - ción del segundo pulso de disparo, determina que el código -

TABLA 3.4. FUNCIONES LÓGICAS DEL CIRCUITO DE CONFORMACION DE LAS SEÑALES DE PUERTA DE LOS TIRISTORES.

ENTRADAS DEL DECODIFICADOR				SALIDAS DEL DECODIFICADOR						SALIDA DE LA LÓGICA DE SELECCION DE LOS TIRISTORES						PAR DE TIRISTORES SELECCIONADOS.
D	C	B	A	X1	X2	X3	X4	X5	X6	SD1	SD2	SD3	SD4	SD5	SD6	
0	0	0	0	0	1	1	1	1	1	0	0	1	1	0	0	TH3-TH4
0	0	0	1	1	0	1	1	1	1	0	0	1	0	1	0	TH3-TH5
0	0	1	0	1	1	0	1	1	1	1	0	0	0	1	0	TH5-TH1
0	0	1	1	1	1	1	0	1	1	1	0	0	0	0	1	TH1-TH0
0	1	0	0	1	1	1	1	0	1	0	1	0	0	0	1	TH0-TH2
0	1	0	1	1	1	1	1	1	0	0	1	0	1	0	0	TH2-TH4

1= NIVEL LÓGICO ALTO 0= NIVEL LÓGICO BAJO

de salida del contador de anillo de módulo seis sea 0001. - Este código particular a la entrada del decodificador lleva sus salidas al estado 101111. La red lógica combinacional a diseñarse debe generar una salida de 001010 a partir de la entrada 101111, lo cual implica que los tiristores seleccionados sean TH3 y TH5.

La red a diseñarse es una red lógica combinacional de salidas múltiples, cuya función de transmisión en base de suma de productos es:

$$SD1 (X1, X2, X3, X4, X5, X6) = m3 \vee m4$$

$$SD2 (X1, X2, X3, X4, X5, X6) = m5 \vee m6$$

$$SD3 (X1, X2, X3, X4, X5, X6) = m1 \vee m2$$

$$SD4 (X1, X2, X3, X4, X5, X6) = m1 \vee m6$$

$$SD5 (X1, X2, X3, X4, X5, X6) = m2 \vee m3$$

$$SD6 (X1, X2, X3, X4, X5, X6) = m4 \vee m5$$

Donde los términos mínimos son:

$$m1 = \bar{X}1.X2.X3.X4.X5.X6$$

$$m2 = X1.\bar{X}2.X3.X4.X5.X6$$

$$m3 = X1.X2.\bar{X}3.X4.X5.X6$$

$$m4 = X1.X2.X3.\bar{X}4.X5.X6$$

$$m5 = X1.X2.X3.X4.\bar{X}5.X6$$

$$m_6 = X_1.X_2.X_3.X_4.X_5.\bar{X}_6$$

La matriz de transmisión que representa la función de transmisión (4) es mostrada en la figura 3.12. La lógica AND para la generación de los términos mínimos no es necesaria, debido a que está antecedita por un decodificador de BCD a decimal. El decodificador tiene a su salida un código bien definido y determinado, esto es, no podrá darse el caso de que sus salidas presenten más de un nivel lógico cero al mismo tiempo. Así, en la generación de los términos mínimos es necesario tan solo el nivel de inversión de todas y cada una de las seis señales de entrada a la red lógica combinacional

3.4.4 Circuito de adición de alta frecuencia a las señales de puerta de los tiristores

La necesidad de señales de puerta de duración sostenida, a partir de las señales de control de disparo, provistas por el circuito de secuencéo (SD1, SD2, SD3, SD4, SD5 y SD6), implican la adición de una portadora de alta frecuencia a las mismas (1). El esquema utilizado (Figura 3.8) está provisto de seis puertas AND de dos entradas encapsuladas en dos circuitos integrados 7408. Cada una de las puertas lógicas AND fue alambrada con una de las seis señales de control a una de sus entradas, y la restante a la salida de un multivibra-

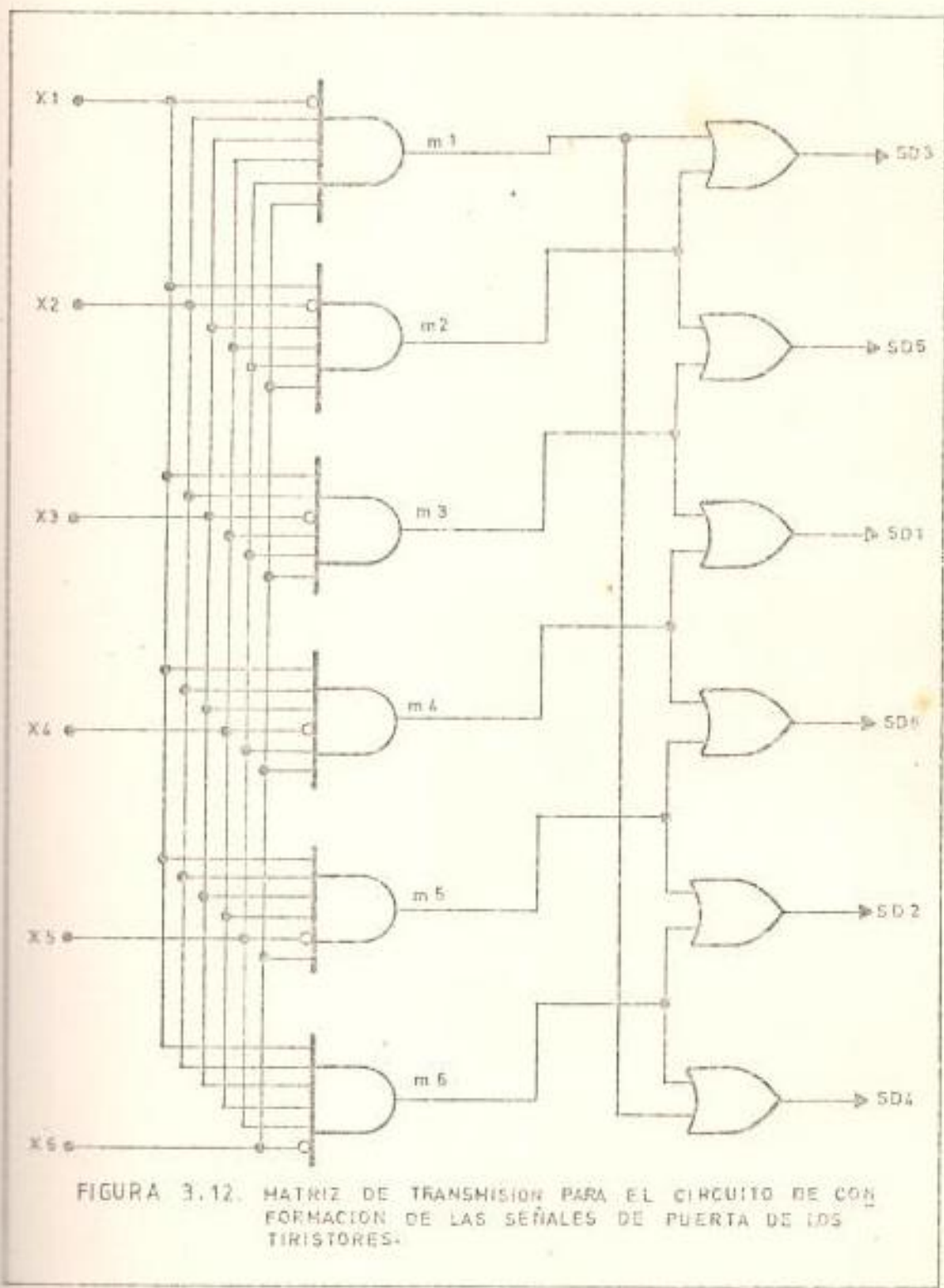


FIGURA 3.12. MATRIZ DE TRANSMISION PARA EL CIRCUITO DE CON FORMACION DE LAS SEÑALES DE PUERTA DE LOS TIRISTORES.

dor estable con una frecuencia de oscilación de 47 KHz.

Para la selección de la alta frecuencia se consideró que, el máximo retardo introducido en el disparo por la portadora de alta frecuencia, sea por lo menos igual a la magnitud de los pasos discretos de cambio en el ángulo de disparo ($0,47^\circ$). - Por otro lado la selección de una frecuencia mayor, introduce menos error en el sistema, pero al mismo tiempo, disminuye el ancho de los pulsos de disparo a valores menores que los requeridos para el encendido de los tiristores (20 μ s).

La alta frecuencia se obtuvo a partir del temporizador 555, alambrado como multivibrador estable. Los componentes se calcularon para obtener una frecuencia de salida de 47 KHz con una relación de ciclo del 53%. Los tiempos de subida y bajada de la señal de salida del oscilador son mejorados por el uso de la lógica NAND con disparo Schmitt. Esta característica es de particular interés (Capítulo 1) en la obtención de pulsos de cebado óptimos. En la figura 3.13 se muestra el circuito de secuenció sin la red de sincronización.

3.4.5 Circuito de sincronización

Los pulsos de sincronización actúan sobre la lógica de recolocación sincronizada, forzando al contador de anillo de mó-

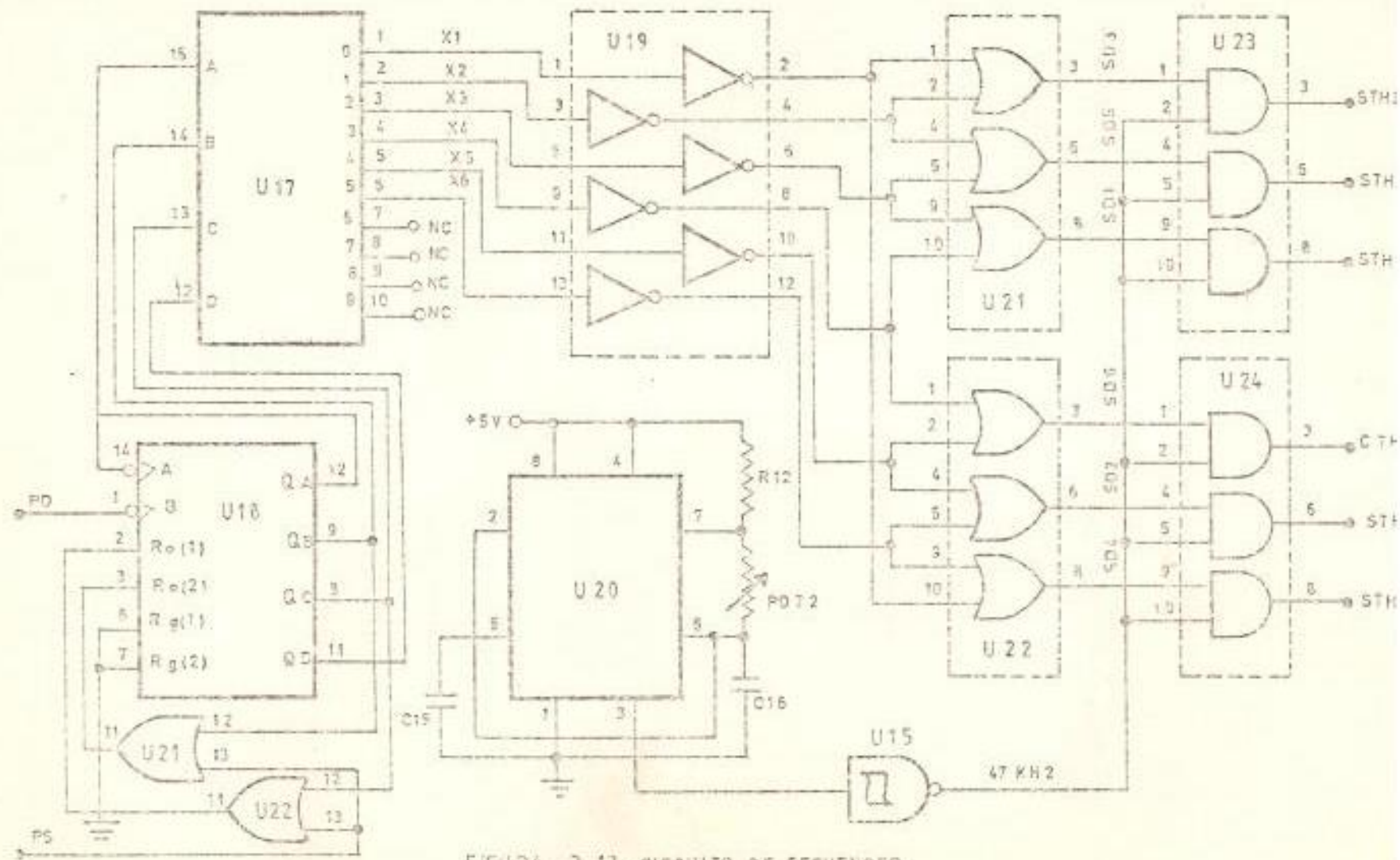


FIGURA 3.13. CIRCUITO DE SECUENCIO.

dule seis a colocar sus salidas al estado inicial (0000). -
Estos niveles lógicos en la salida del contador de anillo im
plican la selección del par de tiristores TH3 y TH4.

En el análisis realizado en la sección 3.2 se mostró que, el
par de tiristores TH3 y TH4 son seleccionados en instantes -
diferentes, con respecto a la ocurrencia de la señal de iden
tificación de fase. Retardándose su instante de selección -
en la medida que lo hace el ángulo de disparo.

La solución ideal es la generación de una señal de sincronis
mo a partir de los pulsos de identificación de fase. Retar-
dando los pulsos de identificación de fase por un tiempo 1-
igual al introducido en los pulsos de voltaje cero por el cir
cuito de disparo. Esto implica la utilización de un circui
to desfazador de pulsos de 256 pasos, una solución análoga a
la de diseñar un bloque de comparación y conteo y lógica ar
dicional. Se descartó esta solución debido a que no se dis
puso de comparadoras.

3.4.5.1 Solución alterna para el circuito de generación de los pulsos de sincronismo

Del análisis realizado de la secuencia de cebado de
los tiristores para diferentes ángulos de disparo ,

y partiendo de la disposición secuencial de disparo (Figura 3.2) se observa:

- a.- En el rango de control de ángulo de disparo entre 0° y 60° , los pulsos de identificación de fase pueden actuar como pulsos de sincronismo para el circuito de secuencéo.

- b.- En el rango de control de 60° a 120° , es necesario un desplazamiento previo de los pulsos de identificación de fase por 60° , de tal forma que estos pulsos desplazados actúen como pulsos de sincronización.

El mecanismo lógico encargado de realizar la decisión, de cual de estas dos señales debe actuar sobre el circuito de recolocación forzada, es el bit más significativo de la cantidad digital de colocación del ángulo de disparo; debido a que este bit es cero lógico en el rango de control de 0° a 60° , y uno lógico en el intervalo de control de 60° a 120° .

El circuito desfazador de pulsos se implementó mediante dos multivibradores monoestables encapsula -

dos en el circuito integrado 74123. La función del primer multivibrador es la generación de un pulso en el borde de elevación de los pulsos de identificación de fase. El ancho del pulso generado corresponde a un tiempo de 2.77 ms (60° eléctricos). De la tabla de funciones proporcionada por el fabricante (31) para el C.I 74123, se observa que la función con disparo por transición positiva se obtiene colocando las entradas de borrado (Clear) y de disparo (1A) a niveles lógicos alto y bajo respectivamente.

Para el cálculo del ancho del pulso (2.77 ms) se seleccionó un capacitor de 1 uF tipo electrolítico, que obliga al uso de un diodo de conmutación, cuyo objeto es prevenir voltajes inversos a través del mismo. La expresión para la determinación del ancho del pulso proporcionada por el fabricante, en el caso de utilización de un diodo de conmutación es:

$$T_w = K_d \cdot R_t \cdot C_{ext} \left(1 + \frac{0.7}{R_t} \right)$$

Donde:

$Kd = 0.25$

$C_{ext} =$ En picofaradios (pF)

$R_t =$ En kilohmios ($k\Omega$)

$T_w =$ En nanosegundos (ns)

Reemplazando los valores establecidos para $T_w = 2.77 \times 10^6$ ns, $C_{ext} = 1 \times 10^6$ pF se tiene $R_t = 11 k\Omega$.
Seleccionándose un potenciómetro de $20 k\Omega$.

La función del segundo monoestable, es generar un pulso, en el borde de bajada del pulso de salida del primer monoestable. Se eligió un ancho de pulso de 20 us, apto para realizar la función de recolocación forzada. Para que el segundo monoestable realice el disparo en las transiciones negativas de los pulsos de salida del primer monoestable, se colocó las entradas de borrado (Clear) y de disparo (2B) a nivel lógico alto y la señal de salida (10) a la entrada de disparo (2A).

Para la obtención de un pulso de 20 us de ancho se seleccionó un condensador de 0.01 uF. La expresión que relaciona el ancho del pulso, con los valores de los componentes de temporizado, sin el uso de diodos de conmutación (proporcionada por el fabricante): es

$$T_w = K_d \cdot R_t \cdot C_{ext} \left(1 + \frac{0.7}{R_t} \right)$$

Donde:

$$K_d = 0.28$$

Los demás parámetros fueron definidos anteriormente Reemplazando los valores para: $T_w = 20 \times 10^3 \text{ ns}$, $C_{ext} = 0.01 \times 10^6 \text{ pF}$, se tiene $R_t = 6.4 \text{ k}\Omega$. Eligiéndose una resistencia de $6.7 \text{ k}\Omega$.

En la figura 3.14 se presenta el circuito desfazador de pulsos de 2.77 ms, junto con un diagrama de tiempos de las señales del mismo. Adicionándose una lógica de selección, controlada por el bit más significativo de la colocación digital del ángulo de disparo deseado. Un nivel lógico cero en el bit más significativo permite el paso de la señal de identificación de fase directamente, en cambio un nivel lógico uno posibilita el paso de la señal de identificación de fase desplazada por 60° eléctricos. La salida de la lógica de selección, es por consiguiente, la señal de sincronismo (PS).

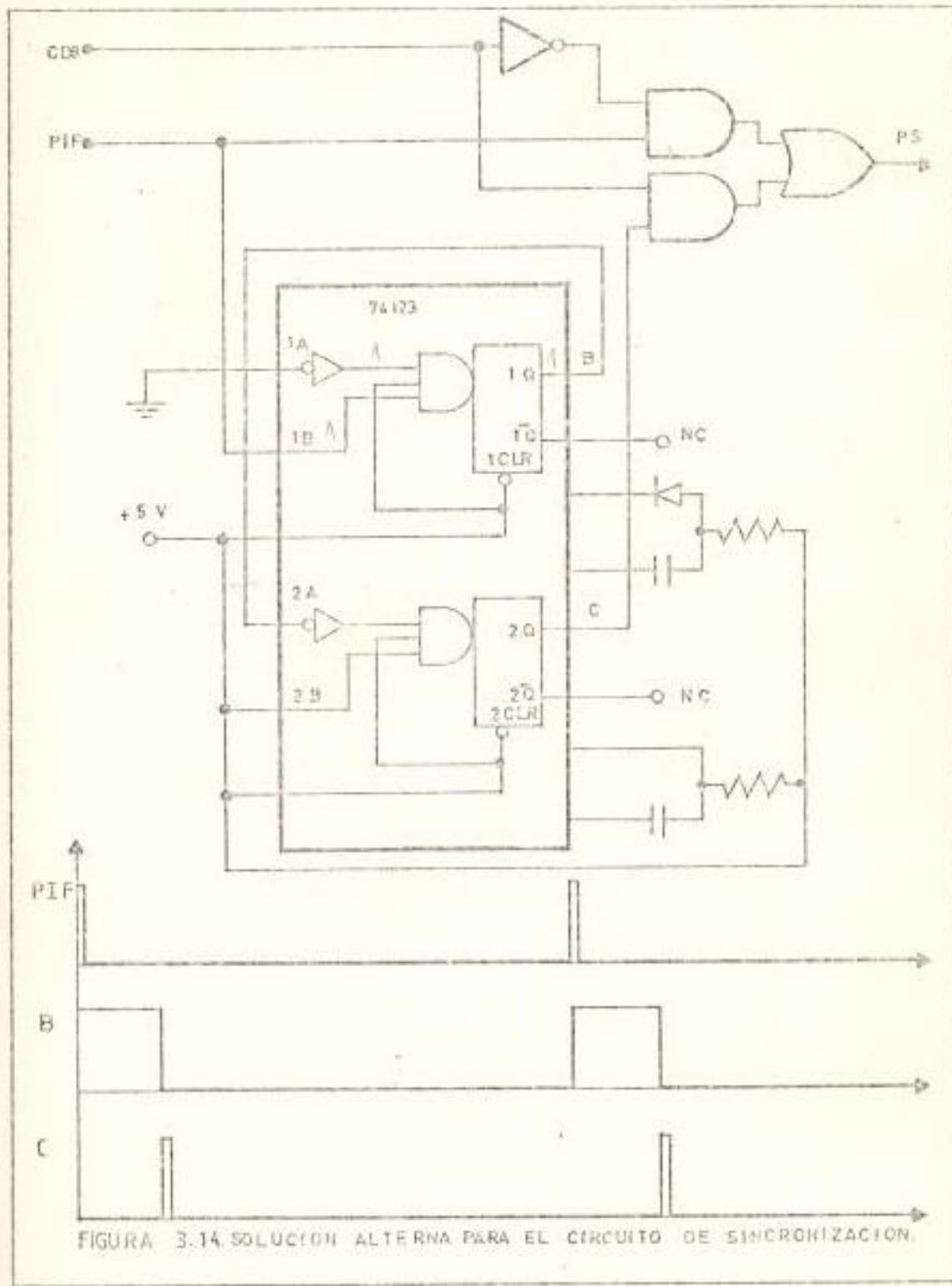


FIGURA 3.14. SOLUCION ALTRNA PARA EL CIRCUITO DE SINCRONIZACION.

En las pruebas experimentales realizadas sobre el -
circuito de disparo y secuencéo, se presentó una de
sincronización manifiesta en la secuencia de cebado
de los tiristores, para selecciones de ángulos de -
disparo alrededor de 60° .

3.4.5.2 Solución final para el circuito de generación de - los pulsos de sincronismo.

Previo al rediseño del circuito de generación de -
los pulsos de sincronismo, es indispensable reali -
zar un análisis de las causas que originaron la fa -
lla de sincronización mencionada en la sección ante -
rior.

Si se impone al circuito de disparo y secuencéo la
cantidad digital 10000000, en la colocación del án -
gulo de cebado, se ordena indirectamente un ángulo
de disparo de aproximadamente 60° . El nivel lógico
alto en el bit más significativo actúa sobre el cir -
cuito de generación de los pulsos de sincronismo -
realizando un desplazamiento de 2.77 ns en los pul -
sos de identificación de fase. Estos pulsos despla -
zados recolocan sincronizadamente al contador de a -
nillo de módulo seis a su estado inicial, de tal -

forma que, el circuito de secuenció seleccione el par de tiristores TH3 y TH4 en ese instante particular.

En la figura 3.15 se presenta un diagrama de tiempos de las señales de sincronismo, pulsos de disparo y la secuencia de cebado o selección de pares de tiristores junto con el estado de las salidas del contador de anillo de módulo seis para un ángulo de cebado de 60° eléctricos. Para el análisis del problema asumiremos los dos casos posibles que pueden presentarse:

a.- Si el pulso de sincronismo PSI ocurre antes que el pulso de disparo PD1 (Figura 3.15 (a)). En este caso el pulso de sincronismo PSI realiza una recolocación forzada del contador de anillo al estado inicial (0000), pero debido a que el pulso de disparo (PD6) realizó una recolocación automática previa, PSI actúa como un pulso de verificación del sincronismo. En el instante de ocurrencia del pulso de disparo PD1, el contador de anillo cambia al estado 0001 y por consiguiente el sistema funciona normalmente.

b.- Si el pulso de sincronismo PS1 ocurre después que el pulso de disparo PD1 (Figura 3.15 (b)). El pulso de disparo PD1 cambia el estado del contador de anillo a 0001, y casi en forma simultánea el pulso de sincronismo PS1 lo recoloca al estado inicial 0000. La recolocación mencionada produce la desincronización de la secuencia de selección normal de tiristores.

Se trató de sincronizar la secuencia de selección de pares de tiristores para la colocación digital correspondiente a 10000000. La solución obtenida es parcial, dado que obviamente el problema se presenta a una colocación diferente (10000001).

La solución final (Figura 3.16) fue aumentar redes desfasadoras, de tal forma que, los pulsos de identificación de fase sean desplazados por 30° , 60° y 90° eléctricos. Para la lógica de selección se utilizó el selector de datos de cuatro líneas a una línea (U28); con los dos bits más significativos de la colocación digital del ángulo de cebado (CD7, CD8) como ordenadores de paso de los pulsos de identificación de fase o sus versiones desplazadas.

3.5 AMPLIFICACION DE LAS SEÑALES DE CEBADO DE LOS TIRISTORES

Para la amplificación de las señales de disparo (STH1, STH2, STH3, STH4, STH5 y STH6) se utilizó el circuito amplificador de pulsos - mostrado en la figura 3.17. La característica principal del esquema utilizado es la capacidad de proporcionar pulsos de cebado con - señales de disparo extendidas y portadora de alta frecuencia, usando una circuitería relativamente simple y pequeños transformadores de salida.

Normalmente el aislamiento de las puertas de los tiristores se consigue utilizando transformadores de pulsos, con el objeto de que - los pulsos modulados por las señales de disparo sean transferidos - sin deformación ni reducción de nivel. La dificultad de conseguir transformadores de pulsos adecuados (con núcleos de ferrita) obligó a la utilización de transformadores con núcleo laminado y respuesta de frecuencia nominal de hasta 20 KHz. Las pruebas de aislamiento y respuesta de frecuencia realizadas con tales transformadores demostraron su utilidad para la aplicación presente.

La inserción de los transformadores en las puertas de los tiristores puede provocar un fenómeno particularmente perjudicial que puede producir la pérdida de control de la carga en algunos casos en - los que la impedancia entre la puerta y el cátodo del tiristor es - baja. Este fenómeno consiste en que el secundario del transforma -

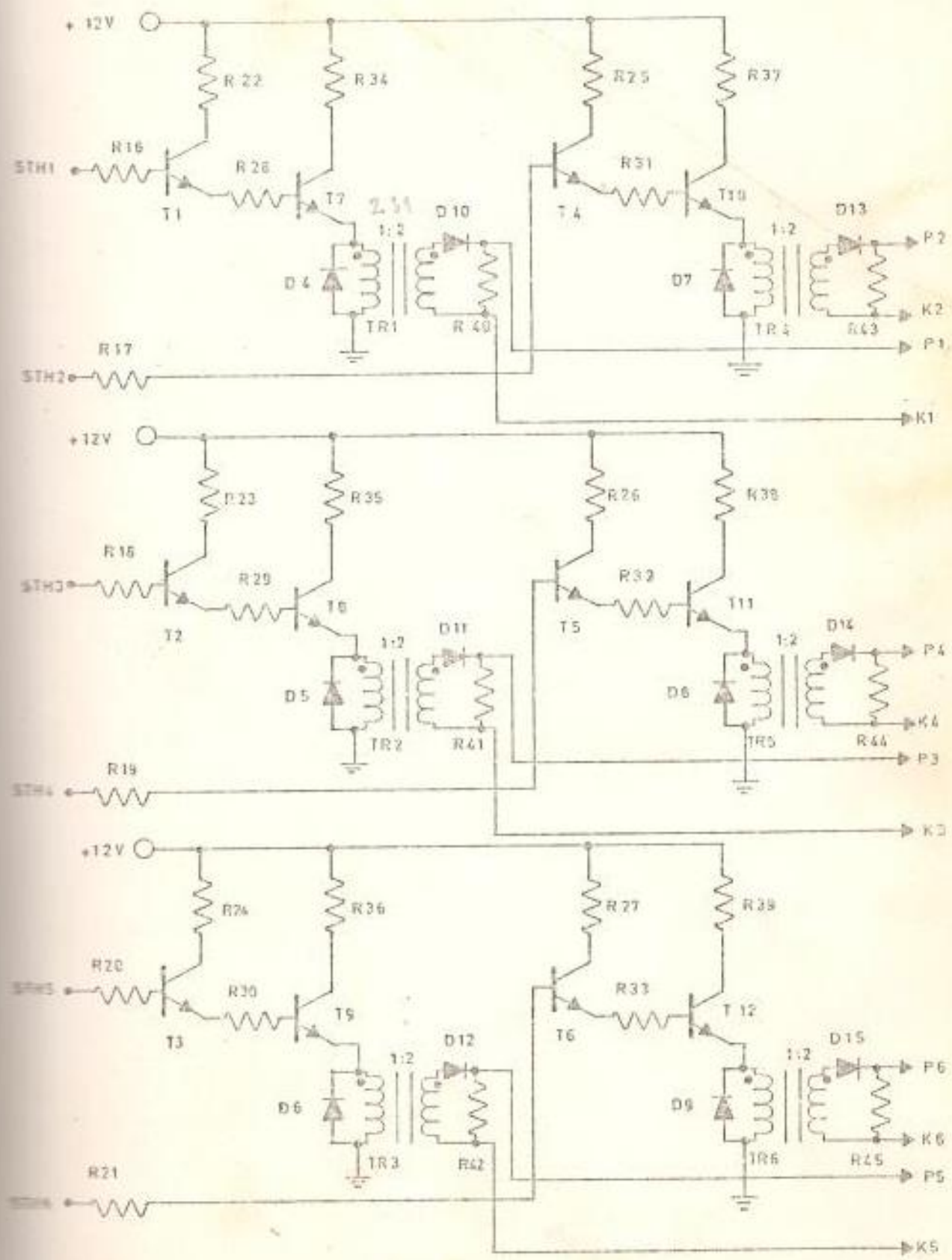


FIGURA 3.17 CIRCUITO AMPLIFICADOR DE PULSOS

dor de pulsos, cuando el tiristor conduce, puede derivar parte de la corriente principal (de ánodo a cátodo) produciendo la saturación del transformador o impulsos espúrios de extracorrente de apertura cuando cesa tal circulación de corriente, que puede producir en ambos casos, el recebado extemporáneo del tiristor (24).

El problema planteado fue solucionado con la introducción de los diodos de respuesta rápida (D10, D11, D12, D13, D14 y D15) en serie con las puertas de los seis tiristores de la unidad de fuerza (Figura 3.17). De esta forma se bloquea la circulación parásita de corriente a través de los transformadores.

Las resistencias R40, R41, R42, R43, R44 y R45 se adicionaron con el objeto de proporcionar un camino a la corriente de fuga inversa generada térmicamente en la unión PN (de puerta a cátodo) de los tiristores. Dado que la regeneración del SCR es función directa de la corriente de fuga térmica, la adición de las resistencias mencionadas hace a los tiristores menos sensibles a las variaciones de temperatura y dv/dt (7).

Los diodos D4, D5, D6, D7, D8 y D9 permiten el paso de la corriente de magnetización de los devanados primarios de los transformadores. De esta forma el voltaje a través de los devanados invierte su polaridad y permite que el flujo en el núcleo de los transformadores sea recolocado en el instante en que los transistores: T7, T8, T9,

T10, T11 y T12 conmutan al estado de corte.

Para el cálculo de las resistencias del circuito de amplificación y dado la similitud de las seis etapas nos referiremos a la etapa asociada con la señal de disparo STH1.

De las características de disparo de los tiristores proporcionado por el fabricante (10) se obtiene una corriente de disparo mínima de 25 mA. Con el propósito de asegurar el cebado de los tiristores se eligió una corriente de disparo de 50 mA; por consiguiente la corriente en el primario de los transformadores debe ser de 100 mA.

La resistencia de colector del transistor T7 se calculó mediante la asunción de un voltaje de 2.1 V en el primario del transformador (TR1). Este nivel de voltaje asegura la aplicación de 3.5 V a la puerta del tiristor TH1 (se ha tomado en cuenta la caída de voltaje de 0.7 V a través del diodo D10) y permite el disparo en la región de funcionamiento localizada fuera del área de disparos inciertos (10).

En base de los factores previstos la resistencia R34 es dada por la expresión:

$$R34 = \frac{V_{FA} - V_{CES}(T7) - V(TR1)}{I_C(T7)}$$

Siendo:

V_{FA} = Voltaje de alimentación (+ 12 V)

V_{CES} = Voltaje colector-emisor en saturación de T7 (0.2 V)

$V(TR1)$ = Voltaje en el primario del transformador T7 (2.1 V)

$I_C(T7)$ = Corriente de colector del transistor T7 (100 mA).

Con los valores previos la resistencia R34 es de 37Ω .

Asumiendo saturación en T1 y con la aproximación práctica de igualdad de sus corriente de colector y emisor se tiene:

$$R22 + R28 = \frac{V_{FA} - V_{CES}(T1) - V_{BE}(T7) - V(TR1)}{I_C(T1)}$$

Donde:

$V_{CES}(T1)$ = Voltaje colector-emisor en saturación de T1 (0.2 V)

$V_{BE}(T7)$ = Voltaje base-emisor de T7 (0.7 V)

$I_C(T1)$ = Corriente de colector del transistor T1 (2.5 mA)

La resistencia R28 cumple funciones de estabilización ante variaciones de la ganancia de corriente de T1 con la temperatura o variaciones propias de este parámetro entre transistores del mismo tipo. -
Se utilizó una relación de 20/1 entre las resistencias R22 y R28 -

$$(R22 = 20 \times R28).$$

Con los valores y relaciones establecidas se obtiene valores de resistencia de $3.6 \text{ K}\Omega$ y 180Ω , para R22 y R28 respectivamente.

El valor de R16, que asegura la saturación de T1, se cálculo a partir de la relación:

$$R16 = \frac{V_{OH} - V_{BE}(T1) - R28 \times I_C(T1) - V_{BE}(T7) - V(TRI)}{I_B(T1)}$$

Donde:

V_{OH} = Voltaje de nivel alto de la señal de disparo STH1 (4 V medido)

I_B = Corriente de base de T1 (83.3 mA)

La corriente de base de T1 se calculó a partir de la ganancia de corriente del mismo obtenida experimentalmente. Reemplazando valores en la relación anterior se obtiene un valor de 400Ω para R16.

La señal STH1 proviene de la salida de una puerta lógica AND (C.I - 7408) con capacidad de manejo de corriente de 800 uA en nivel alto. Este valor es superior a la corriente requerida por la entrada del amplificador de pulsos (83.3 uA); asegurándose la operación normal

bajo las peores condiciones de temperatura ambiental.

El amplificador de pulsos fue sometido a pruebas experimentales en base de los valores calculados, con el objeto de optimizar su operación.

La operación óptima del amplificador de pulsos se obtuvo usando los valores siguientes:

$$R16 = 150 \Omega, R22 = 3 \text{ K}\Omega, R28 = 100 \Omega, R34 = 100 \Omega.$$

3.6 LISTA DE MATERIALES

<u>Nº REQ.</u>	<u>DESCRIPCION</u>	<u>Nº CATALOGO</u>	<u>DESIGNACION</u>
4	Contador síncrono de <u>do</u> ble reloj y capacidad - de contéo de subida y - bajada	SN74193	U1, U2, U3, U4
4	Comparador de cuatro - bits	SN74S85	U5, U6, U7, U8
3	Cuatro puertas OR de - dos entradas	SN7432	U9, U21, U22
1	Dos flip-flop J-K con - disparo por borde nega- tivo y entradas de reco	SN74S112	U10

<u>Nº REQ.</u>	<u>DESCRIPCION</u>	<u>Nº CATALOGO</u>	<u>DESIGNACION</u>
	locación y borrado		
4	Temporizador	NE555	U11, U13, U14, U20,
4	Doble multivibrador mo- noestable con entrada de borrado	SN74123	U12, U25, U26, U27
1	Cuatro puertas NAND de dos entradas con dispa- ro Schmitt	SN74132	U15
1	Seis inversores con - disparo Schmitt	SN7414	U16 -
1	Decodificador de cua- tro a diez líneas - (BDC/dacimal)	SN7442A	U17
1	Contador de década	SN7490A	U18
1	Seis inversores	SN7404	U19
2	Cuatro puertas AND de dos entradas	SN7400	U23, U24 .
1	Doble selector de da- tos de cuatro líneas a una línea	SN74153	U28
3	Diodo de silicio, 160 mA, 200 PRV	1N3064	D1, D2, D3
6	Diodo de silicio, 200	ECC109	D4, D5, D6, D7

<u>Nº REQ.</u>	<u>DESCRIPCION</u>	<u>Nº CATALOGO</u>	<u>DESIGNACION</u>
	mA, 100PRV		D8, D9
6	Diodo de silicio de re- cuperación rápida 1A, 1400 PRV	SCG506	D10, D11, D12, D13, D14, D15
6	Transistor NPN de sili- cio	SCG108	T1, T2, T3, T4 T5, T6
6	Transistor NPN de sili- cio	HEP50011	T7, T8, T9, - T10, T11
6	Transformador: relación 1:2		TR1, TR2, TR3, TR4, TR5, TR6
2	Potenciómetro: 2.2 K Ω		POT1, POT2
3	Potenciómetro: 20 K Ω		POT3, POT4, - POT5
1	Resistencia: 1 K Ω , - 1/2 W		R7
2	Resistencia: 5 K Ω , - 1/2 W		R8, R9
2	Resistencia: 60 K Ω , 1/2 W		R10, R11
1	Resistencia: 220 K Ω , 1/2 W		R12
3	Resistencia: 6.7 K Ω , 1/2 W		R13, R14, R15
6	Resistencia: 150 Ω , -		R16, R17, R18

<u>Nº REQ.</u>	<u>DESCRIPCION</u>	<u>Nº CATALOGO</u>	<u>DESIGNACION</u>
	1/2 W		R19, R20, R21
6	Resistencia: 3 K Ω , -		R22, R23, R24,
	1/2 W		R25, R26, R27
6	Resistencia: 100 Ω , -		R28, R29, R30,
	1/2 W		R31, R32, R33
6	Resistencia: 100 Ω , -		R34, R35, R36,
	2 W		R37, R38, R39
6	Resistencia: 1 K Ω , -		R40, R41, R42,
	1/2 W		R43, R44, R45
5	Condensador de cerámica: 0.01 uF		C7, C11, C12, - C15, C16
2	Condensador de cerámica 10 pF		C9, C10
2	Condensador de mica: 0.1 uF		C13, C14
3	Condensador electrolítico 1 uF		C17, C19, C21
4	Condensador de poliestere 0.01 uF		C8, C18, C20, C22
9	Condensador de tantalio 0.1 uF		C23, C24, C25, C26, C27, C28, C29, C30, C31

3.7 CONSTRUCCION

3.7.1 Unidad de disparo y secuenció

Trabajando con circuitos integrados hay básicamente dos tipos de construcción: circuito impreso y técnica de alambre enroscado (Wire-wrap).

La técnica de alambre enroscado fue utilizada en la construcción de la unidad de disparo y secuenció debido a que ofrece ventajas útiles para nuestros propósitos, tales como:

- a.- Facilita las modificaciones de diseño normalmente requeridas durante la construcción del prototipo.
- b.- Requiere herramientas simples y baratas.
- c.- Los soportes para los circuitos integrados pueden ser colocados juntos, obteniéndose placas con densidades elevadas.

La técnica usada requiere la utilización de placas con perforaciones (huecos) cuyo espaciamiento permite la inserción de soportes para alambre enroscado.

Las conexiones se realizan en las patillas de los soportes , enroscando un alambre delgado (30 AWG) en las mismas. El otro extremo del alambre es enroscado a la patilla del mismo u otro soporte según los requerimientos. Este sistema de co n e x i o n a d o permite la realización de múltiples conexiones a u n a sola patilla del soporte.

El conexionado de componentes tales como: resistencias, condensadores y diodos se realizó a través de patillas individuales para alambre enroscado, de tal forma que los componen tes indicados son efectivamente soldados en la superficie de la placa donde van montados los elementos y las conexiones de alambre enroscado realizadas normalmente. La inserción de las patillas individuales es efectuada a presión, con lo que se garantiza la inmovilidad de los elementos electróni cos.

La forma cuadrada de las patillas para alambre enroscado tan to de los soportes para los circuitos integrados como de los elementos discretos (resistencias, diodos etc.) asegura una óptima conexión. Durante las pruebas de funcionamiento no se detectó ninguna falla debido a malas conexiones.

Las señales de entrada y salida de la unidad de disparo y se cuencéo se soldaron a conectadores con patillas para alambre

enroscado. De esta forma es posible la rápida remoción de la placa sin realizar desconexiones molestas.

Con el propósito de remover ruidos en los terminales de alimentación desde + 5 V a tierra, se colocaron condensadores de paso (C23, C24, C25, C26, C27, C28, C29, C30 y C31), distribuidos a través de la placa que contiene la unidad de disparo y secuencío. La inductancia y resistencia de los alambres desde la fuente de potencia, generan ruido eléctrico (picos transientes) si estos condensadores no son utilizados.

En la figura 3.18 se muestra la disposición de los elementos sobre la tarjeta perforada, mientras que en la figura 3.19 se presenta la parte posterior de la tarjeta, donde se aprecian las interconexiones realizadas.

3.7.2 Amplificador de pulsos

Dada la relativamente baja densidad de elementos y número de conexiones necesarias, el circuito amplificador de pulsos fue montado sobre un circuito impreso.

La técnica utilizada para la construcción del circuito impreso consiste en pegar directamente sobre la placa revestida de cobre cintas adhesivas en la configuración deseada. Lue-

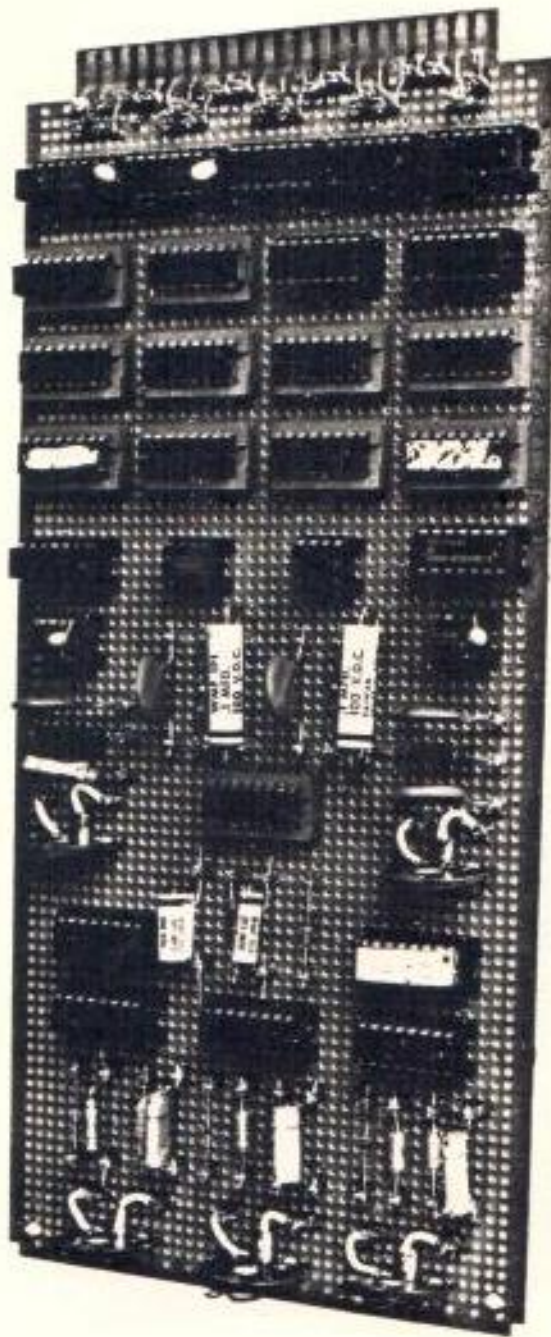


FIGURA 3.18 VISTA FRONTAL DE LA UNIDAD DE DISPARO Y SECUENCIO

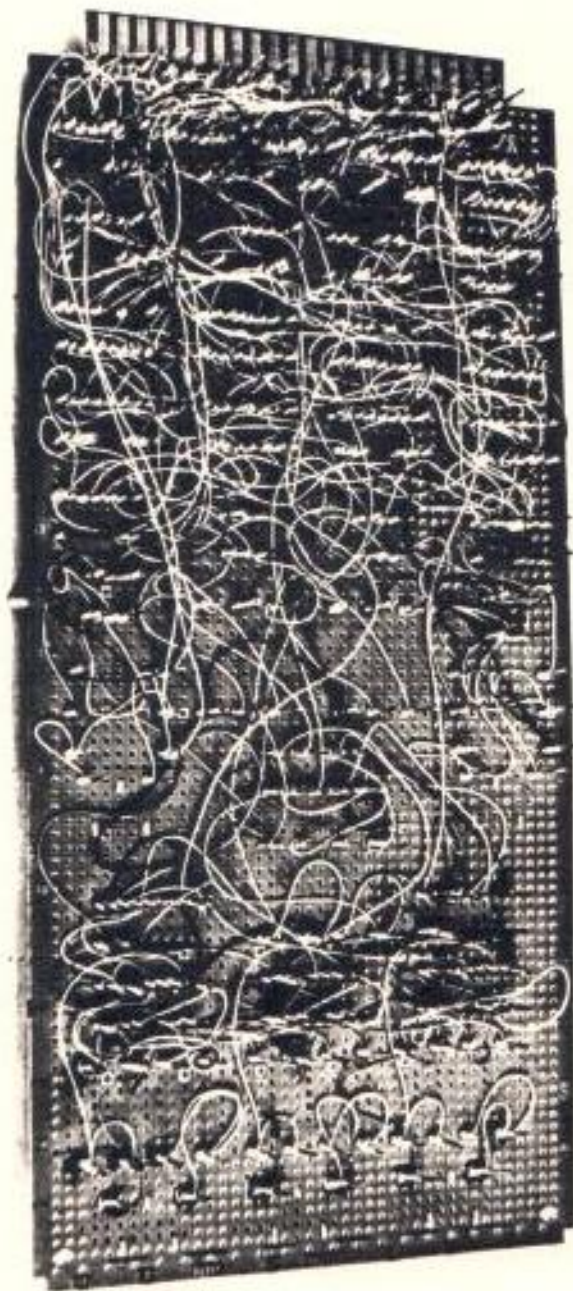


FIGURA 3.19 VISTA POSTERIOR DE LA UNIDAD DE DISPARO
Y SECUENCIO

go la placa es tratada introduciendola en una solución de -
cloruro férrico para eliminar el cobre no recubierto por las
cintas.

En las figuras 3.20 y 3.21, se muestran las vistas frontal y
posterior del circuito amplificador de pulsos.

3.8 PRUEBAS

La verdadera capacidad de la unidad de disparo y secuencéo debe ser
medida en condiciones de operación transiente, esto es, con la se-
ñal digital de colocación del ángulo de cebado sometida a variacio-
nes bruscas (tipo escalón) y con la unidad de fuerza operando con -
cargas generales, bajo el régimen de conducción discontinua. La u-
nidad de disparo y secuencéo fue sometida a estas condiciones de o-
peración críticas, demostrando una conducta óptima bajo condiciones
de funcionamiento dinámico. Los resultados de las pruebas realiza-
das bajo las condiciones anotadas es presentado en el capítulo VIII
por consiguiente a continuación se muestran una serie de oscilogra-
mas de las señales asociadas con la unidad de disparo y secuencéo -
para condiciones de operación de estado estable (ángulo de cebado -
fijo).

En las figuras 3.22, 3.23 y 3.24 se muestran los oscilogramas de -
las diferentes señales del circuito de disparo, para un ángulo de -

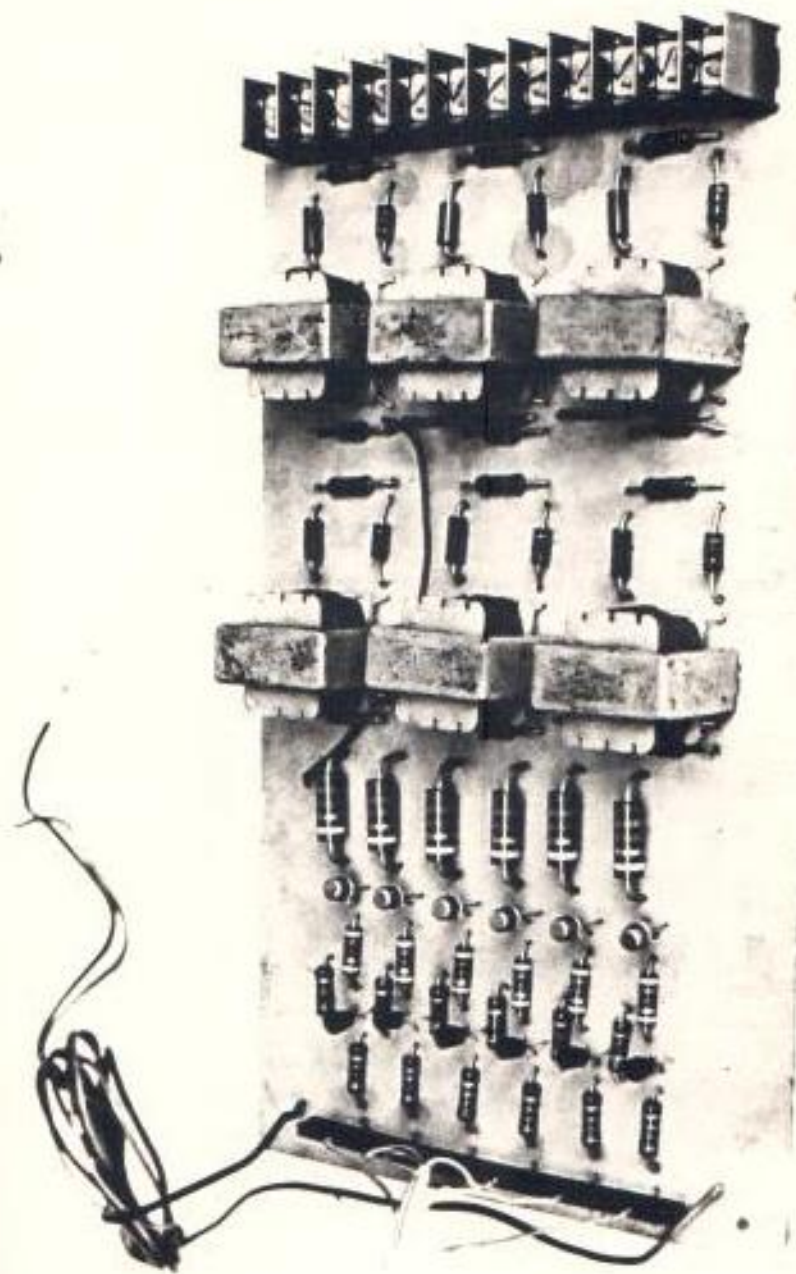


FIGURA 3.20 VISTA FRONTAL DEL CIRCUITO AMPLIFICADOR-
DE PULSOS

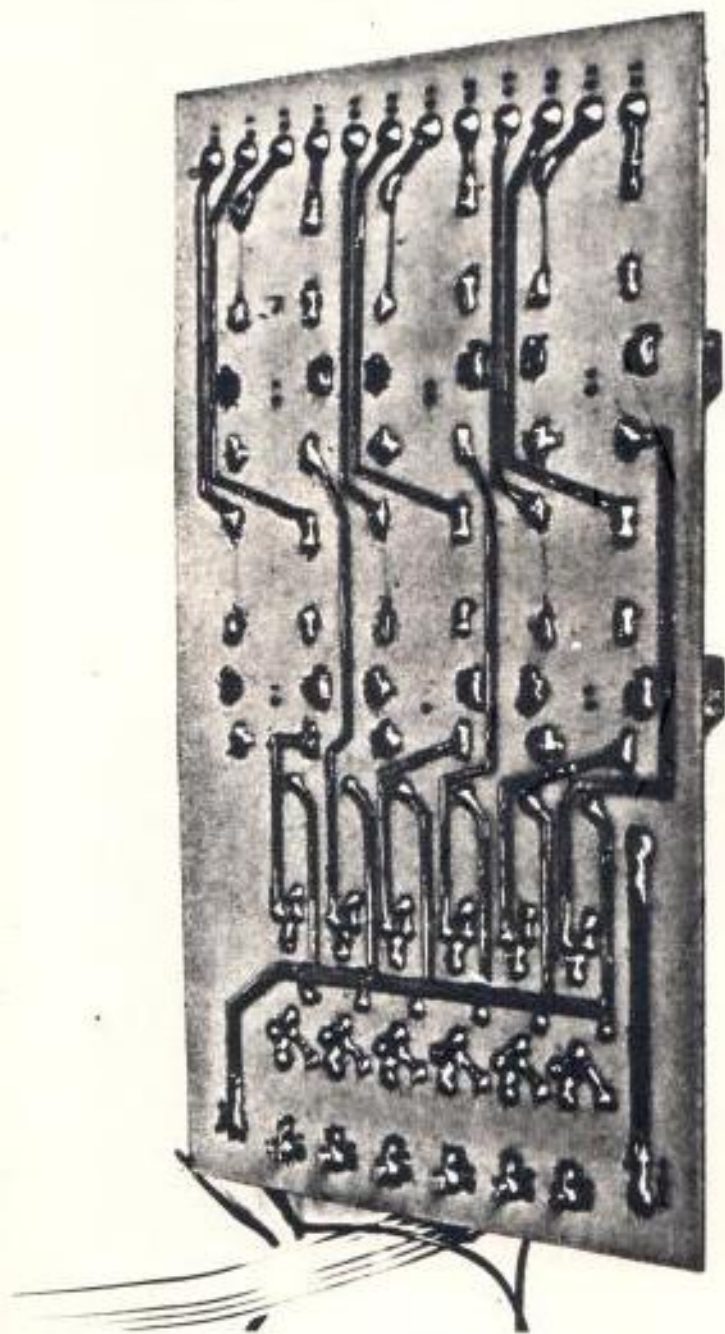
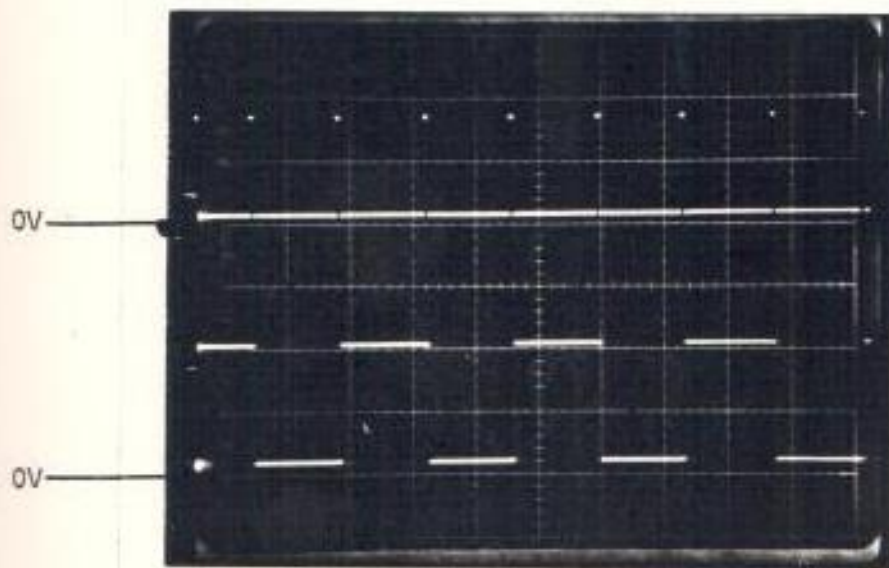
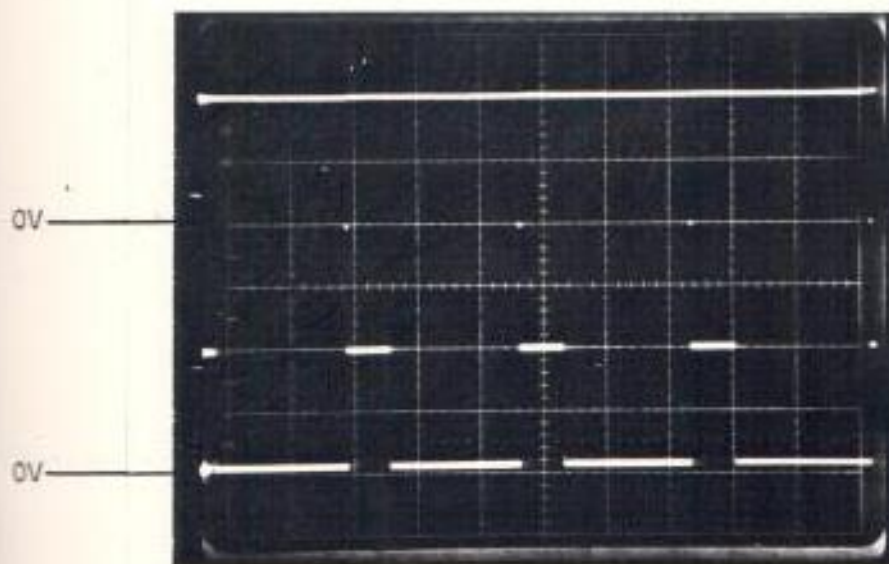


FIGURA 3.21 VISTA POSTERIOR DEL CIRCUITO AMPLIFICA-
DOR DE PULSOS



TRAZA SUPERIOR: SEÑAL PVC (2 V/DIV Y 2 ms/DIV)

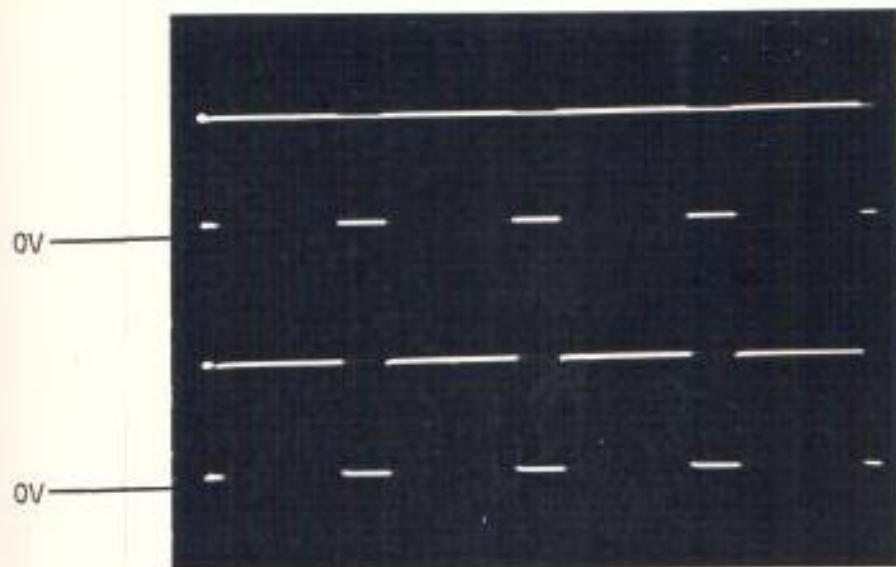
TRAZA INFERIOR: SEÑAL SPI (2 V/DIV Y 2 ms/DIV)



TRAZA SUPERIOR: SEÑAL SAI (2 V/DIV Y 2 ms/DIV)

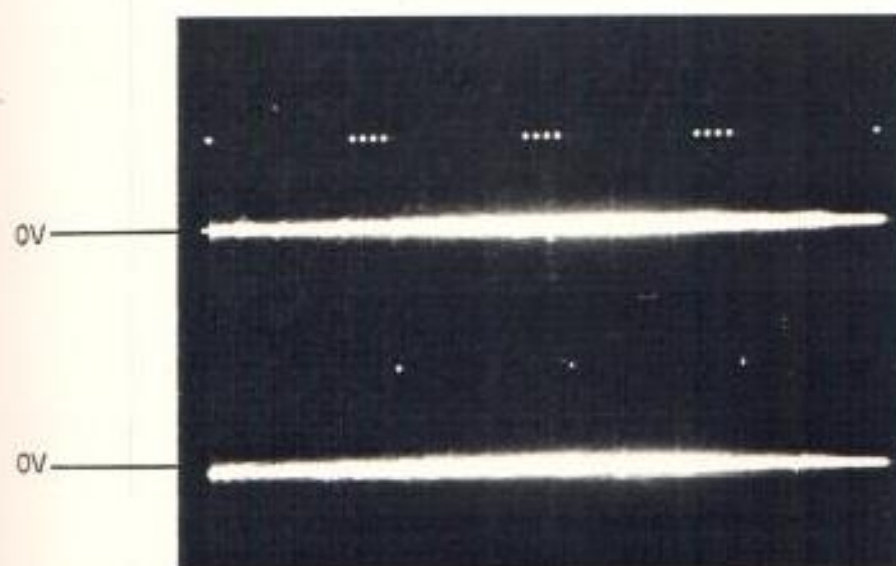
TRAZA INFERIOR: SEÑAL STTI (2 V/DIV Y 2 ms/DIV)

FIGURA 3.22 OSCILOGRAMAS DE LAS SEÑALES ASOCIADAS CON EL CIRCUITO DE DISPARO PARA UN ANGULO DE CEBADO DE 30°



TRAZA SUPERIOR: SEÑAL SCI (2 V/DIV Y 2 ms/DIV)

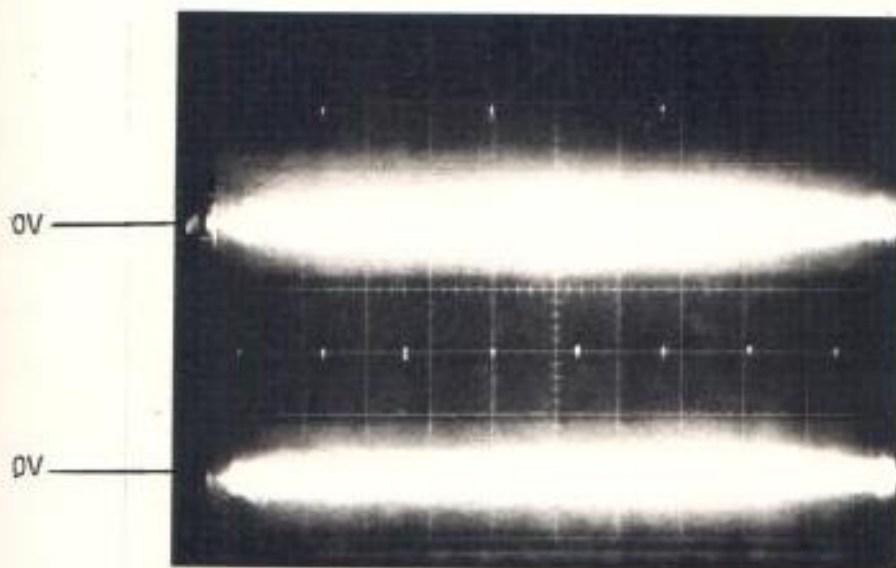
TRAZA INFERIOR: SEÑAL SBI (2 V/DIV Y 2 ms/DIV)



TRAZA SUPERIOR: SEÑAL A=B (2 V/DIV Y 2 ms/DIV)

TRAZA INFERIOR: SEÑAL SDI (2 V/DIV Y 2 ms/DIV)

FIGURA 3.23 OSCILOGRAMAS DE LAS SEÑALES ASOCIADAS CON EL CIRCUITO DE DISPARO PARA UN ANGULO DE CEBADO DE 30°



TRAZA SUPERIOR: SEÑAL SDII (2 V/DIV Y 2 ms/DIV)

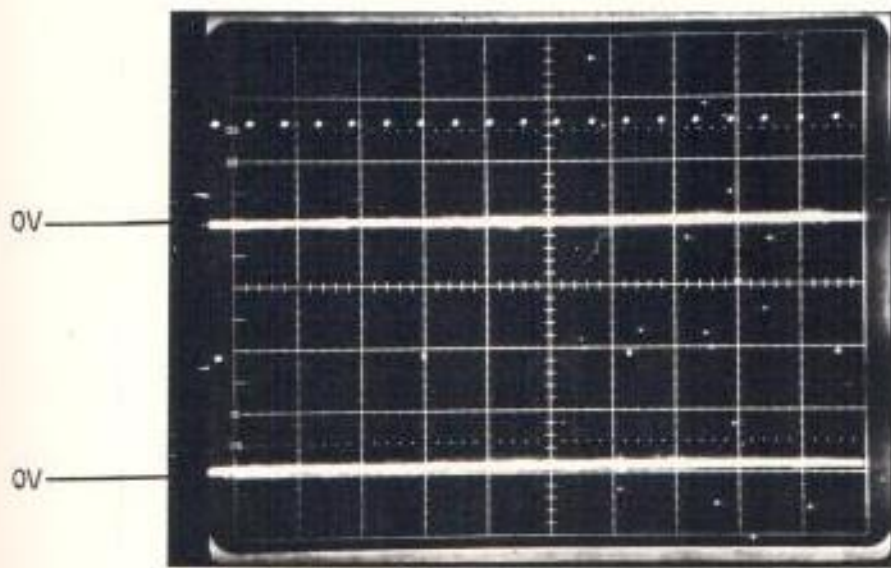
TRAZA INFERIOR: SEÑAL PD (2 V/DIV Y 2 ms/DIV)

FIGURA 3.24 OSCILOGRAMA DE LAS SEÑALES ASOCIADAS CON EL CIRCUITO DE DISPARO PARA UN ANGULO DE CEBADO DE 30°

cebado de 30° , correspondiente a una colocación digital del ángulo de disparo de 01000000 (bit de la izquierda el más significativo). Estos oscilogramas han sido preparados en una secuencia sincronizada con respecto a la señal de pulsos de voltaje cero. Las formas y conducta de las señales mostradas fueron previstas y determinadas teóricamente, por consiguiente, un análisis adicional sería una repetición innecesaria.

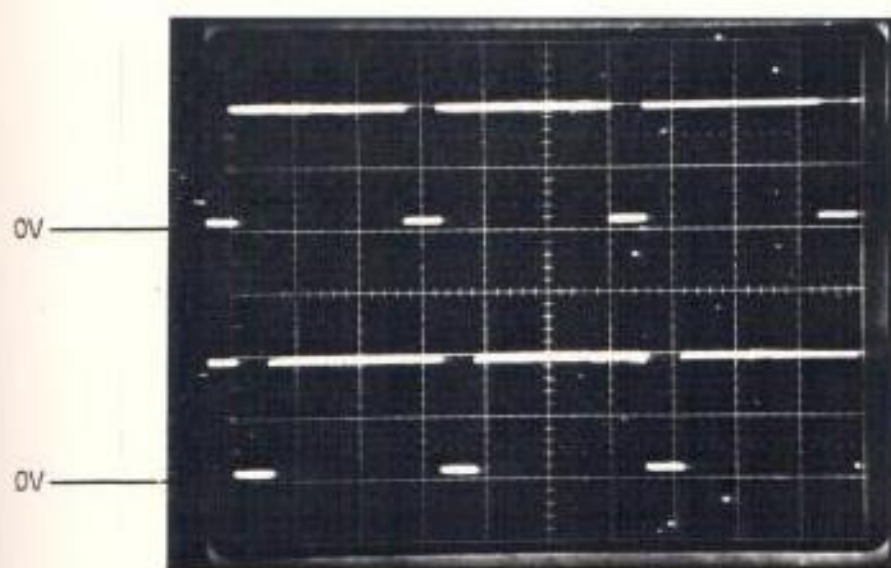
En las figuras 3.25, 3.26, 3.27 y 3.28 se presentan los oscilogramas de las señales de mayor importancia del circuito de secuencéo para un ángulo de cebado de 20° , correspondiente a la colocación digital del ángulo de disparo deseado de: 00101011. Estos oscilogramas han sido preparados en una secuencia sincronizada con relación a las señales de pulsos de voltaje cero y pulsos de sincronismo. Esta última es realmente la señal de pulsos de identificación de fase, puesto que para el ángulo de 20° el circuito de sincronismo la toma directamente como la señal de sincronización de la secuencia de cebado de los tiristores. Las señales: STH1, STH2, STH3, STH4, STH5 y STH6, muestran el efecto de la adición de la alta frecuencia a las señales de disparo; en tanto que la amplificación de las señales STH5 y STH6 (Figura 3.28) no es aparente, dado que sus magnitudes oscilan entre valores máximos positivos y negativos de 0.8 V. Estas señales fueron tomadas en el primario de los transformadores usados en los amplificadores de pulsos (Figura 3.17), lo cual explica por sí mismo esta conducta particular (los tiristores TH5 y TH6

conducen inmediatamente después de aplicada la señal de puerta).



TRAZA SUPERIOR: SEÑAL PVC (2 V/DIV Y 5 ms/DIV)

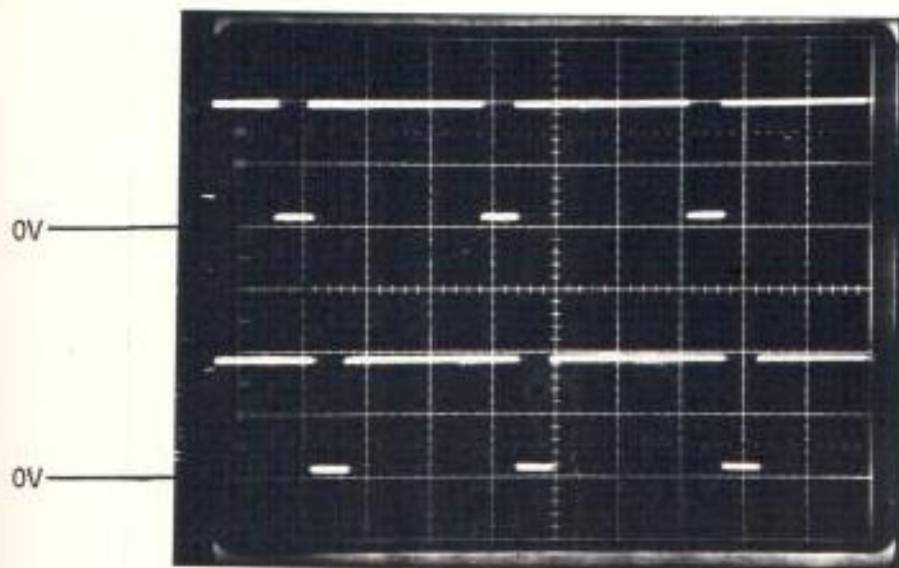
TRAZA INFERIOR: SEÑAL PS (2 V/DIV Y 5 ms/DIV)



TRAZA SUPERIOR: SEÑAL X1 (2 V/DIV Y 5 ms/DIV)

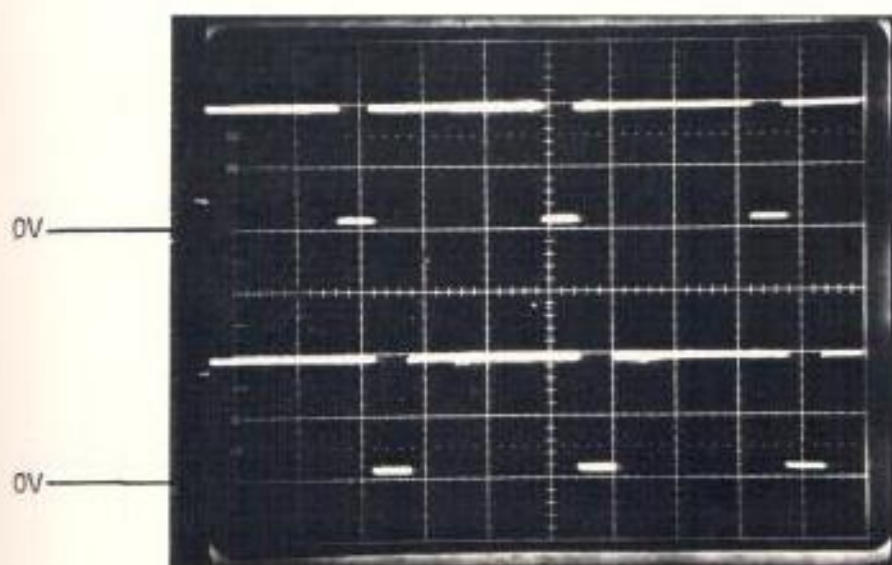
TRAZA INFERIOR: SEÑAL X2 (2 V/DIV Y 5 ms/DIV)

FIGURA 3.25 OSCILOGRAMAS DE LAS SEÑALES ASOCIADAS CON EL CIRCUITO DE SECUENCIO PARA UN ANGULO DE CEBADO DE 20°



TRAZA SUPERIOR: SEÑAL X3 (2 V/DIV Y 5 ms/DIV)

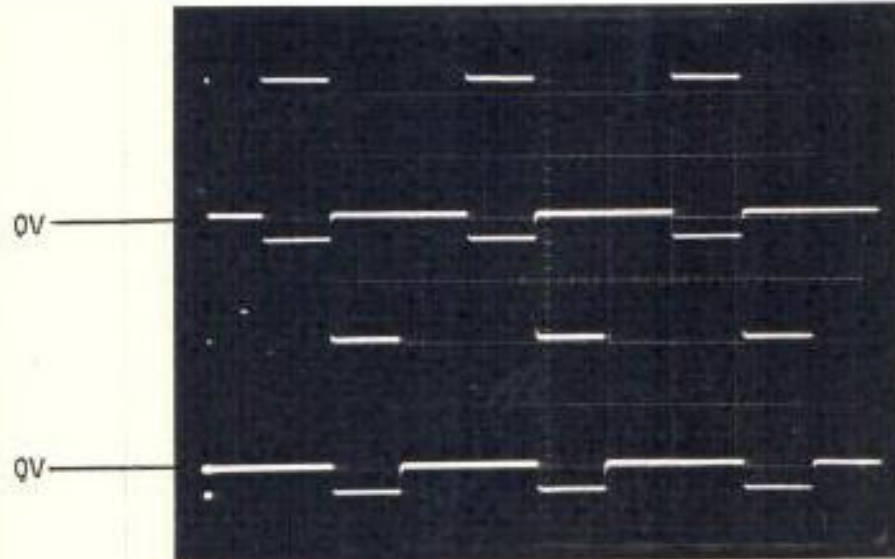
TRAZA INFERIOR: SEÑAL X4 (2 V/DIV Y 5 ms/DIV)



TRAZA SUPERIOR: SEÑAL X5 (2 V/DIV Y 5 ms/DIV)

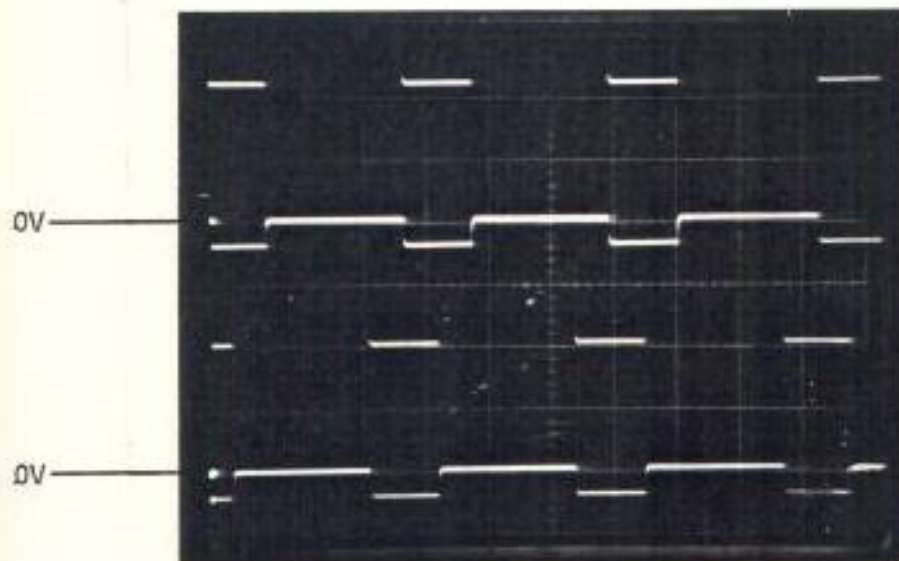
TRAZA INFERIOR: SEÑAL X6 (2 V/DIV Y 5 ms/DIV)

FIGURA 3.26 OSCILOGRAMAS DE LAS SEÑALES ASOCIADAS CON EL CIRCUITO DE SECUENCIO PARA UN ANGULO DE CEBADO DE 20°



TRAZA SUPERIOR: SEÑAL STH1 (2 V/DIV Y 5 ms/DIV)

TRAZA INFERIOR: SEÑAL STH2 (2 V/DIV Y 5 ms/DIV)

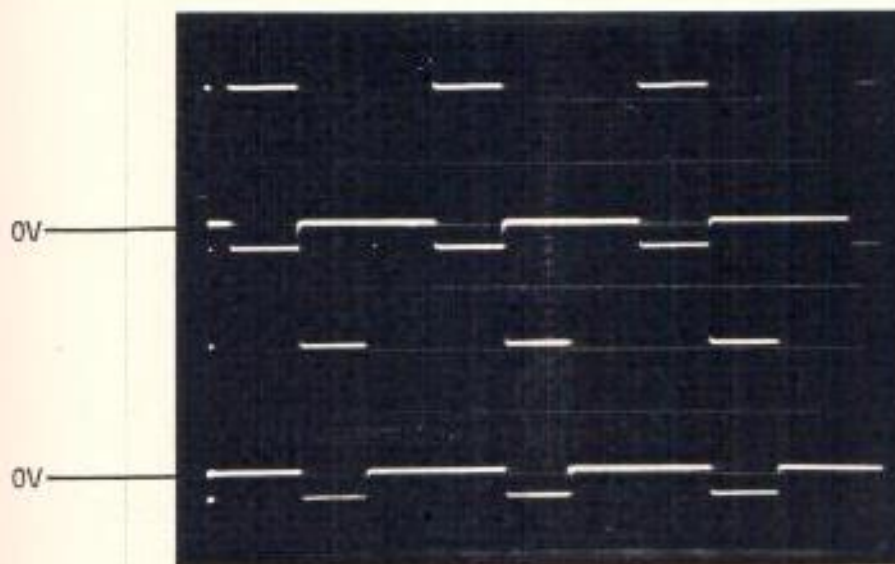


TRAZA SUPERIOR: SEÑAL STH3 (2 V/DIV Y 5 ms/DIV)

TRAZA INFERIOR: SEÑAL STH4 (2 V/DIV Y 5 ms/DIV)

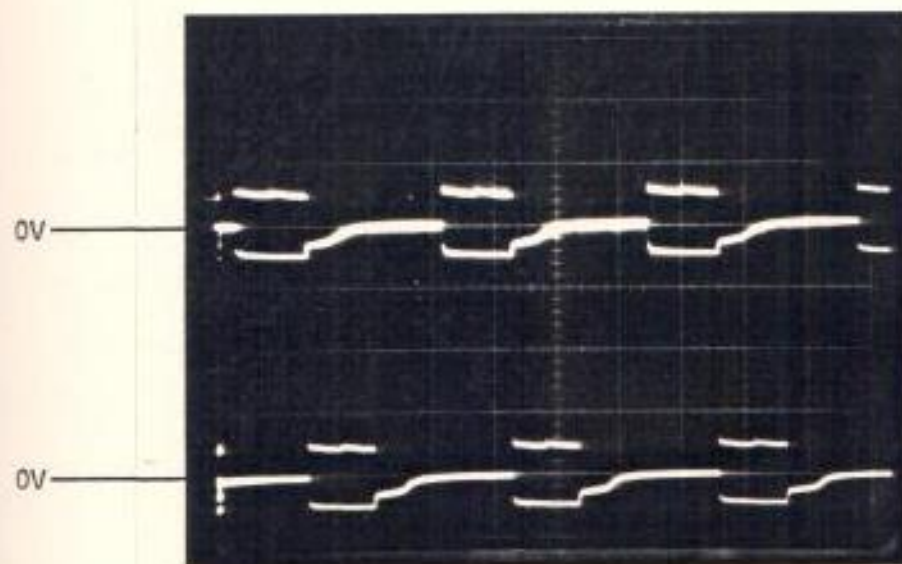
FIGURA 3.27

OSCILOGRAMAS DE LAS SEÑALES ASOCIADAS CON EL CIRCUITO DE SECUENCIO PARA UN ANGULO DE CEBADO DE 20°



TRAZA SUPERIOR: SEÑAL STH5 (2 V/DIV Y 5 ms/DIV)

TRAZA INFERIOR: SEÑAL STH6 (2 V/DIV Y 5 ms/DIV)



TRAZA SUPERIOR: SEÑAL STH5 AMPLIFICADA (2 V/DIV Y 5 ms/DIV)

TRAZA INFERIOR: SEÑAL STH6 AMPLIFICADA (2 V/DIV Y 5 ms/DIV)

FIGURA 3.28 OSCILOGRAMAS DE LAS SEÑALES ASOCIADAS CON EL CIRCUITO DE SECUENCIO Y AMPLIFICADOR DE PULSOS PARA UN ANGULO DE CEBADO DE 20°

CAPITULO IV

DETECTOR TRIFASICO DE VOLTAJE CERO

4.1 INTRODUCCION

El detector trifásico de voltaje cero realiza dos funciones bien diferenciadas: (a) genera los pulsos de voltaje cero, que son utilizados por el circuito de disparo, como indicadores de referencia temporal en la determinación del ángulo de cebado, (b) proporciona los pulsos de identificación de fase, a partir de los cuales se genera los pulsos de sincronismo. Adicionalmente los pulsos de identificación de fase permiten que el sistema sea insensible a la secuencia de fase de la fuente trifásica de alimentación.

En sistemas análogos convencionales el detector trifásico de voltaje cero es diseñado en base de transformadores de filamento (20). - En el diseño presentado se prefirió el uso de optoaisladores, obteniéndose ventajas tales como: costo, volumen y simplicidad.

Los optoaisladores eliminan la necesidad del filtro pasa bajos requerido en detectores comunes para la eliminación de ruidos espúrios en el cruce cero producidos por los transientes generados durante la conmutación de los tiristores. Además, presentan características óptimas de aislamiento de voltaje y mucho menos acoplamiento

to capacitivo con respecto al circuito con transformadores.

En este capítulo se presentan los criterios de diseño y cálculos consecuentes, así como la técnica utilizada en la construcción y las pruebas experimentales efectuadas sobre el circuito de detección.

4.2 REQUERIMIENTOS

Los requerimientos impuestos al detector trifásico de voltaje cero guardan íntima relación con los criterios seguidos en el diseño de la unidad de disparo y secuencé. Por consiguiente a continuación se detalla las características básicas que deben reunir las señales de voltaje cero e identificación de fase, obtenidas a partir del análisis planteado en el capítulo III.

4.2.1 Pulsos de voltaje cero

Las especificaciones para esta señal son:

- 1.- Estos pulsos deben ser generados cada vez que los voltajes línea-línea de la red trifásica de alimentación - (V_{AB} , V_{BC} , V_{CA}) pasan por cero voltios.
- 2.- Los bordes de bajada de los pulsos deben ocurrir en el

Instante de paso por cero de los voltajes línea-línea.

- 3.- Debido a que la detección de los cruces por cero de los voltajes línea-línea, presupone un acoplamiento entre la red de alimentación (alto voltaje) y la circuitería electrónica de control, se debe proporcionar un medio de aislamiento adecuado en la interfase mencionada.
- 4.- Los niveles de voltaje asociados con los pulsos de voltaje cero deben ser compatibles con lógica TTL.

4.2.2 Pulsos de Identificación de fase

Las especificaciones para esta señal son:

- 1.- Estos pulsos deben ser generados cada vez que el voltaje línea-línea V_{AB} pasa por cero voltios e inmediatamente después empieza a tomar valores positivos. Así, estos pulsos ocurren a una frecuencia de 60 Hz.
- 2.- El ancho de los pulsos generados debe ser compatible con las especificaciones requeridas por la lógica de re-colocación forzada del circuito de secuencío (20 μ s).

Las especificaciones (3) y (4) Impuestas a los pulsos de vol

taje cero son aplicadas en igual forma. Adicionalmente, en la obtención de los pulsos de identificación de fase debe considerarse el caso de cambios en la secuencia de fase de la alimentación trifásica. Puesto que es de interés práctico que estos cambios no produzcan la desincronización de la secuencia de cebado de los tiristores.

4.3 DISEÑO DEL DETECTOR TRIFÁSICO DE VOLTAJE CERO

4.3.1 Descripción general y diagrama de bloques

En la figura 4.1 se presenta el diagrama de bloques del detector trifásico de voltaje cero, diseñado de acuerdo a las especificaciones planteadas en la sección anterior.

El detector de voltaje cero está constituido por tres secciones similares mostradas en líneas de trazos. Cada una de estas secciones obtiene la información requerida del voltaje línea-línea respectivo mediante los sensores (A-B, B-C, C-A) realizados en base de acopladores ópticos (optoaisladores).

Así por ejemplo, el sensor (A-B) actúa sobre el voltaje V_{AB} y proporciona las señales SC1 y SC2 (Figura 4.2). Estas dos señales presentan transiciones centradas alrededor de los cruces de voltaje cero de V_{AB} . Estas transiciones son apro-

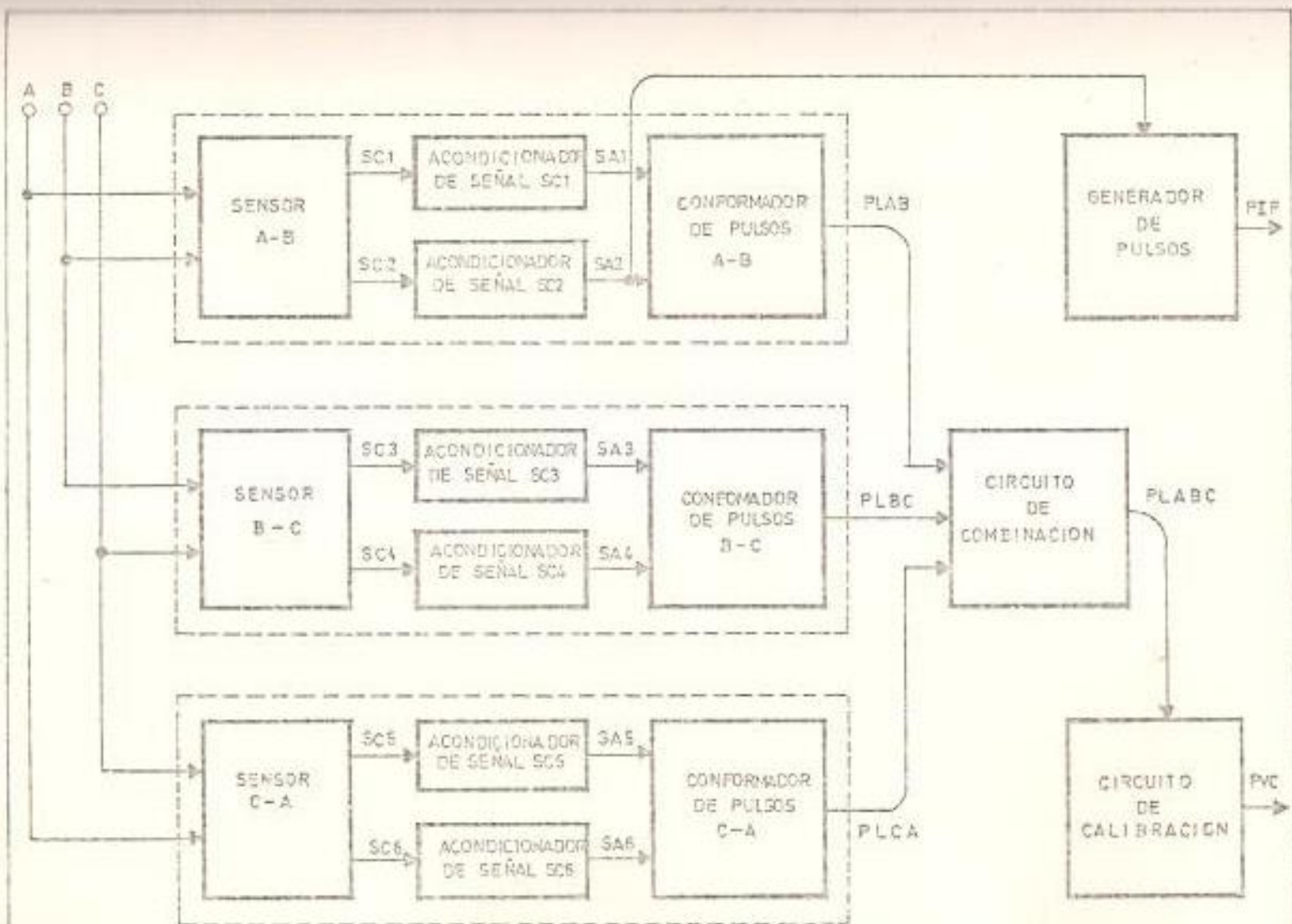


FIGURA 4.1, DIAGRAMA DE SEÑALES DEL DETECTOR TRIFASICO DE VOLTAJE CERO.

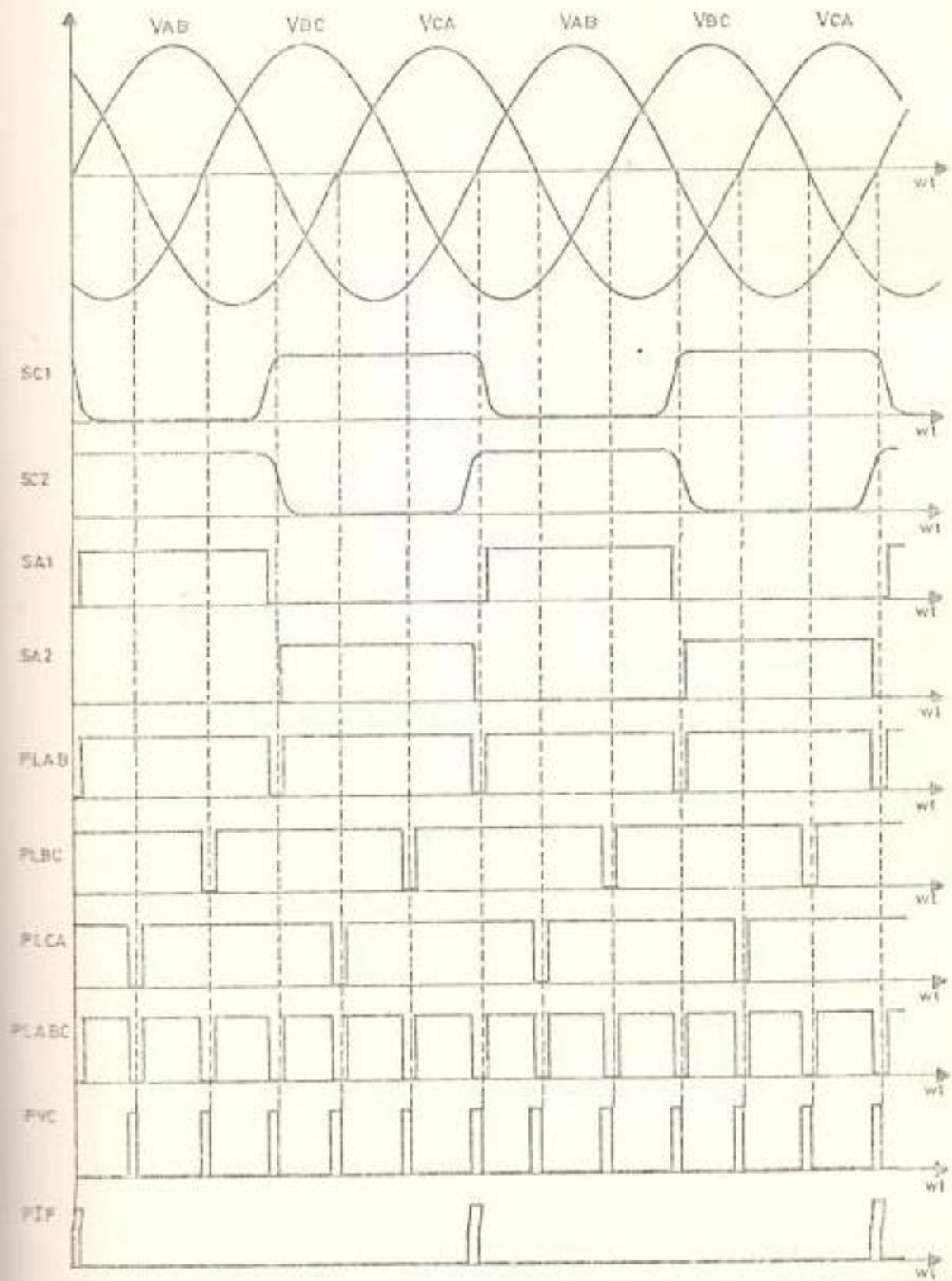


FIGURA 4.2. DIAGRAMA DE TIEMPOS DE LAS SEÑALES ASOCIADAS CON EL DETECTOR TRIFÁSICO DE VOLTAJE CERO.

vechadas por los acondicionadores de señal para producir las señales SA1 y SA2 con tiempos de subida y bajada relativamente bajos. Las señales SA1 y SA2 definen un intervalo centrado en los cruces por cero de V_{AB} , en el cual, ambas toman valores de cero voltios. Esta condición permite al conformador de pulsos (A-B) generar la señal PLAB que va a cero voltios cada vez que SA1 y SA2 son simultáneamente iguales a cero.

El circuito de combinación actúa sobre las señales: PLAB, PLBC y PLCA y proporciona la señal PLABC que es una combinación de las tres. Finalmente el circuito de calibración genera los pulsos de voltaje cero (PVC). Los bordes de subida de la señal PVC coinciden con los de bajada de la señal PLABC, en tanto que los bordes de bajada de la señal PVC pueden ser calibrados hasta que coincidan con los cruces de voltaje cero de V_{AB} (Figura 4.2).

Los pulsos de identificación de fase (PIF) son obtenidos a partir de la señal SA2. El generador de pulsos actúa sobre el borde de bajada de SA2 y genera un pulso cuyo ancho es regulado a 20 μ s.

El esquema de generación de los pulsos de identificación de fase permite inferir que no se produce la desincronización

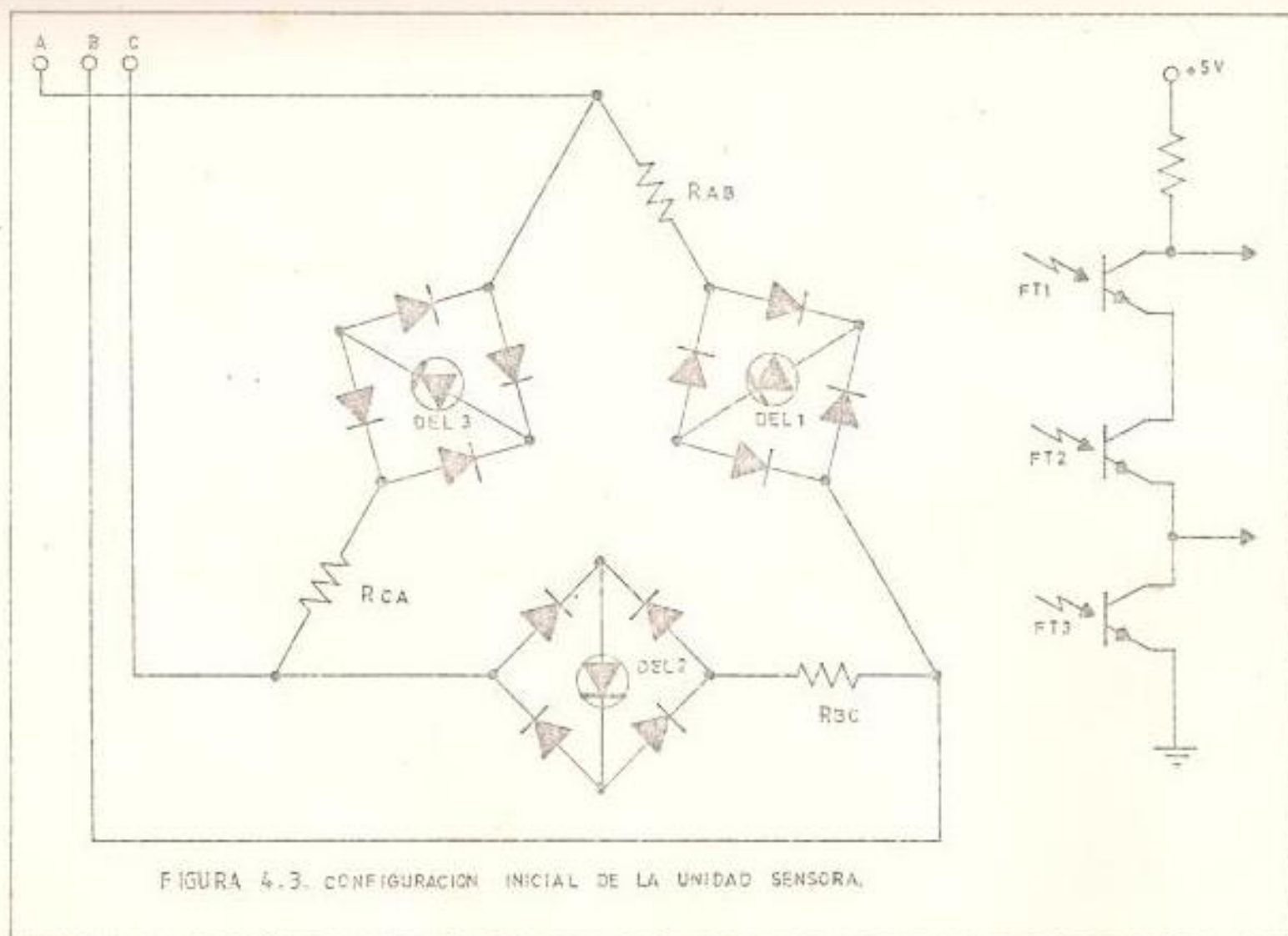
del cebado si dos líneas de alimentación son intercambiadas (referirse a la figura 3.1). La desincronización se produce si se intercambian dos líneas cualesquiera del circuito de detección, lo cual implica falla de conexión y no molestias por cambio de secuencia.

4.3.2 Unidad sensora

La unidad sensora es la parte del sistema de detección de voltaje cero encargada de acoplarse a la red trifásica de alimentación con el objeto de recoger la información necesaria para la generación posterior de los pulsos de identificación de fase y los pulsos de voltaje cero. En forma simultánea, la unidad sensora debe proporcionar un aislamiento adecuado a la circuitería electrónica de control de la sección de potencia. Eliminandose de esta forma los consabidos lazos de masa.

4.3.2.1 Configuración de la unidad sensora

El diseño inicial del circuito detector de voltaje cero se basó en la utilización de la unidad sensora mostrada en la figura 4.3, en base del esquema del detector trifásico dado en la referencia (21), debido a su extremada sencillez. Las pruebas experimen



tales realizadas permitieron observar detecciones - falsas centradas alrededor de los cruces por cero - de los voltajes trifásicos. Ocasionando la desincronización completa del circuito de disparo y secuencia.

Este hecho obligó al cambio de la configuración de la unidad sensora por el esquema mostrado en la figura 4.4. Este esquema sensor utiliza dos diodos e misores de luz conectados "espalda con espalda", en cada una de las ramas de la conexión delta. El hecho de que siempre hay un led de cada par conduciendo todo el tiempo (excepto en los cruces por cero - de los voltajes línea-línea), hace la detección innuma a los transientes de líneas.

Las pruebas experimentales realizadas con la nueva configuración arrojaron una mejora significativa, - no obstante, las detecciones falsas se presentaban de manera ocasional y en forma aleatoria. Esto condujo a un replanteamiento del problema.

Cabe indicar en este punto, que los cálculos para - el circuito detector de voltaje cero fueron hechos en base de los voltajes línea-línea secundarios del

transformador utilizado en la unidad de fuerza, -
Las mediciones experimentales demostraron que en
el lado primario del transformador los transientes
eran menos notables, por consiguiente se hicieron -
nuevos cálculos con el objeto de acoplar el circui-
to detector de voltaje cero a la red primaria; eli-
minándose totalmente el problema.

La mayor inmunidad a los transientes de línea, de -
la configuración mostrada en la figura 4.4, decidió
por sí mismo su uso final en el sistema diseñado, -
pese a la mayor complejidad del resto del circuito
de detección.

4.3.2.2 Análisis de las señales asociadas con la unidad sen- sora

Dada la simetría implícita en la configuración de -
la unidad sensora (Figura 4.4), el análisis cualita-
tivo de su operación se restringirá a una de las -
tres ramas de la delta y más específicamente a la
rama asociada con el voltaje línea a línea V_{AB} , -
constituida por los diodos emisores de luz DEL1 y -
DEL2 acoplados ópticamente a los fototransistores -
FT1 y FT2 respectivamente.

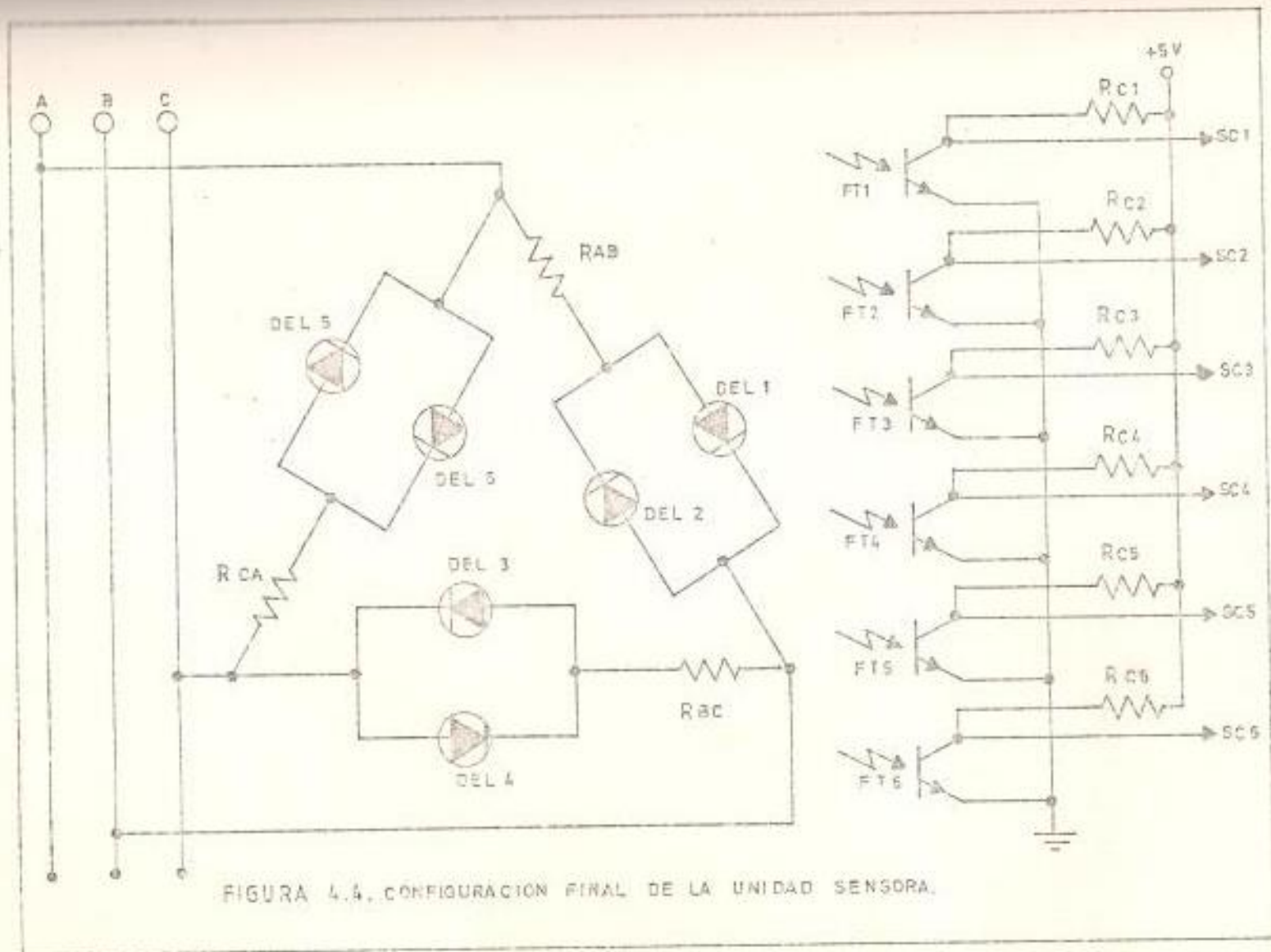


FIGURA 4.4. CONFIGURACIÓN FINAL DE LA UNIDAD SENSORA.

El diodo emisor de luz (DEL1), conduce tan solo durante el semiciclo positivo del voltaje V_{AB} . El inicio de la conducción ocurre en el instante que V_{AB} alcanza el voltaje de conducción ($V_{AB}(con)$) de DEL1 (punto 1 de la figura 4.5), y a partir de ese momento la corriente a través de DEL1 toma valores cada vez mayores. Debido al acoplamiento fotónico existente entre el diodo emisor de luz DEL1 y el fototransistor FT1, simultáneamente con el aumento de corriente a través de DEL1 ocurre una transferencia de conducción que eleva el nivel de corriente de colector a emisor de FT1, y la consecuente disminución de su voltaje colector-emisor. El voltaje colector-emisor de FT1 disminuye hasta el momento en que se alcanza su nivel de saturación ($V_{CE}(sat)$) a un valor particular de corriente a través de DEL1 (I_{sat}); determinada por el voltaje instantáneo de V_{AB} ($V_{AB}(sat)$), en el punto 2 de la Figura 4.5. FT1 permanece en el estado de saturación hasta el momento en que V_{AB} alcanza nuevamente el valor que permite la saturación de FT1 (punto 3 de la Figura 4.5). La disminución posterior de V_{AB} permite que la corriente por DEL1 tome valores menores que el nivel requerido para la saturación de FT1 (I_{sat}), y por consiguiente la elevación de su voltaje colec

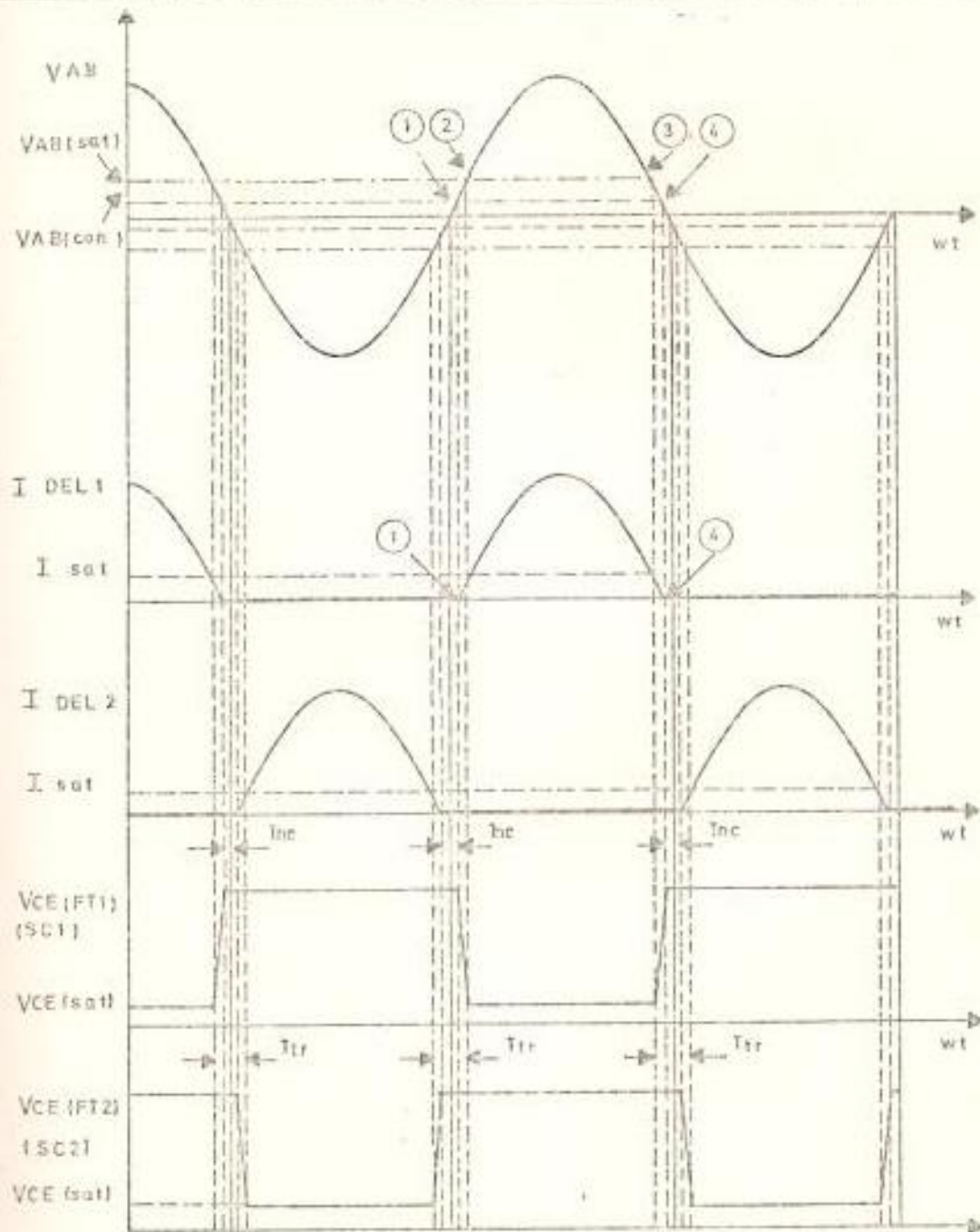


FIGURA 4.5. DIAGRAMA DE TIEMPOS DE LAS SEÑALES ASOCIADAS CON LA UNIDAD SENSORA.

tor-emisor hasta el estado de corte (no conducción). El estado de corte de FT1 ocurre en el instante que la corriente en DEL1 es nula, esto es, el momento en que V_{AB} alcanza el valor instantáneo de conducción - ($V_{AB}(\text{con})$) en el punto 4.

El proceso expuesto ocurre en forma idéntica con FT2 y DEL2, generándose la señal de voltaje colector-emisor de FT2 ($V_{CE}(\text{FT2})$), tal como se muestra en la figura 4.5.

En el intervalo de tiempo entre los puntos 1 y 4, la señal de corriente por DEL1 es determinada exclusivamente por el valor de V_{AB} y la resistencia de la rama de la delta (R_{AB}), excepto por las variaciones del voltaje de conducción directo de DEL1. Estas variaciones son despreciables en relación con el voltaje V_{AB} , luego la señal de corriente por DEL1 será de tipo sinusoidal rectificada.

Las señales de voltaje colector-emisor tanto de FT1 como de FT2, generan cambios transientes en el intervalo T_{tr} , centrado alrededor de los cruces por cero de V_{AB} (Figura 4.5). Estos cambios serán utilizados posteriormente en forma conveniente por los acondi -

cionadores de señal. Por otro lado cabe indicar, - que en el análisis realizado, no se ha considerado el retraso de tiempo entre las señales de entrada y salida del optoaislador con el objeto de facilitar la explicación.

4.3.2.3 Elección de los acopladores ópticos

Para la elección de los acopladores ópticos se realizó un análisis exhaustivo de las especificaciones concretas y gráficas características proporcionadas por los fabricantes. Seleccionándose el optoaislador GEH11A1 fabricado por General Electric. Los criterios principales en los que se fundamentó la elección son:

- 1.- Relación de transferencia de corriente (RTC) - del orden del 50%. Proveyéndose una baja de - gradación del aislamiento óptico con el tiempo y un grupo completo de curvas características para la RTC, que facilitan los cálculos requeridos en el diseño.
- 2.- Alta velocidad de conmutación, con tiempo de elevación y caída del orden de los 2 μ s. Pro -

porcionándose las curvas que definen las variaciones de estos tiempos con respecto al nivel de corriente de salida y resistencia de carga.

- 3.- Nivel de corriente de salida del orden de los 100 mA, que permite un interfazado directo con lógica TTL.
- 4.- El voltaje de aislamiento en estado estable es de 1060 V (rms), y de 1770 V (rms) en condiciones transientes.
- 5.- Temperatura de operación de 55°C a 100°C.

4.3.2.4 Cálculo de las resistencias de los ramales de la delta

Debido a la simetría de la configuración usada para la unidad sensora (conexión delta), se procederá al cálculo de una de las ramas, más específicamente la rama conectada al voltaje línea-línea V_{AB} .

Las especificaciones para los diodos emisores de luz proporcionadas por el fabricante (10) y de inte

rés para los cálculos a realizarse son:

- a.- Disipación de potencia de 100 mW.
- b.- Corriente directa (continua) de 60 mA.
- c.- Corriente directa (pico) de 3 A con pulsos de 1 μ s de ancho y con una razón de repetición de 300 pulsos por segundo.
- d.- Voltaje inverso de 3 V.
- e.- Derrateo de 1.33 mW/°C arriba de 25°C ambiente
- f.- Voltaje directo de 1.1 V típico y máximo 1.5 V para una corriente directa (I_f) de 10 mA.

Las señales de corriente a través de los diodos emisores de luz DEL1 y DEL2 son de media onda rectificada, cuyo valor máximo es determinado por V_{AB} y R_{AB} . Se eligió una corriente directa continua de 30 mA, con el objeto de garantizar un adecuado margen de seguridad.

Despreciando la caída de voltaje directo de DEL1 o DEL2 (1.5 V), la corriente máxima a través de los mismos viene dado por:

$$I_{max} = \frac{\sqrt{2} \times V_{AB(rms)}}{R_{AB}}$$

Donde:

I_{max} = Corriente máxima a través de DEL1 o DEL2
(30 mA).

R_{AB} = Resistencia de la rama A-B de la delta.

$V_{AB} (rms)$ = Voltaje rms de la rama A-B de la delta
(208 V).

Reemplazando los valores elegidos se obtiene una R_{AB} de 9.8 K Ω .

El valor promedio de la señal de corriente (media - onda rectificada) a través de DEL1 o DEL2 es:

$$I_{dc} = \frac{I_{max}}{\pi}$$

Reemplazando valores se obtiene una I_{dc} de 9.55 mA.

La potencia disipada en la resistencia R_{AB} despreciando la caída de voltaje en los diodos DEL1 y DEL2 es:

$$P(R_{AB}) = \frac{[V_{AB} (rms)]^2}{R_{AB}}$$

Reemplazando valores se obtiene una disipación de potencia de 4,41 W. Por lo que se eligió una resistencia de 10 K Ω por razones de disponibilidad comercial y de 7 W con el objeto de proporcionar un margen de seguridad práctico.

La máxima temperatura ambiente de operación, en base de los datos de derrateo proporcionados es:

$$T_{max} = \frac{(100 - 15) \text{ mW}}{2 \text{ mW/}^\circ\text{C}} - 25^\circ\text{C} = 67.5^\circ\text{C}$$

Luego, se puede operar con temperaturas ambientales tan altas como 67,5°C sin exeder la capacidad de disipación de potencia de DEL1 y DEL2.

La conexión de los diodos emisores de luz DEL1 y DEL2 espalda con espalda asegura que el voltaje inverso de 3 V no sea excedido. Adicionalmente los diodos emisores de luz se autoprotegen de eventuales transientes de voltaje en la línea de alimentación, siempre y cuando estos no excedan de 1 μs de ancho y no se repitan a una razón mayor de 300 Hz. Esta última especificación está prácticamente garantizada, puesto que, la frecuencia de conmutación de

los tiristores es de 360 Hz.

4.3.2.5 Cálculo de la resistencia de carga de los fototransistores:

Para el cálculo de la resistencia de carga (R_c) de los fototransistores (Figura 4.4), se utilizó las curvas de las características típicas de los optoaisladores proporcionadas por el fabricante (10). Los criterios en los que se fundamentó la selección del valor de R_c son función básicamente de las necesidades del circuito de acondicionamiento de señal. Los principales puntos de interés son:

- 1.- El voltaje colector-emisor de los fototransistores sea menor de 0.4 voltios en estado de conducción (saturación) y mayor que 4 V en estado de no conducción (corte).
- 2.- Las transiciones de saturación a estado de corte o a la inversa sean abruptas. De tal forma que los tiempos de elevación y caída sean minimizados.

En el análisis que sigue, con el objeto de simplifi

car los cálculos, se asumirá que el circuito acondi-
cionador de señal no representa carga a las seña-
les de salida de la unidad sensora.

El intervalo de no conducción (T_{nc}) (Figura 4.5) a-
sumiendo que el inicio de la conducción tanto de
DEL1 como de DEL2 es de 1.0 V es:

$$T_{nc} = 2 \text{ Sen}^{-1} \left[\frac{1.0}{\sqrt{2} \times 208} \right] = 0.39^\circ$$

Debido a que la frecuencia de alimentación es de
60 Hz el intervalo de no conducción es de 18.06 μ s.
Se eligió un intervalo transiente (T_{tr}) de 1.0 ms,
lo que absorbe los efectos de retardo de la respues-
ta del optoaislador y permite un adecuado acondicio-
namiento de señal.

Un intervalo transiente de 1.0 ms implica que la sa-
turación (punto 2 de la figura 4.5) debe ser alcan-
zada con un voltaje V_{AB} de:

$$V_{AB}(\text{sat}) = \sqrt{2} \times 208 \text{ Sen}(2\pi \times 60 \times 500\mu\text{s}) = 55.12 \text{ V}$$

La corriente de saturación por consiguiente es:

$$I_{\text{sat}} = \frac{55.12 \text{ V}}{10 \text{ k}\Omega} = 5.51 \text{ mA}$$

De las curvas de corriente de salida versus corriente de entrada (10) se obtiene una corriente colector-emisor de 2.5 mA para una corriente de polarización directa de 5.51 mA. De las variaciones de la corriente de salida con la temperatura, se prevee una disminución de la corriente colector-emisor, de máximo 0.2 mA, en el rango de temperatura entre 20 y 50°C ambientales. Por otro lado usando las características de salida del optoaislador (curva para $I_f = 5 \text{ mA}$) se observa que un voltaje colector-emisor de 0.4 voltios implica una corriente de salida (I_{CEO}) de 1.7 mA. Por último la corriente de fuga de colector a base es del orden de los 3 μA , obtenida de la curva de corriente fuga versus corriente de entrada para $I_f = 5.51 \text{ mA}$.

Así, en condiciones extremas de operación la resistencia de carga elegida debe asegurar la saturación para una corriente de salida (I_{CE}) de 1.7 mA. Este valor toma en consideración el nivel de disminución de I_{CE} con la temperatura y desprecia la corriente de fuga del fototransistor.

De las consideraciones precedentes la resistencia de carga (R_c) viene dada por:

$$R_c = \frac{V_{CC} - V_{CE}(\text{sat})}{I_{CE}(\text{sat})}$$

Donde:

V_{CC} = Voltaje de alimentación (5 V)

$V_{CE}(\text{sat})$ = Voltaje colector a emisor en saturación (0.4 V)

$I_{CE}(\text{sat})$ = Corriente colector a emisor en saturación (1.7 mA).

Reemplazando valores se obtiene una R_c de $2.7 \text{ k}\Omega$. De las curvas de tiempos de conmutación versus corriente de salida con una resistencia de carga de $2.7 \text{ k}\Omega$, y con un valor inicial de corriente colector-emisor de 2.5 mA se obtienen tiempos de subida y bajada del orden de los 8 μs (comparable con T_{nc}). Por consiguiente, la elección del intervalo transiente de 1.0 ms, es una solución de compromiso en relación a intervalos menores con resistencias y tiempos de conmutación mayores.

4.3.3 Acondicionadores de señal

Las señales de voltaje colector-emisor de los fototransistores FT1 y FT2 (Figura 4.5), presentan variaciones progresivas y relativamente lentas del estado de corte a saturación y a la inversa. Estas características son inadecuadas para el circuito conformador de pulsos.

Para el acondicionamiento de las seis señales de voltaje colector-emisor de los fototransistores (SC1, SC2, SC3, SC4, SC5 y SC6), se eligió el uso de seis inversores con disparo Schmitt encapsulados en el circuito integrado 74LS14. Los inversores con disparo Schmitt disminuyen los tiempos de subida y bajada de las señales de los fototransistores y permiten delimitar el intervalo transiente de los cruces por cero con transiciones completamente escarpadas. Adicionalmente las características de histéresis de los disparadores Schmitt proveen una mayor inmunidad al ruido, presente en las señales de los fototransistores.

El inversor con disparo Schmitt cambia el estado de su salida, de cero a uno lógico, cuando el voltaje de entrada alcanza el voltaje de umbral en el ascenso (V_{UA}). Por el contrario la salida va de estado lógico alto a bajo en el instante que el voltaje de entrada disminuye al nivel de voltaje de -

umbral en el descenso (V_{UD}). Los voltajes de umbral en el ascenso y descenso presentan variaciones con respecto a la temperatura ambiente de operación y al nivel de alimentación (V_{CC}). Estas variaciones no son de interés en la aplicación presente por lo cual no serán objeto de análisis.

Cada uno de los inversores del C.I 74LS14 disipa una corriente de entrada de nivel alto de 10 μ A y proporciona una corriente de entrada de nivel bajo de 0.4 mA. Dado que los inversores son conectados a los colectores de los fototransistores, es necesario prever las alteraciones producidas en los parámetros previamente calculados.

Con un voltaje colector-emisor del fototransistor a nivel alto, la entrada del inversor consume 20 μ A, proporcionados a través de las resistencias de carga. Esta corriente produce una caída de voltaje de 54 mV, que no altera el nivel alto.

Por otro lado con un voltaje colector-emisor a nivel bajo, por la entrada del disparador salen 0.4 mA, los cuales deben ser disipados por el fototransistor. Así, la corriente colector-emisor es una doble contribución: la del disparador y la proporcionada por la fuente a través de la resistencia de carga. Por consiguiente, para que la caída de voltaje en la resistencia de carga sea de 4.6 V y asegure un voltaje de sa

turación de 0.4 V, se requiere que la corriente por los fototransistores sea de 2.1 mA. Considerando las variaciones de temperatura, este nivel aumenta a 2.3 mA. De la curva de característica de salida se prevee una I_f de aproximadamente 7 mA, lo cual implica un voltaje de saturación ($V_{AB}(\text{sat})$) de 70 V y un aumento del intervalo transiente a 1.27 ms.

En la figura 4.6 se muestran las señales de salida SC1 y SC2 de los fototransistores FT1 y FT2 respectivamente junto con las señales acondicionadas SA1 y SA2. El proceso de acondicionamiento con disparo Schmitt genera un nuevo intervalo transiente (T_{trn}). El cálculo del ancho de T_{trn} , en base de voltajes de umbral en el ascenso y descenso de 1.6 y 0.8 voltios respectivamente y bajo la asunción de una variación lineal en las señales SC1 y SC2 alrededor de los cruces por cero, da por resultado un t_{trn} de 951 us. Este valor será posteriormente utilizado en el diseño del circuito de calibración.

4.3.4 Conformadores de pulsos

Las señales SA1 y SA2 llevan la información de los cruces por cero del voltaje de línea V_{AB} , puesto que ambas pasan a nivel lógico bajo al mismo tiempo, tan solo en ese instante particular. El paso de SA1 y SA2 a través de una puerta ló-

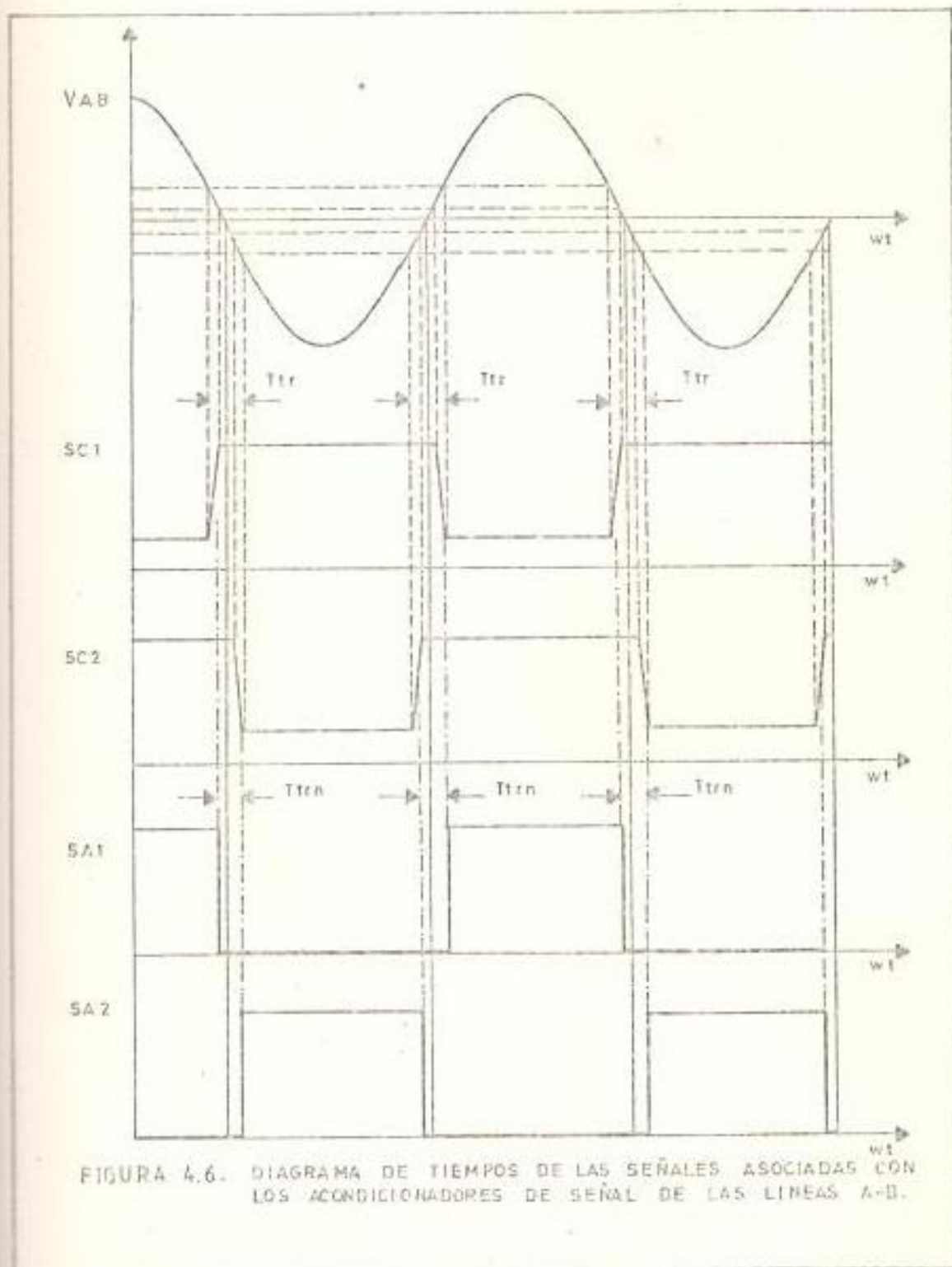


FIGURA 4.6. DIAGRAMA DE TIEMPOS DE LAS SEÑALES ASOCIADAS CON LOS ACONDICIONADORES DE SEÑAL DE LAS LINEAS A-B.

gica OR de dos entradas genera a su salida pulsos que van a nivel lógico bajo (PLAB) cada vez que el voltaje V_{AB} pasa por cero (Figura 4.7). El ancho de los pulsos es igual a 931 us (T_{trn}). En igual forma es posible generar las señales PLBC y PLCA a partir de las señales SA3-SA4 y SA5-SA6 respectivamente.

Las tres puertas OR de dos entradas requeridas por el conformador de pulsos fueron provistas por el circuito integrado 7432. Utilizándose tres de las cuatro puertas disponibles (Figura 4.7).

4.3.5 Circuito de combinación

Su función es combinar las señales PLAB, PLBC y PLCA (Figura 4.8) en una sola señal (PLABC). Esta señal combinada genera un pulso que va a nivel lógico bajo cada vez que ocurre un cruce por cero de los voltajes línea-línea trifásicos.

Para la realización del circuito de combinación se utilizó una de las tres puertas lógicas AND de tres entradas provistas en el C.I 7411. (Figura 4.7).

4.3.6 Circuito de calibración

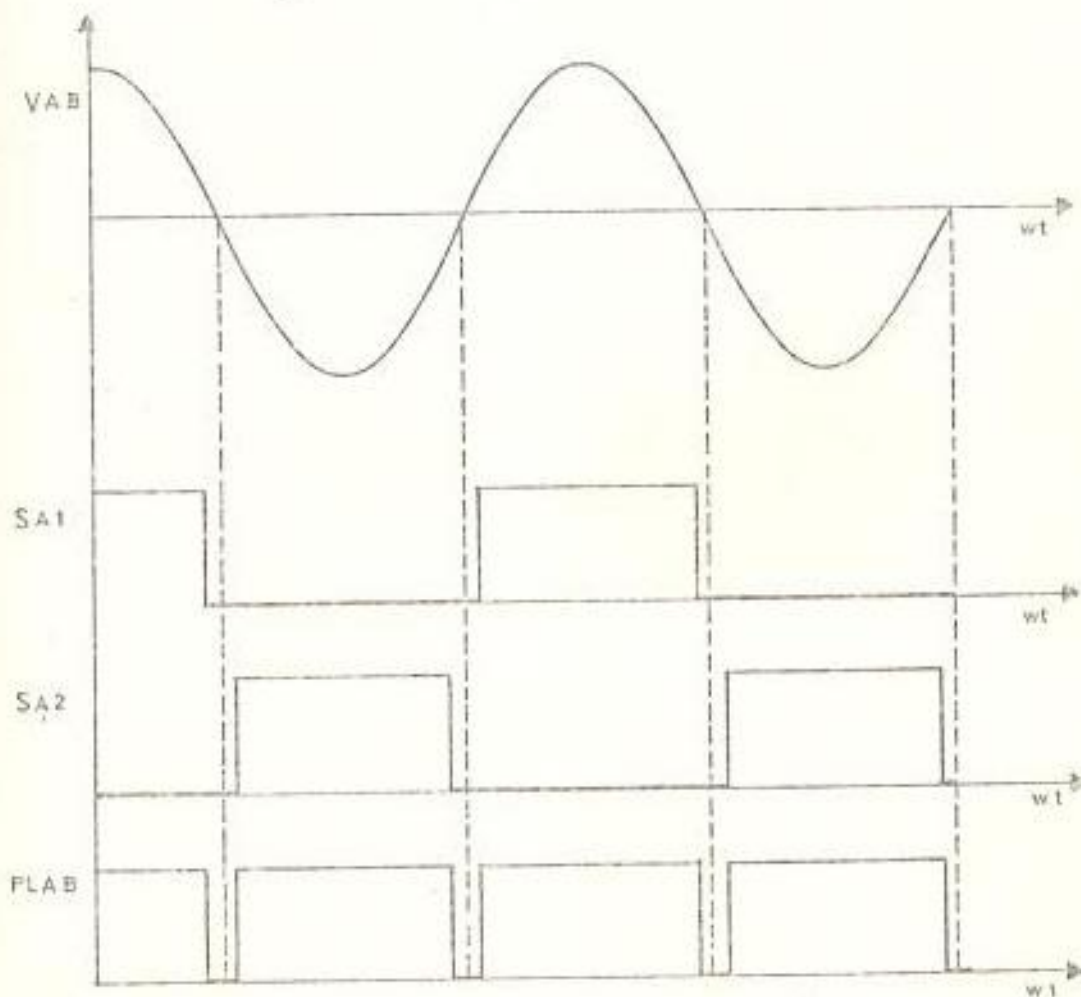
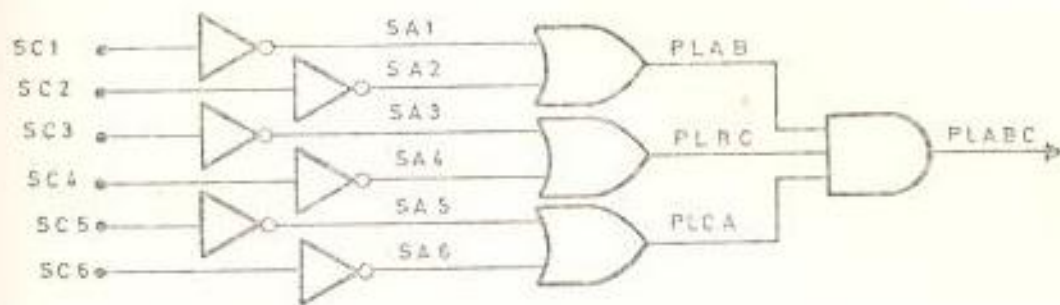


FIGURA 4.7. DIAGRAMA DE TIEMPOS DE LAS SEÑALES ASOCIADAS CON EL CONFORMADOR DE PULSOS DE LA LINEA A-B.

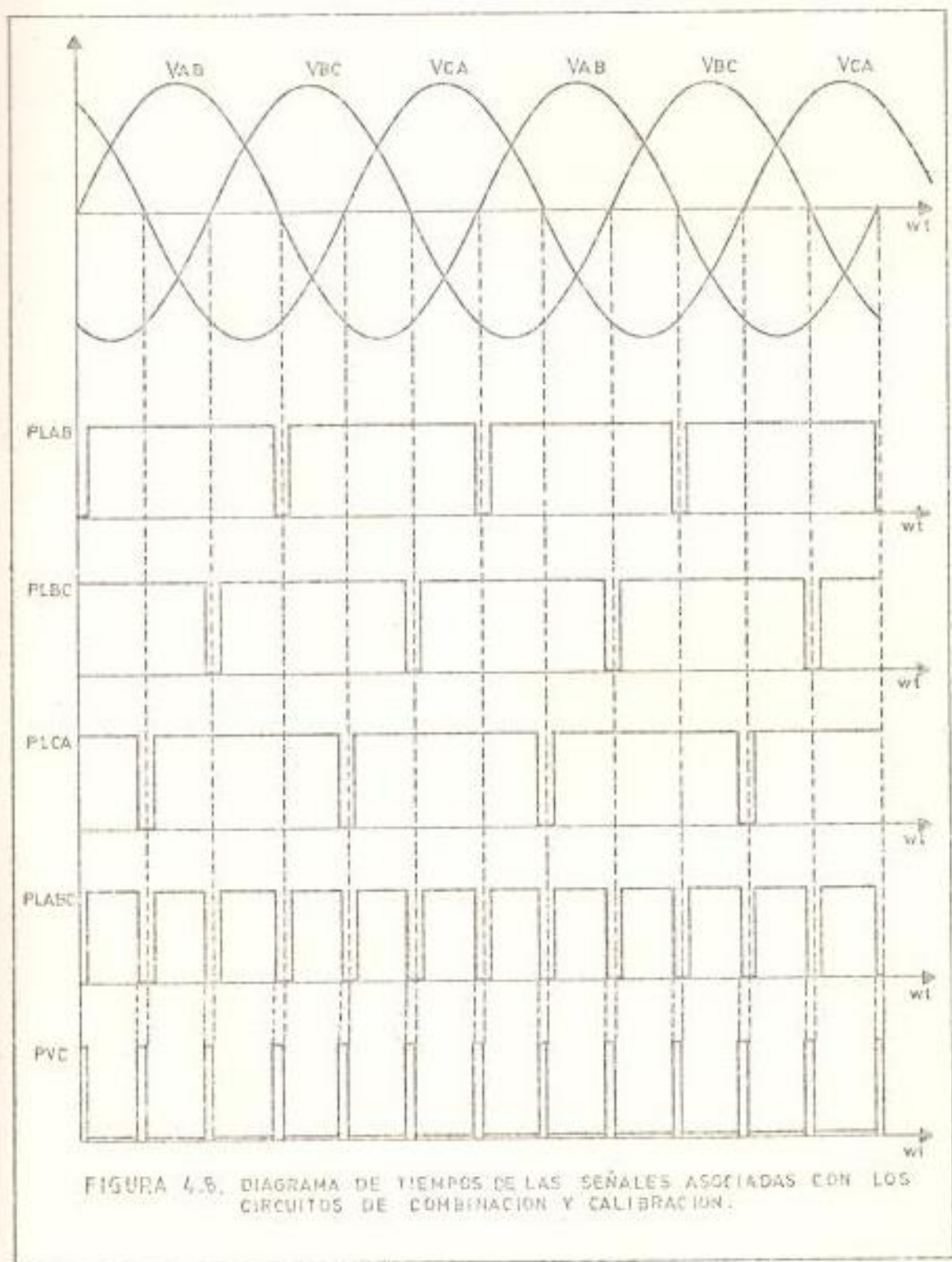


FIGURA 4.5. DIAGRAMA DE TIEMPOS DE LAS SEÑALES ASOCIADAS CON LOS CIRCUITOS DE COMBINACION Y CALIBRACION.

El circuito de disparo y secuenció actúa sobre los bordes de bajada de los pulsos de voltaje cero. Los bordes de bajada de los pulsos de salida de la red de combinación no están centrados en los puntos de ocurrencia de los cruces por cero luego, es necesario utilizar un dispositivo que genere pulsos, cuyos bordes de bajada coincidan con los cruces por cero del voltaje trifásico.

El circuito de calibración genera un pulso en el borde de bajada de la señal PLABC (Figura 4.8). El ancho del pulso generado pueda ser regulado de tal manera que sus bordes de bajada ocurran en los cruces por cero.

El circuito de calibración fue realizado mediante el multivibrador monoestable encapsulado en el circuito integrado 74121. De la tabla de funciones proporcionada por el fabricante (31) se observa que si las entradas A1 y B del monoestable son colocadas a nivel alto, es posible su disparo por el borde de transición negativo de la señal colocada en la entrada A2 (salida de la red de combinación).

La regulación del ancho del pulso es realizada mediante un condensador y resistencia de temporización externos. El ancho del pulso es calculado por la relación (12).

$$T_w = (salida) = C_{ext} R_t \ln 2$$

Donde:

T_w (salida) = Ancho del pulso de salida (ms)

C_{ext} = Capacitor de temporizado (μF)

R_t = Resistencia de temporizado ($k\Omega$)

El ancho de los pulsos de salida del circuito de combinación es de 931 μs , luego es deseable proveer un rango de calibración de 600 μs . Se seleccionó un condensador de 0.1 μF de tantalio, debido a los bajos niveles de fuga asociados con los mismos. Con los valores dados la máxima resistencia debe ser de 8.57 $k\Omega$, por lo cual se utilizó un reostato de 10 $k\Omega$.

4.3.7 Obtención de los pulsos de identificación de fase

Los pulsos de identificación de fase (PIF) son generados en el instante en que el voltaje V_{AB} pasa por cero voltios y luego toma valores positivos.

La señal PIF se obtuvo a partir de la señal SA2, mediante la generación de un pulso en sus bordes de bajada. La selección de la señal SA2 en lugar de SA1 obedece a la conforma -

ción del circuito de sincronización, el mismo que para un ángulo de disparo de $\alpha = 0^\circ$, especifica la selección del par de tiristores TH3 y TH4 un instante antes del cruce por cero de V_{AB} .

Para la generación de la señal PIF se utilizó un multivibrador monoestable 74121 con las entradas A1 y B colocadas a nivel lógico alto y la entrada A2 alambrada a la señal SA2. Se seleccionó un condensador de temporizado de 0.01 μF y un reóstato de 10 $K\Omega$, con los cuales el ancho del pulso de identificación de fase puede ser regulado hasta un máximo de 70 μs .

En la figura 4.9 se muestra el diagrama de interconexiones del detector trifásico de voltaje cero, elaborado de acuerdo a los criterios de diseño analizados en las secciones anteriores..

4.4 LISTA DE MATERIALES

<u>Nº REQ.</u>	<u>DESCRIPCION</u>	<u>Nº CATALOGO</u>	<u>DESIGNACION</u>
6	Acoplador óptico: diodo emisor de luz-fototransistor	GEH11A1	U29, U30, U31 , U32, U33, U34 ,
1	Seis inversores con -	SN74LS14	U35

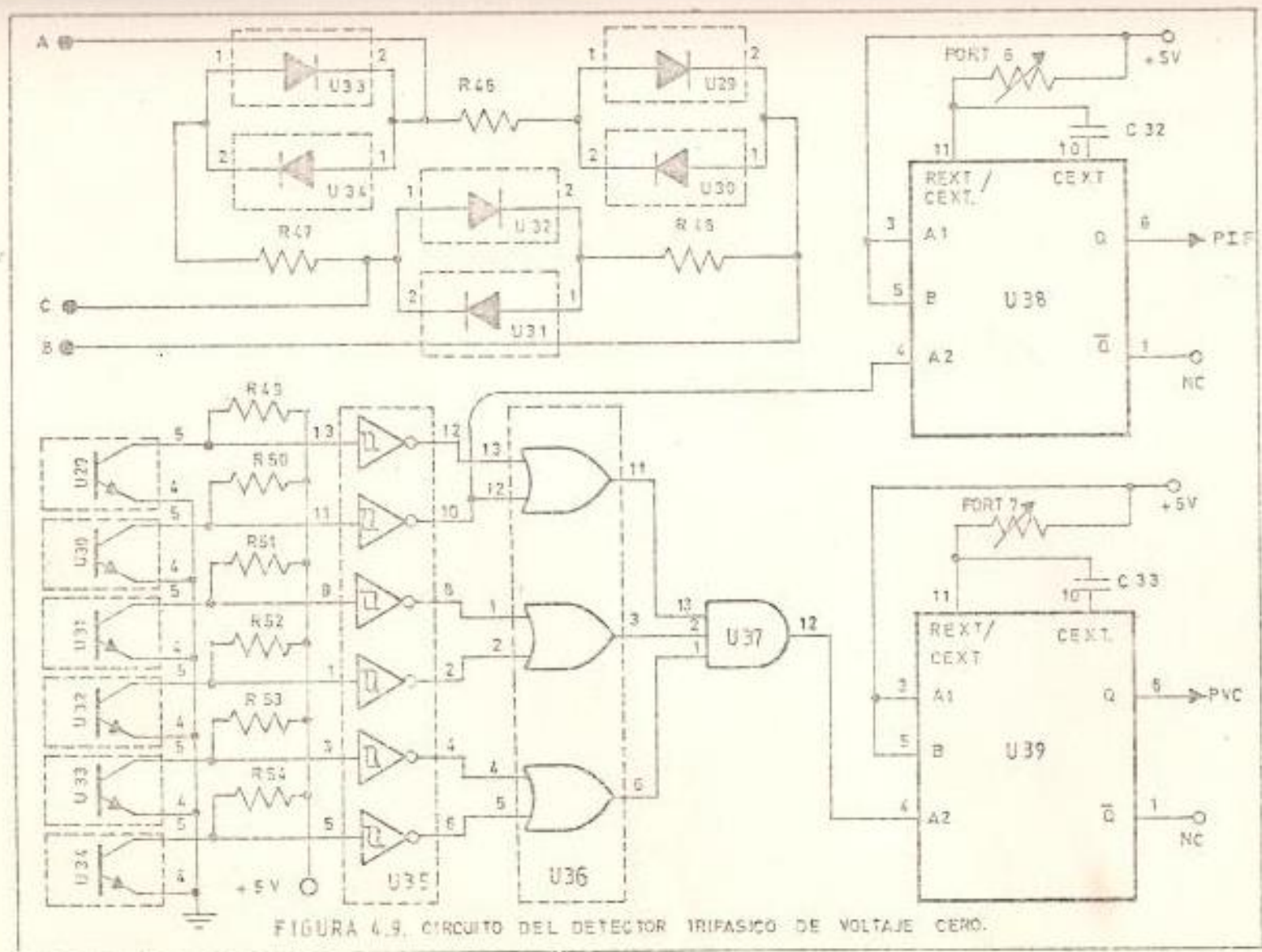


FIGURA 4.9. CIRCUITO DEL DETECTOR TRIFÁSICO DE VOLTAJE CERO.

<u>Nº REQ.</u>	<u>DESCRIPCION</u>	<u>Nº CATALOGO</u>	<u>DESIGNACION</u>
	disparo Schmitt		
1	Cuatro puertas OR de dos entradas	SN7432	U36
1	Tres puertas AND de tres entradas	SN7411	U37
2	Multivibrador monoes- table	SN74121	U38, U39
2	Potenciometro: 10 K Ω		POT6, POT7
3	Resistencia: 10 K Ω , 7 W		R46, R47, R48
6	Resistencia: 2.7 K Ω , 1/2 W		R49, R50, R51, R52, R53, R54
1	Condensador de tanta- llo 0.01 μ F		C32
3	Condensador de tanta- llo: 0.1 μ F		C33, C34, C35

4.5 CONSTRUCCION

Los elementos que constituyen el detector trifásico de voltaje cero se montaron sobre un circuito impreso. Para la construcción del - circuito impreso se elaboró las diversas interconexiones en papel Milar, obteniéndose el negativo. En base del negativo y mediante la técnica tradicional de exposición a luz ultravioleta y uso de a-

gentes sensibilizadores y corrosivos se obtuvo finalmente la placa impresa. Los circuitos integrados se montaron al circuito impreso mediante zócalos (Sockets), con el objeto de facilitar su reposición en caso de daños imprevistos.

En las figuras 4.10 y 4.11 se muestran las vistas frontal y posterior del circuito detector trifásico del voltaje cero.

4.6 PRUEBAS

Las pruebas realizadas con el detector trifásico de voltaje cero proporcionaron resultados satisfactorios. La serie de oscilogramas (Figuras 4.12, 4.13, 4.14 y 4.15) preparados en una secuencia sincronizada, corroboran los criterios de diseño y cálculos realizados. Los oscilogramas muestran las señales asociadas con el detector trifásico en relación con el voltaje de línea V_{AB} .

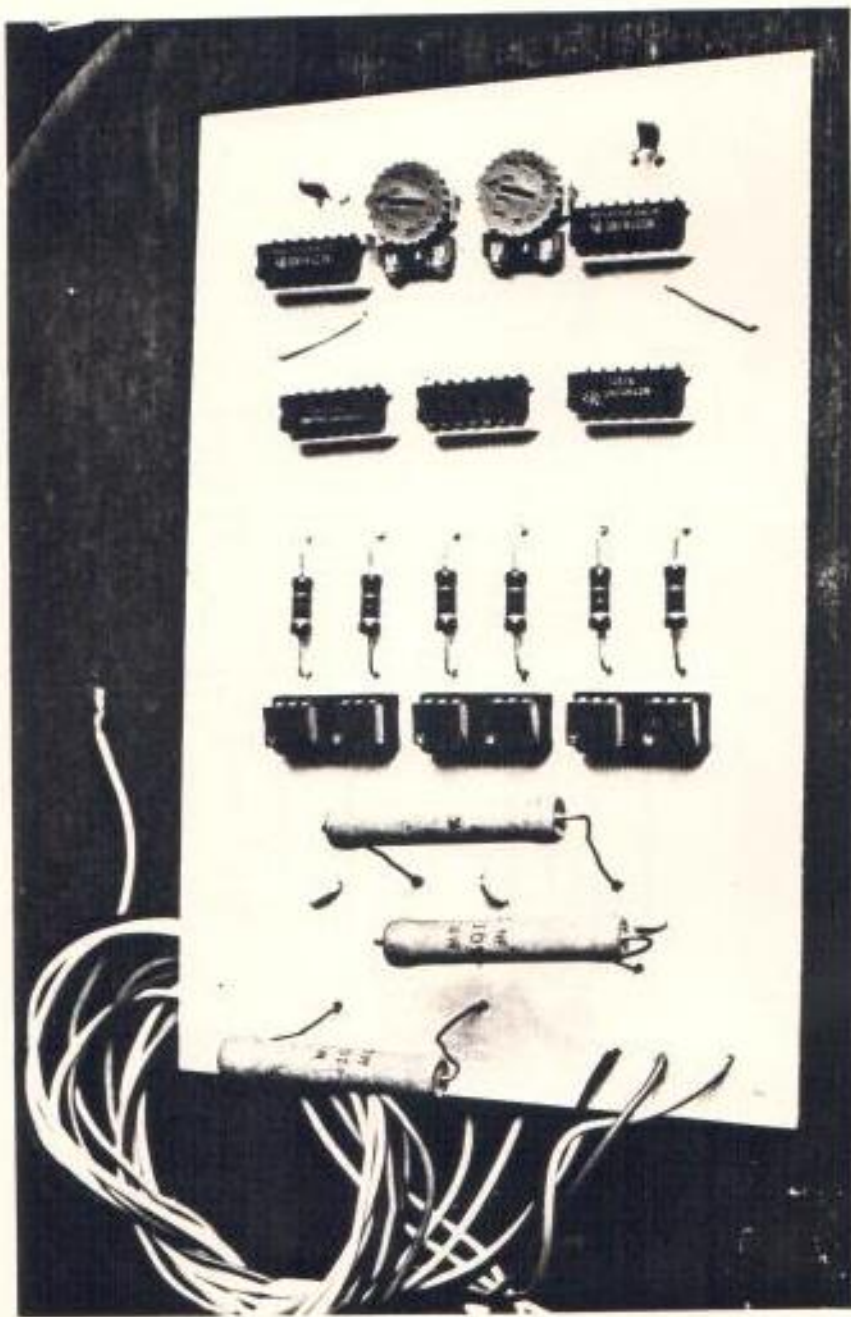


FIGURA 4.10 VISTA FRONTAL DEL DETECTOR TRIFASICO DE -
VOLTAJE CERO

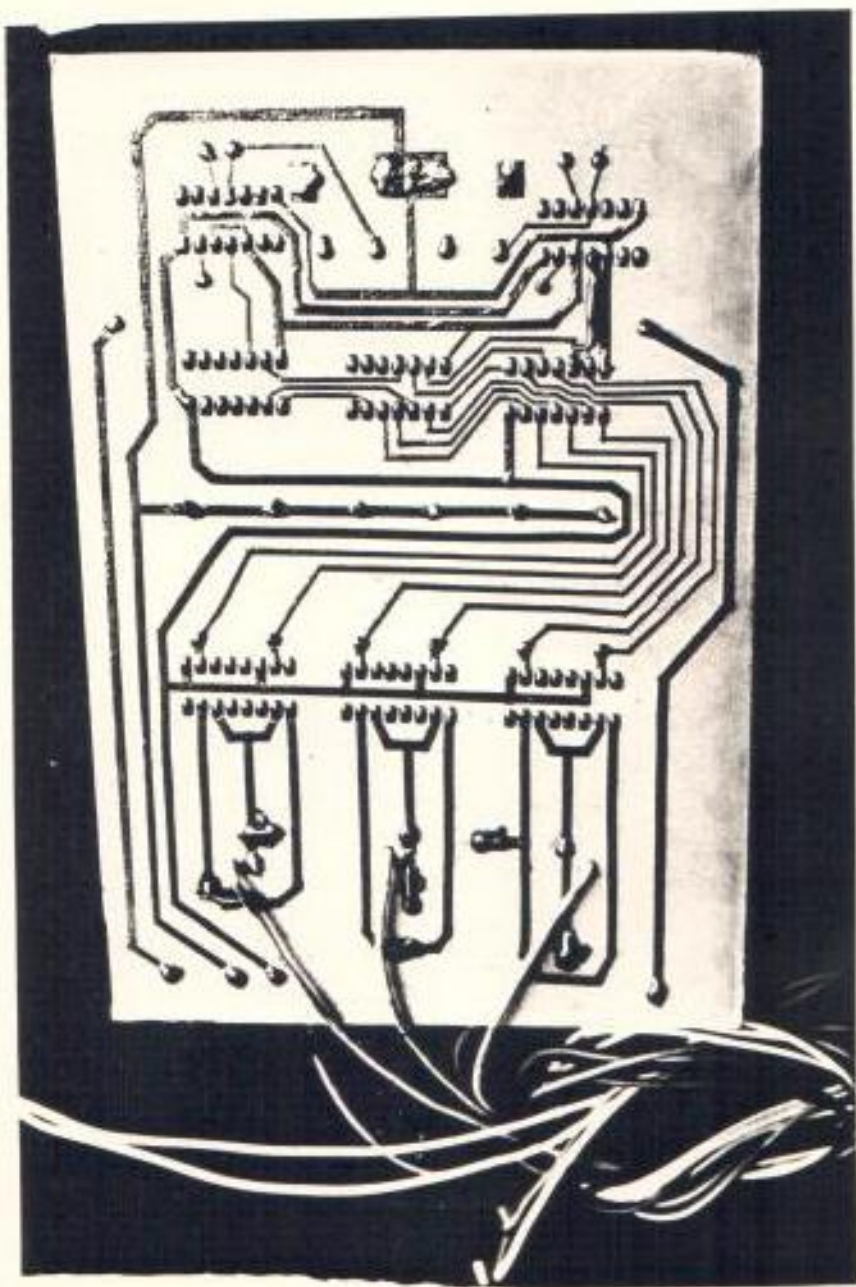
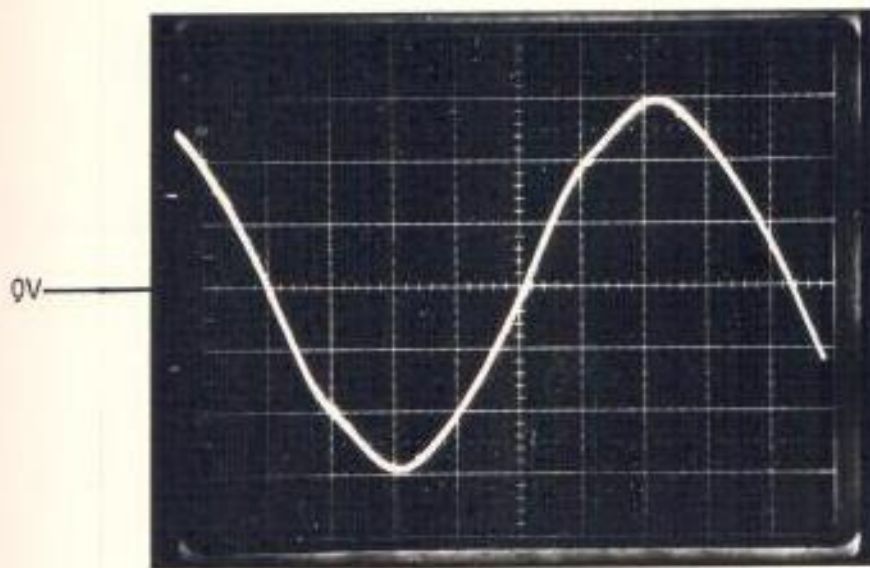
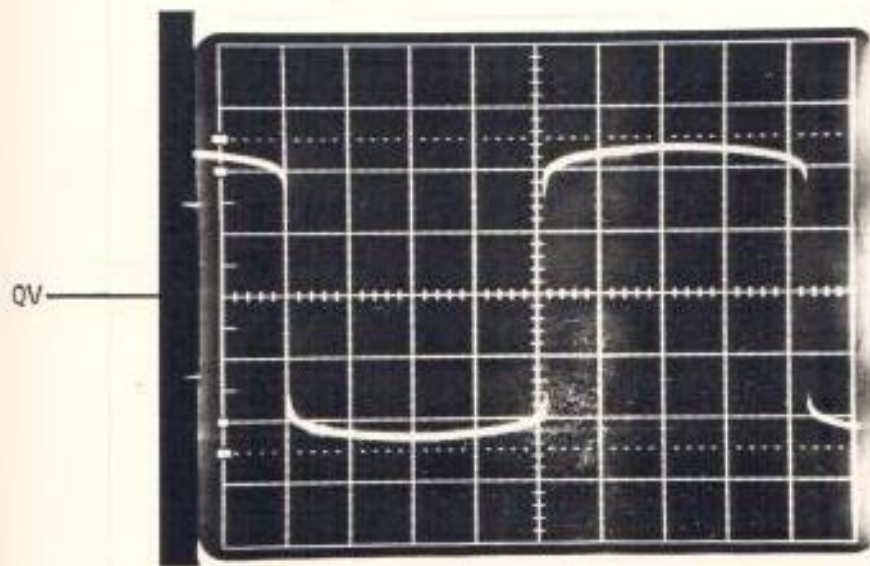


FIGURA 4.11 VISTA POSTERIOR DEL DETECTOR TRIFASICO -
DE VOLTAJE CERO



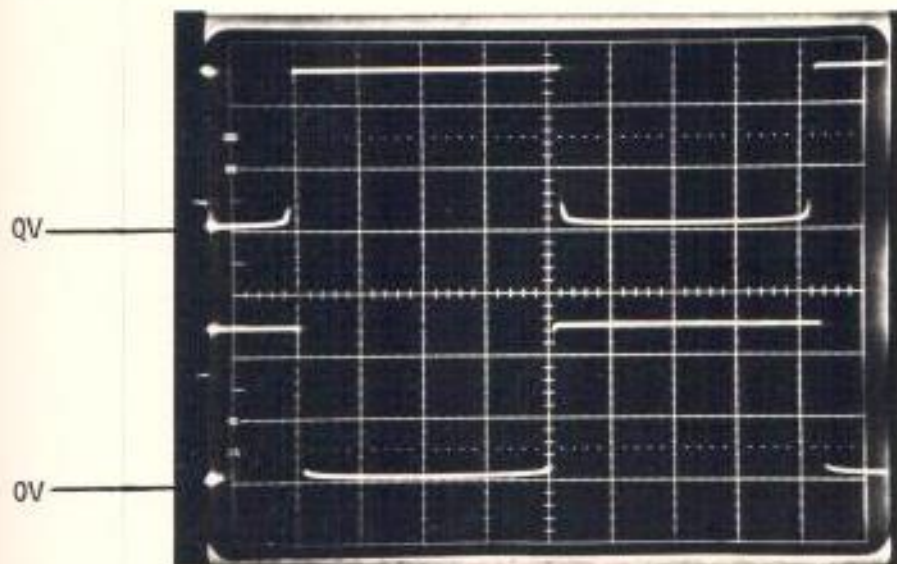
SEÑAL DE VOLTAJE VAB (100 V/DIV Y 2 ms/DIV)



SEÑAL DE VOLTAJE A TRAVES DEL DEL1 Y DEL2

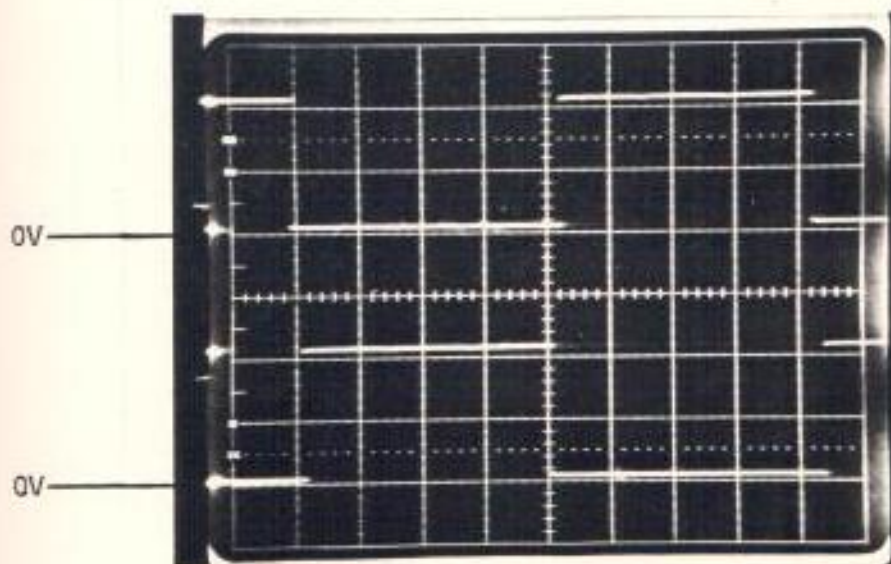
(0.5 V/DIV Y 2 ms/DIV)

FIGURA 4.12 OSCILOGRAMAS DE LAS SEÑALES ASOCIADAS CON EL DETECTOR TRIFASICO DE VOLTAJE CERO



TRAZA SUPERIOR: SEÑAL SC1 (2 V/DIV Y 2 ms/DIV)

TRAZA INFERIOR: SEÑAL SC2 (2 V/DIV Y 2 ms/DIV)

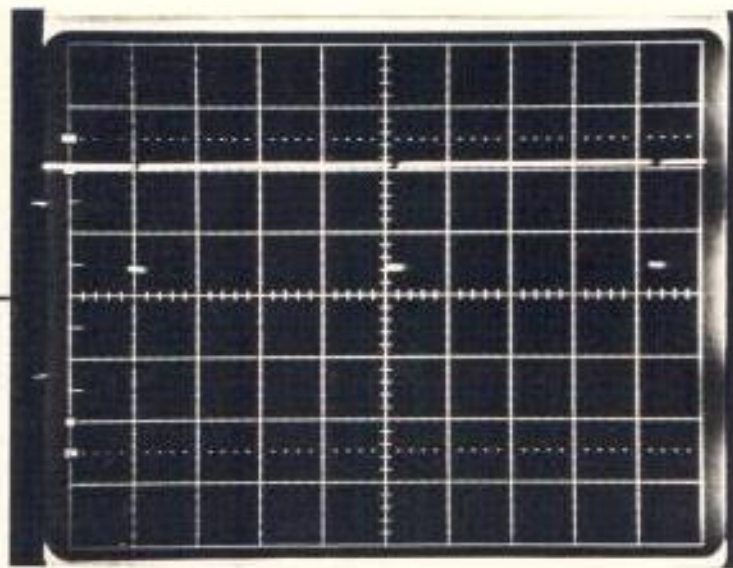


TRAZA SUPERIOR: SEÑAL SA1 (2 V/DIV Y 2 ms/DIV)

TRAZA INFERIOR: SEÑAL SA2 (2 V/DIV Y 2 ms/DIV)

FIGURA 4.13 OSCILOGRAMAS DE LAS SEÑALES ASOCIADAS CON EL DETECTOR TRIFASICO DE VOLTAJE CERO

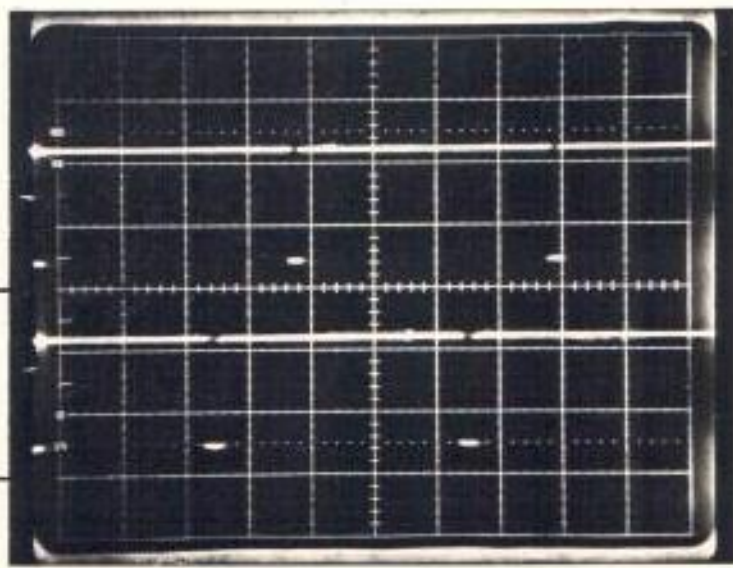
0V



SEÑAL PLAB (2 V/DIV Y 2 ms/DIV)

0V

0V



TRAZA SUPERIOR: SEÑAL PLBC (2 V/DIV Y 2 ms/DIV)

TRAZA INFERIOR: SEÑAL PLCA (2 V/DIV Y 2 ms/DIV)

FIGURA 4.14 OSCILOGRAMAS DE LAS SEÑALES ASOCIADAS CON EL DETECTOR TRIFASICO DE VOLTAJE CERO

CAPITULO V

UNIDAD DE LINEALIZACION

5.1 INTRODUCCION

En el diseño de la fuente de corriente a tiristores con control digital se prevee el cerramiento del lazo de realimentación de corriente alrededor de la unidad de fuerza. El lazo de realimentación presupone la utilización del controlador que actúa sobre la señal de error y ordena los cambios consecuentes a la unidad de disparo y secuencéo.

La adición del controlador para el procesamiento de la señal de error conlleva mejoras de carácter dinámico en la respuesta de la variable controlada (corriente de carga) ante transientes, tanto de la colocación digital de la corriente deseada, como de la carga manejada por la unidad de fuerza. Estas mejoras se obtienen únicamente si existe una relación de transferencia lineal entre la señal de salida del controlador y el voltaje de salida promedio de la unidad de fuerza, puesto que la corriente de carga varía linealmente con el voltaje de salida promedio del puente de rectificación trifásico

Sin embargo conviene resaltar que la unidad de disparo y secuencéo introduce efectos no lineales, debido a que el voltaje de salida

promedio muestra variaciones de tipo cosenoidal con respecto a la cantidad digital de control a su entrada (CD8, CD7, CD6, CD5, CD4, CD3, CD2 y CD1). Por consiguiente, es preciso el diseño de un circuito de linealización, para la obtención de una relación de transferencia lineal entre la señal de salida del controlador y el voltaje promedio en la unidad de fuerza.

El proceso de linealización permite al controlador del sistema diseñado actuar sobre la unidad de disparo y secuencéo ordenando ángulos de cebado, que producen variaciones transientes iguales sobre la variable controlada frente a perturbaciones similares en el punto de colocación, sin importar el nivel de estado estable del voltaje de salida promedio.

Además de los aspectos formales analizados, la linealización permite la operación normal de la unidad de disparo y secuencéo, aún cuando esta no es capaz de operar con señales digitales de control, correspondientes a ángulos de cebado menores de 2.34° y mayores de 115.31° .

Una consecuencia adicional de la linealización es que permite la modelación matemática de la unidad de disparo y secuencéo y unidad de fuerza de manera relativamente simple. En la modelación de la unidad de fuerza se tienen básicamente dos alternativas:

- a.- Tratar el puente de tiristores como un amplificador de ganancia constante con ancho de banda infinito. En este caso es aplicable el análisis convencional en el dominio-S. Esta aproximación se justifica en el caso de que la constante de tiempo de la carga domine completamente la respuesta de corriente.

- b.- Modelar el puente de tiristores mediante una función de muestreo y retención y una ganancia constante, con el objeto de incluir el retardo de tiempo producido por la conmutación de naturaleza discreta del puente de tiristores. Esta aproximación conlleva el análisis del sistema en el dominio de la transformada-Z y es necesaria cuando la constante de tiempo de la carga es comparable con el retardo de transporte del puente de tiristores.

Para la evaluación de las características transientes de la fuente de corriente controlada mediante los métodos descritos es necesario la linealización previa del sistema.

En sistemas de control análogos, el ángulo de cebado varía en forma lineal con el nivel de voltaje de la señal de control. La obtención de una característica lineal entre el voltaje de salida promedio y la señal análoga de control es realizada mediante la técnica de polarización coseno (23). En el caso de un sistema digital la

forma más sencilla de implementar la linealización es por el uso de una memoria únicamente de lectura (ROM) con una tabla de la función arco-coseno.

En este capítulo se trata los aspectos de diseño del circuito de linealización y se presenta un programa de computadora elaborado para la obtención de los datos a grabarse en la memoria de acuerdo a las características propias del sistema. Con el objeto de facilitar la calibración del lazo de realimentación y proporcionar al sistema la flexibilidad de operación en lazo abierto, como fuente de voltaje controlado lineal, se ha adicionado un circuito de conmutación digital. Mediante el circuito de conmutación es posible la selección de los dos modos posibles de operación: fuente de corriente controlada (lazo cerrado), fuente de voltaje controlado (lazo abierto).

5.2 CRITERIOS DE DISEÑO

Con el objeto de presentar en forma clara los criterios seguidos en el diseño de la unidad de linealización, a continuación se presentan las especificaciones funcionales de la unidad de disparo y secuenció.

- a.- Presenta una función de transferencia lineal entre la cantidad digital de control (CD1, CD2, CD3, CD4, CD5, CD6, CD7 y CD8) a su entrada y el ángulo de cebado impuesto a la unidad de

fuerza por sus salidas.

- b.- El rango de control del ángulo de cebado previsto teóricamente es de 0° a 120° . Las pruebas experimentales realizadas y con las cuales se obtuvo resultados satisfactorios acortan el rango entre 2.34° y 115.31° .

El circuito de linealización es la etapa intermedia entre el controlador y la unidad de disparo y secuenció. Los aspectos concernientes al diseño del controlador serán tratados en el capítulo VII y están íntimamente relacionados con la operación del transductor de corriente y detector de error (Capítulo VI), por el momento cabe mencionar los aspectos relevantes de la señal digital de salida del controlador.

- a.- La señal de salida del controlador (SPI) es una cantidad digital de ocho bits (SPI1, SPI2, SPI3, SPI4, SPI5, SPI6, SPI7 y SPI8).
- b.- La señal SPI proporciona datos válidos a la razón de 9.2 KHz. La información del momento en que los ocho bits de salida del controlador son válidos, es provista por los bordes de subida de la señal SDV.
- c.- La señal de salida del controlador en cualquier otro instante

será sujeta a variaciones transientes, cuya naturaleza, restringe el tiempo de retardo introducido por el circuito de linealización a un valor no mayor de 5 μ s.

Todo sistema de interés práctico se enfrenta con el problema del error generado en el proceso de linealización. En sistemas digitales la precisión obtenida en la linealización está íntimamente ligada con las características particulares del mismo. Es de interés sin embargo obtener la mayor precisión con la menor complejidad posible, teniendo presente el efecto del error en el sistema global; especificándose el máximo error permisible que no produzca efectos apreciables en la operación del sistema.

Atendiendo a los aspectos planteados podemos expresar los siguientes criterios de diseño para la unidad de linealización.

- 1.- La unidad de linealización debe actuar como un bloque con una característica de transferencia adecuada, de tal forma que, el voltaje de salida promedio de la unidad de fuerza varíe linealmente con la señal digital de salida del controlador.
- 2.- La señal digital de salida de la unidad de linealización no debe contener los códigos correspondientes a una colocación de ángulos de disparo menores de 2.34° o mayores de 115.31° .

- 3.- El retardo introducido por la unidad de linealización es restringida a tiempos menores de 5 us.
- 4.- La salida de la unidad de linealización deberá contar con un registro de almacenamiento, que retenga la información proporcionada por las salidas del controlador en el instante de ocurrencia del borde de subida de la señal SDV.
- 5.- El error introducido en el proceso de linealización, definido como la relación porcentual entre la diferencia del voltaje de salida linealizado calculado teóricamente y el obtenido en forma práctica, con respecto al voltaje de salida promedio máximo de la unidad de fuerza. Este valor no debe exceder de 1.0%, y ha sido obtenido considerando el mayor paso discreto del voltaje de salida promedio generado por la unidad de disparo y secuencéo.

5.3 CONSIDERACIONES GENERALES

La función de transferencia que relaciona el voltaje de salida promedio con el ángulo de cebado del puente a tiristores de seis pui - sos es descrita por la ecuación:

$$V_o = \frac{3 \sqrt{2}}{\pi} V \cos \alpha$$

Donde:

V_o = Voltaje de salida promedio.

V = Voltaje línea-línea r.m.s en el secundario del transformador -
de potencia (141 Vrms).

α = Angulo de cebado.

De las especificaciones de la unidad de disparo y secuencéo se deduce que el cambio del ángulo de cebado ($\Delta \alpha$), entre dos cantidades digitales sucesivas en su entrada de control (CD) es:

$$\Delta \alpha = \frac{\Delta RC}{NCP-1} \quad (5.1)$$

Donde:

ΔRC = Rango de control máximo (120°).

NCP = Número de combinaciones posibles de la señal digital de ocho bits de colocación del ángulo de cebado (CD).

Reemplazando valores se tiene:

$$\Delta \alpha = \frac{120^\circ}{2^8 - 1} = 0.47^\circ$$

El ángulo de cebado (α) impuesto por la señal digital de colocación del ángulo de cebado mediante la unidad de disparo y secuenció es:

$$\alpha = V_{DCD} \times \Delta \alpha \quad (5.2)$$

Donde:

V_{DCD} = Valor decimal de la señal digital CD de ocho bits (CD8, CD7, CD6, CD5, CD4, CD3, CD2, CD1).

Así, la relación entre la cantidad digital de control y el voltaje de salida promedio puede ser expresada por:

$$V_o = V_o(\max) \cos (V_{DCD} \times \Delta \alpha) \quad (5.3)$$

Donde:

$$V_o(\max) = \frac{3 \sqrt{2}}{\pi} V$$

Para la obtención de la función de transferencia lineal entre V_o y V_{DCD} es necesario que el voltaje de salida promedio pueda ser expresado como:

$$V_o = - \frac{V_o(\max)}{192} \times V_{DCD} + V_o(\max) \quad (5.4)$$

Es posible establecer una correspondencia entre el valor de V_{DCD} - que produce una variación cosenoidal de V_o y el nuevo valor de V_{DCD} necesario para linealizar el sistema (V_{DCD}^*). La correspondencia - es obtenida mediante la igualación de las ecuaciones 5.3 y 5.4.

$$V_o(\max) \cos(V_{DCD}^* \times \Delta \alpha) = - \frac{V_o(\max)}{192} \times V_{DCD} + V_o(\max)$$

$$V_{DCD}^* = \frac{\arccos \left[1 - \frac{V_{DCD}}{192} \right]}{\Delta \alpha} \quad (5.5)$$

Debido a la discretización del voltaje de salida, el nuevo valor de V_{DCD} luego del proceso de linealización (V_{DCD}^*) debe ser un número entero. Luego, el número fraccionario calculado en el segundo término de la ecuación 5.5 es redondeado al entero más próximo.

El error porcentual (EPL) introducido en el proceso de linealización para un par transformado (V_{DCD} , V_{DCD}^*) es igual a:

$$EPL = \frac{V_o(LIN) - V_o(PLIN)}{V_o(\max)} \times 100 \quad (5.6)$$

$$V_o(LIN) = - \frac{V_o(max)}{192} \times VDCD + V_o(max) \quad (5.7)$$

$$V_o(PLIN) = V_o(max) \cos(VDCD^* \times \Delta \alpha) \quad (5.8)$$

Así, la ecuación 5.6 es igual a:

$$EPL = \left[1 - \frac{VDCD}{192} - \cos(VDCD^* \times \Delta \alpha) \right] \times 100 \quad (5.9)$$

Del análisis de las ecuaciones previamente deducidas y a partir de la ecuación que relaciona el par de valores transformados $VDCD$ y $VDCD^*$ (Ecuación 5.5), se concluye que, la linealización digital es un proceso de transformación de la cantidad digital de ocho bits proveniente del controlador (SPI1, SPI2, SPI3, SPI4, SPI5, SPI6, SPI7 y SPI8) en otra cantidad digital de ocho bits a la salida del circuito de linealización (SEP1, SEP2, SEP3, SEP4, SEP5, SEP6, SEP7 y SEP8). La salida del circuito de linealización pasa a comandar la señal de entrada de la unidad de disparo y secuencéo (CD1, CD2, CD3, CD4, CD5, CD6, CD7 y CD8).

El proceso de linealización tal como ha sido descrito presenta un inconveniente, puesto que, si la salida del controlador es 00000000 su valor transformado (Ecuación 5.5) es también 00000000. Este can

tidad digital a la entrada de unidad de disparo y secuenció produce fallas, puesto que, no se encuentra dentro de su rango de operación normal (2.34° a 115.31°).

El inconveniente planteado es obviado mediante la introducción de la constante KLI en los dos miembros del segundo término de la ecuación 5.4. Para el cálculo del valor de KLI se consideró el valor decimal mínimo de la cantidad digital a la salida de la unidad de linealización que no produce fallas. Este valor es el correspondiente a un ángulo de cebado de 2.81°, esto es, seis en decimal. Así:

$$KLI = \cos \frac{6 \times 120}{255} = 0.99 \quad (5.10)$$

Con la introducción de la constante KLI las ecuaciones 5.5 y 5.9 se transforman en:

$$VDCD^* = \frac{\arccos \left[KLI \left(1 - \frac{VDCD}{192} \right) \right]}{\Delta \alpha} \quad (5.11)$$

$$EPL = \left[KLI \left(1 - \frac{VDCD}{192} - \cos(VDCD^* \times \Delta \alpha) \right) \right] \times 100 \quad (5.12)$$

5.4 DISEÑO DE LA UNIDAD DE LINEALIZACIÓN

5.4.1 Diagrama de bloques

En la figura 5.1 se presenta el diagrama de bloques de la unidad de linealización diseñada en base de los requerimientos del sistema.

La señal de selección (SLAC) actúa directamente sobre el conmutador digital. Un nivel lógico-alto en SLAC ordena el modo de operación en lazo abierto, permitiendo el paso de la palabra digital de ocho bits (CVM), desde los conmutadores manuales de colocación del voltaje de salida deseado. La operación en lazo cerrado es posibilitada con un nivel lógico bajo en SLAC, en este caso, las salidas del conmutador digital de selección de datos son un fiel reflejo de la palabra digital de ocho bits proveniente del controlador (SPI).

La palabra digital de ocho bits a la salida del conmutador digital de selección de datos (SEP), sirve como entrada de direccionamiento de las localidades de memoria del EPROM. Las localidades de memoria del EPROM contienen la información obtenida en base de la relación de transformación (Ecuación 5.5). Así, al valor decimal del direccionamiento del EPROM (VDCD) le corresponde un segundo valor (VDCD*), almace

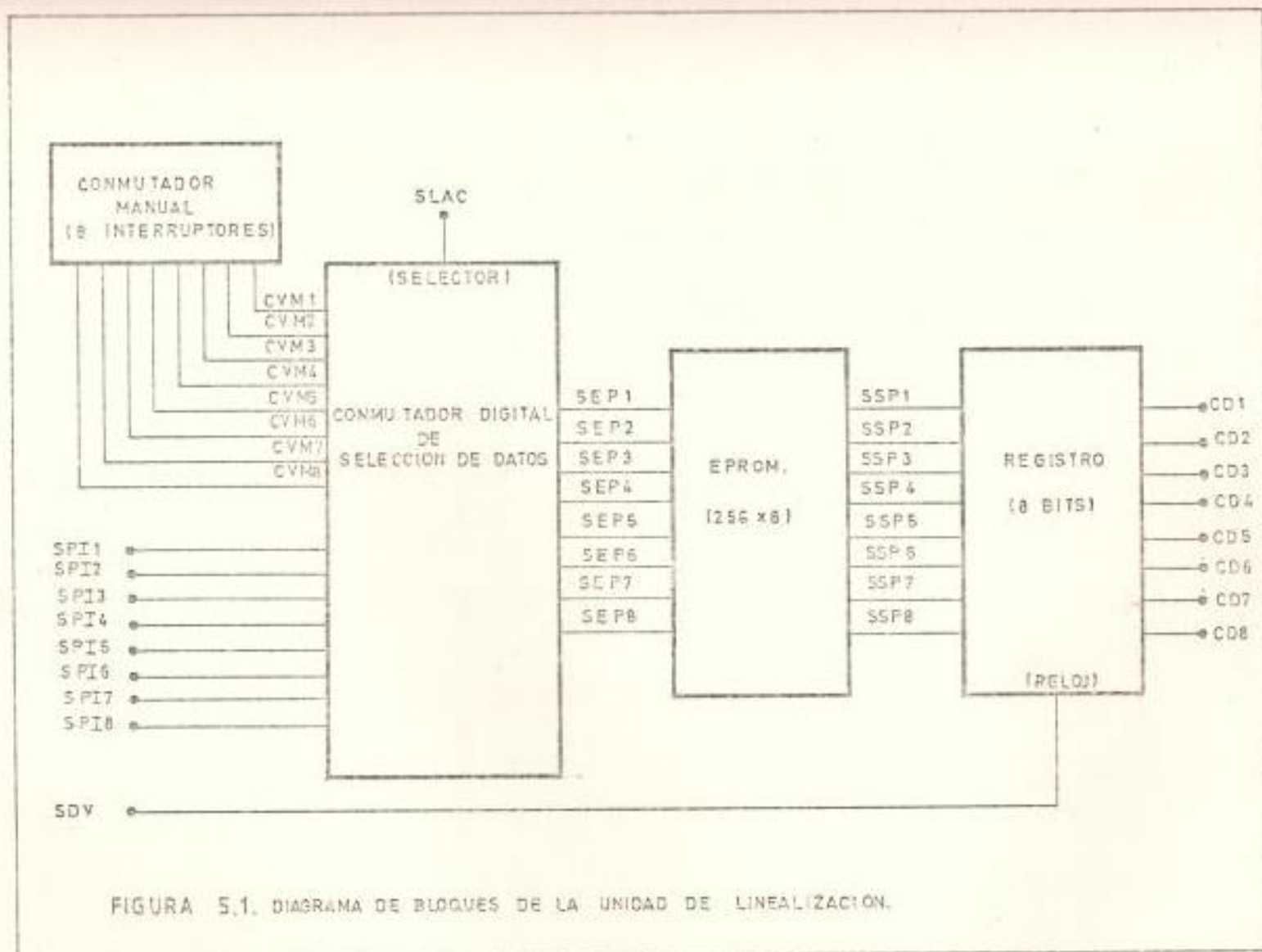


FIGURA 5.1. DIAGRAMA DE BLOQUES DE LA UNIDAD DE LINEALIZACION.

nado en la localidad de memoria direccionada y disponible en sus salidas (SSP).

La palabra digital de ocho bits a la salida del EPROM es colocada a las entradas del registro de ocho bits. El registro inhibe el paso de las salidas del EPROM a la unidad de disparo y secuencéo, en tanto no ocurra un borde de elevación en la señal SDV. La señal SDV es generada a una razón de 9.2 KHz y sus flancos de elevación positiva ocurren después de dos veces el tiempo de acceso del EPROM contados a partir de la estabilización de la señal de salida del controlador.

El esquema propuesto permite la operación linealizada en lazo abierto como cerrado, eliminando el problema de carácter transiente asociado con las salidas del controlador.

5.4.2 Conmutador digital de selección de datos

El conmutador digital selector de datos es en realidad un multiplexor con capacidad de operación sobre dos barras de datos de ocho bits cada una.

El conmutador digital fue realizado a partir de dos circuitos integrados 74157. El C.I 74157 contiene cuatro selecto-

res de datos de dos líneas a una línea con entradas de selección (Select) y prueba (Strobe) comunes (31).

Las señales SPI y CVM se alambraron a las entradas de los selectores de datos A y B. La entrada de prueba se colocó a nivel lógico bajo, posibilitándose la selección de las señales SPI o CVM, con niveles lógicos bajos y altos respectivamente, sobre la entrada de selección (Select).

5.4.3 EPR0M

Las características requeridas para la selección de la memoria únicamente de lectura son:

- a.- Capacidad de operación con una sola fuente de alimentación (+ 5 V).
- b.- Configuración de 256 localidades de memoria, de ocho bits cada una (256 x 8).
- c.- Tiempo de acceso menor de 5 us.
- d.- Capacidad de borrado y reprogramación.
- e.- Salidas compatibles con lógica TTL.

Con las especificaciones mínimas establecidas, es posible la selección de la memoria únicamente de lectura con capacidad de borrado y reprogramación (EPR0M), adecuada para la aplica

ción presente, siempre que se cuente con un programador de - EPROM universal. Debido a la carencia del programador se usó el EPROM 2708 utilizado en una tesis de grado realizada - en forma paralela (2); parte del trabajo de esta tesis es la construcción de un programador de EPROM (2708 y 8755A) con la ayuda de un microcomputador de entrenamiento basado en el microprocesador 8080.

La desventaja presentada en el uso de EPROM 2708 es la necesidad de tres fuentes de alimentación (- 5 V, + 5 V, + 12 V)

El EPROM 2708 es una memoria unicamente de lectura de 8192 - bits (1K x 8) que se puede borrar mediante luz ultravioleta y reprogramar electricamente, con salidas de tres estados y niveles de voltaje compatible con lógica TTL. El tiempo de acceso del EPROM 2708 es de 450 ns.

El grupo completo de especificaciones, características y modos de operación del EPROM 2708 pueden ser obtenidas de la - referencia (2). En la aplicación presente, los terminales - de posibilitamiento o selección (CS) y de programación (P) - fueron colocados a nivel lógico bajo, permitiendose la salida continua sobre la barra de datos (D0 - D7) del contenido de la localidad de memoria seleccionada por las entradas de direccionamiento (A0 - A9).

Por último y debido a que se utilizaron tan solo las primeras 256 localidades de memoria los bits de direccionamiento A8 y A9 se colocaron a nivel lógico bajo.

5.4.4 Programa de computadora para la obtención de los datos a grabarse en el EPROM y gráficos de los resultados.

El programa de computadora fue elaborado para satisfacer los requerimientos y necesidades propios del sistema diseñado, de manera tal que, permita la fácil programación del EPROM y verificación experimental consecuente de la unidad de linealización (apéndice).

Las prestaciones obtenidas con el programa de computadora son:

- a.- Presenta en forma tabular el direccionamiento del EPROM en binario (formato de ceros y unos) y su correspondiente valor en el sistema decimal.
- b.- Para cada direccionamiento muestra el contenido a ser grabado en las localidades de memoria del EPROM (ecuación 5.11) en binario, decimal y hexadecimal. El objeto de presentar el contenido del EPROM en el sistema hexadecimal se debe exclusivamente a las necesidades -

del sistema de grabación.

- c.- En correspondencia con cada direccionamiento se da la información de: ángulo de cebado (en grados eléctricos) voltaje de salida sin linealización y voltaje de salida con linealización.
- d.- Calcula el error de linealización porcentual (Ecuación 5.12) para cada uno de los valores de direccionamiento, y muestra el máximo error de linealización.
- e.- Permite que la información de: voltaje de alimentación del secundario del transformador de potencia, rango del ángulo de cebado y valor de la constante de linealización (KLI) sean introducidas como datos de entrada. Obteniendo un programa con la generalidad necesaria ante eventuales cambios de los parámetros mencionados debido a aplicaciones diferentes.
- f.- Realiza un gráfico del voltaje de salida promedio versus la cantidad digital a las entradas de direccionamiento del EPROM con linealización y sin linealización. Esta característica permite la visualización del proceso de linealización y el efecto de la introducción de la constante KLI.

5.4.5 Registro de salida

El registro de salida se implementó mediante el circuito integrado 74273. El C.I 74273 contiene ocho flip-flop tipo D con entradas de borrado (CLEAR) y reloj (CLOCK) comunes. Los flip-flop son disparados por la transición positiva de la señal de reloj.

De la tabla de funciones de cada flip-flop proporcionada por el fabricante (31), se observa que si la entrada de borrado es colocada a nivel alto la salida (Q) es fiel reflejo del estado de la entrada (D), cada vez que ocurre una transición de nivel bajo a alto en la entrada de reloj. Luego de la transición, la salida Q retiene o almacena la información obtenida de la entrada, hasta la ocurrencia de un nuevo cambio en la entrada de reloj.

En la figura 5.2 se muestra la configuración final de la unidad de linealización.

5.5 LISTA DE MATERIALES

<u>Nº REQ.</u>	<u>DESCRIPCION</u>	<u>Nº CATALOGO</u>	<u>DESIGNACION</u>
2	Cuatro selector de datos de dos líneas a u-	SN74157	U40, U41

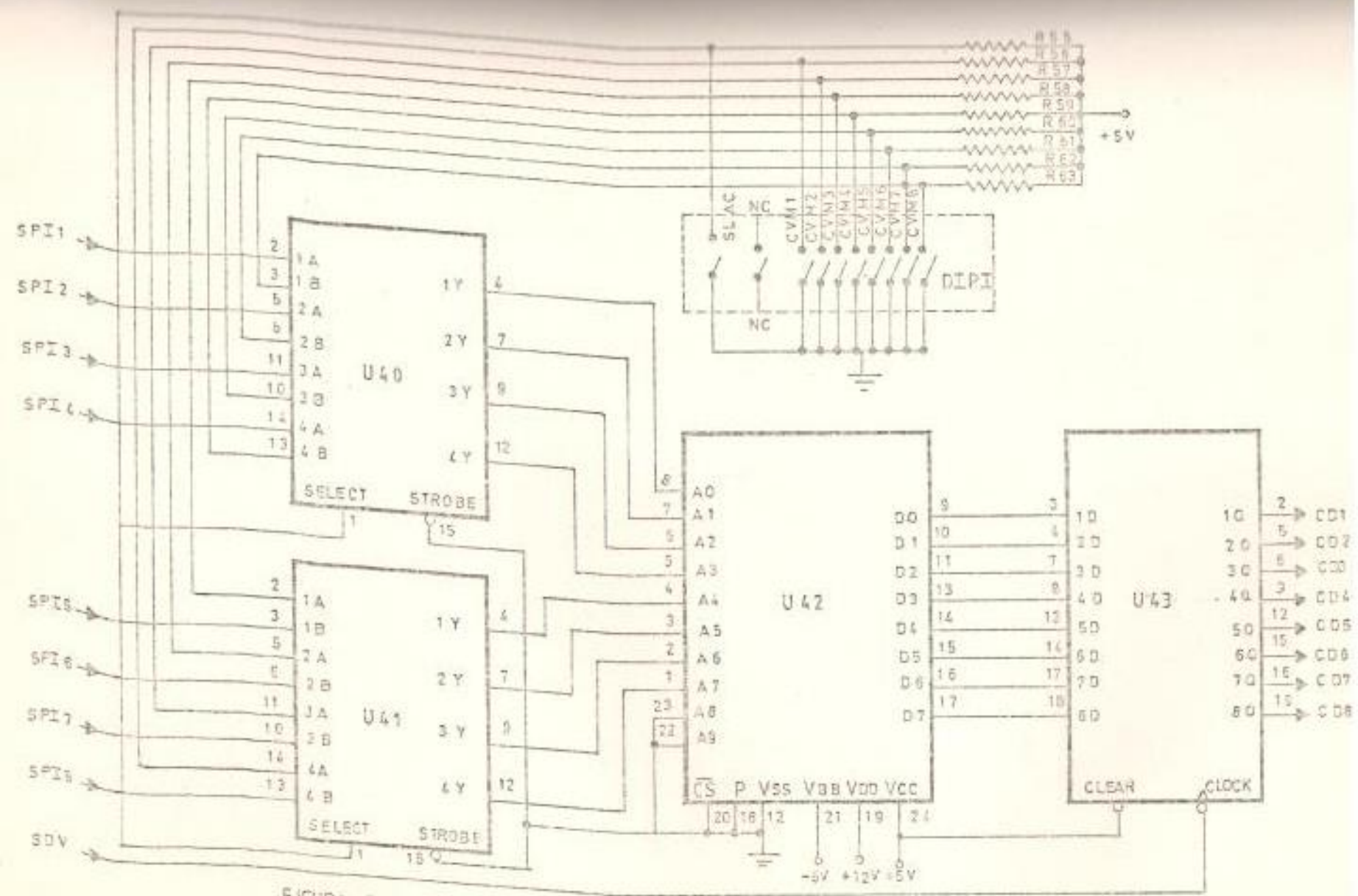


FIGURA 5.2. CIRCUITO DE LINEALIZACION.

<u>Nº REQ.</u>	<u>DESCRIPCION</u>	<u>Nº CATALOGO</u>	<u>DESIGNACION</u>
	na línea		
1	Memoria unicamente de lectura borrrable y reprogramable (EPROM)	2708	U42
1	Ocho flip-flop tipo - D con entrada de borrado	SN74273	U43
9	Resistencia: 1 K Ω , 1/2 W		R55, R56, R57 , R58, R59, R60 , R61, R62, R63 ,
1	Conjunto de 10 interruptores de señal en un mismo empaquetamiento		CVM1, CVM2, - CVM3, CVM4, - CVM5, CVM6, - CVM7, CVM8, - SLAC

5.6 CONSTRUCCION

La unidad de linealización se construyó mediante la misma técnica utilizada para el montaje de la unidad de disparo y secuencéo. Debido a la relativamente baja densidad de elementos de la unidad de linealización, estos fueron colocados sobre la tarjeta usada para el montaje del controlador proporcional e integral (Capítulo VII).

5.7 PRUEBAS

Las pruebas iniciales se redujeron a la operación de la unidad de linealización en lazo abierto, conectando a la salida del convertidor carga resistiva-inductiva. Se hizo la verificación de los datos obtenidos mediante el programa de computadora (apéndice), para cada uno de los 256 direccionamientos del EPROM, colocados a través de los ocho interruptores de selección de voltaje de salida promedio. Para cada direccionamiento se chequeó el contenido correspondiente del EPROM y el ángulo de cebado. Este último parámetro se obtuvo a partir del oscilograma del voltaje en los terminales de salida del convertidor.

Los resultados de las pruebas para operación en lazo cerrado son presentadas en el capítulo VIII.

CAPITULO VI

TRANSDUCTOR DE CORRIENTE Y DETECTOR DE ERROR

6.1 INTRODUCCION

La función básica del transductor de corriente es la transformación lineal de la señal análoga de corriente promedio tomada por la carga manejada por la unidad de fuerza (motor D.C), en una palabra digital de ocho bits. En el proceso de transformación mencionado son de interés las siguientes consideraciones:

- a.- Necesidad de eliminar el rizado de 360 Hz de la señal de corriente de carga del convertidor de seis pulsos. Esta característica de la señal de retroalimentación presupone la utilización de un filtro con la consiguiente desmejora (retardo) del lazo de regulación.
- b.- La naturaleza digital del transductor de corriente implica la utilización de una razón de muestreo en la etapa de conversión A/D. La frecuencia de muestreo utilizada debe ser relativamente alta, con el objeto de no introducir un retardo adicional en el lazo de retroalimentación.
- c.- Proveer el aislamiento adecuado en la interface existente en-

tre el sensor del transductor y la unidad de potencia, sin des mejoras en la exactitud del sensor.

El transductor de corriente se diseñó en base de las consideracio - nes precedentes obteniendose resultados experimentales satisfacto - rios (Capítulo VIII). Los cálculos para la selección de los dife - rentes componentes del transductor se realizaron en base de las es - pecificaciones nominales del motor D.C de 1.5 H.P cuyas caracterís - ticas eléctricas y datos de placa fueron dados en el capítulo II. - El filtro para la eliminación del rizado de 360 Hz de la corriente de retroalimentación se diseñó con una constante de tiempo (T_{filt}) variable de tal forma que se disponga de un medio de ajuste en el - caso de operarse con cargas de diferente constante de tiempo. Esta característica permite además la selección experimental de la menor constante de tiempo que no produce la saturación del controlador pa - ra una carga determinada; para cargas con constantes de tiempo sufi - cientemente altas (15 ms a 20 ms), es posible la selección de T_{filt} a 1 ms o menos debido al filtrado de armónicas por la inductancia - de carga (22).

En el diseño presentado se prevee la selección de la corriente de - seada mediante ocho interruptores que dan la colocación digital co - rrespondiente. De esta manera, las señales digitales de ocho bits del lazo de retroalimentación y colocación de corriente, están lis - tas para ser convenientemente utilizadas por el detector de error.

El detector de error, mediante la manipulación adecuada de las señales digitales provenientes del lazo de retroalimentación e interruptores de colocación de corriente, proporcionan al controlador la información del error tanto en magnitud (ocho bits) como en signo (un bit).

En este capítulo se presentan los criterios de diseño, cálculos, construcción y resultados experimentales, tanto del transductor de corriente como del detector de error.

6.2 DISEÑO DEL TRANSDUCTOR DE CORRIENTE

6.2.1 Descripción general y diagrama de bloques

El transductor de corriente está compuesto por tres etapas que realizan funciones específicas: etapa de procesamiento de la señal de corriente, etapa de conversión analógico-digital y etapa de sincronización de las señales utilizadas por el detector de error. La interrelación entre cada una de estas etapas y sus circuitos constitutivos es esquematizado en el diagrama de bloques de la figura 6.1.

La etapa de procesamiento capta la corriente tomada por la carga y la transforma en un voltaje continuo. El voltaje a la salida de la etapa de procesamiento ('set) varía lineal -

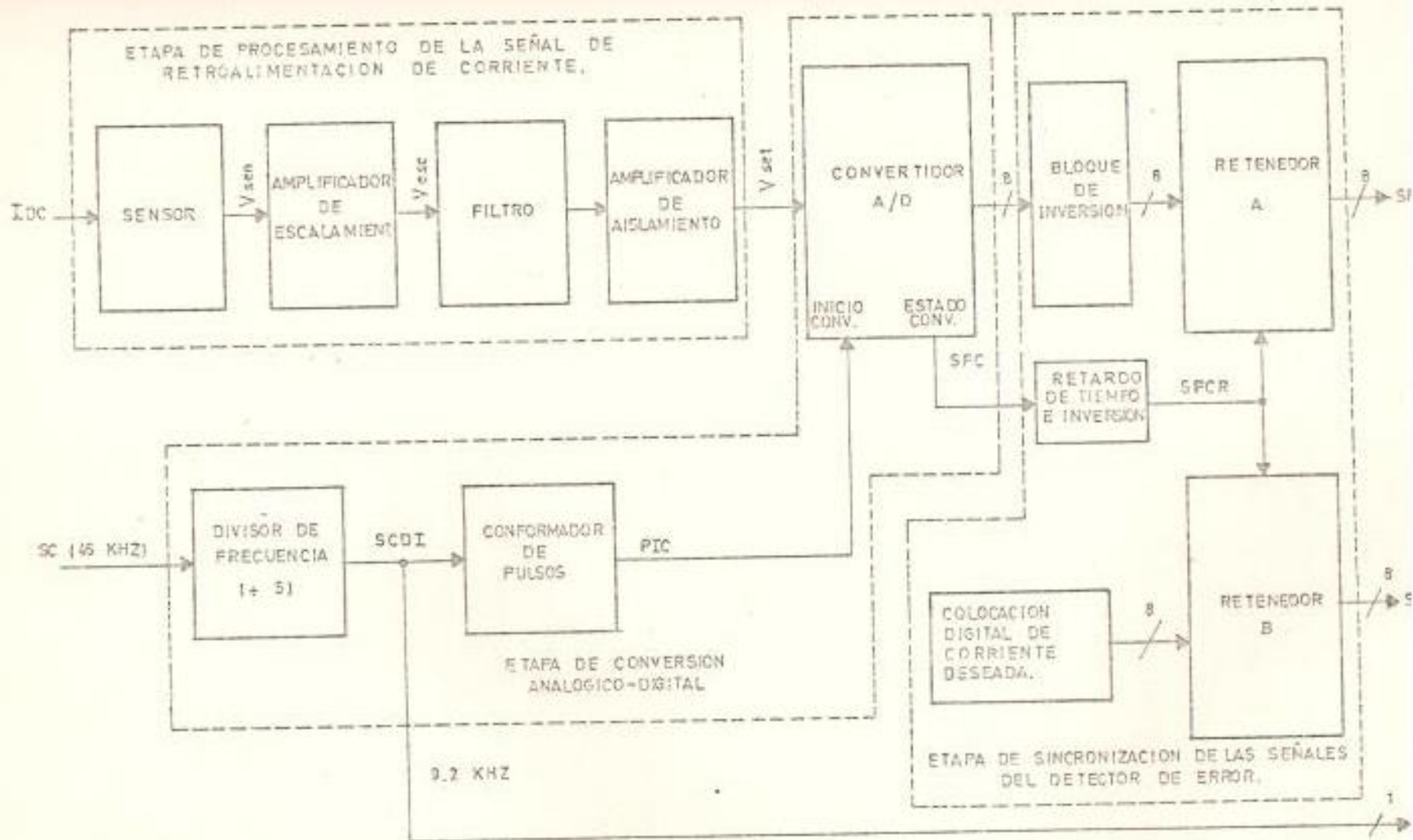


FIGURA 6.1. DIAGRAMA DE BLOQUES DEL TRANSDUCTOR DE CORRIENTE.

mente con la señal de corriente promedio sensada a su entrada (i_{DC}), en el rango de operación preestablecido por los parámetros nominales de la carga conectada a los terminales de salida del convertidor. El rango de variación de V_{set} es determinado por las especificaciones de la etapa de conversión (0 a 10 V); proveyéndose el máximo voltaje de salida ($V_{set} = 10$ V) para una corriente de carga 20% mayor que la nominal. De esta manera se asegura la detección del error, en el caso que i_{DC} sea mayor que la corriente nominal impuesta en los interruptores de colocación digital de corriente deseada.

El bloque básico de la etapa de procesamiento constituye el sensor de corriente. Los sistemas de conversión de potencia AC - DC, que toman la corriente desde una fuente trifásica y la aplican luego de una transformación adecuada a una carga DC, tal como un motor de corriente continua, permiten el sensado de la corriente de carga tanto en el lado de continua como en el de alterna. La medición de corriente en el lado de alterna restringe el uso del diodo de conmutación con carga fuertemente inductiva bajo operación rectificadora, debido a que la corriente de carga es apreciablemente mayor que la corriente de entrada A.C. En el diseño presentado se prefirió el sensado en el lado de alterna, puesto que el diodo de conmutación no es utilizado con la confi

guración elegida para la unidad de fuerza; siendo además la alternativa obvia por razones de orden económico y factibilidad de obtención.

La señal de voltaje a la salida del sensor (V_{sen}) es una fiel reproducción de la señal de corriente de carga en cuanto a forma. Siendo las magnitudes de V_{sen} e I_{DC} , relacionadas por una constante de conversión, determinada por las características propias de la configuración sensora utilizada.

El amplificador de escalamiento a la salida del sensor permite la calibración de V_{set} de acuerdo con la especificación nominal de I_{DC} . Por consiguiente, su ganancia es variable y su impedancia de entrada relativamente alta con el objeto de no presentar un cargado al circuito sensor.

El filtro R-C a la salida del amplificador de escalamiento - remueve el rizado de 360 Hz superimpuesto en V_{esc} y característico de la señal de corriente de carga del convertidor tipo puente de seis pulsos. La necesidad de filtrado de la señal de retroalimentación, introduce un retardo en la respuesta dinámica del sistema, con la consiguiente desmejora en la respuesta transiente de la variable bajo control. Es de interés reducir este retardo, disminuyendo la constante de tiempo del filtro. En general, incrementando la constante -

de tiempo del filtro (T_{filt}), disminuye el margen de fase disponible y el sistema es menos estable. Para una carga determinada debe seleccionarse el menor valor de T_{filt} que no origine oscilaciones en el controlador.

El amplificador de aislamiento, a la salida de la etapa de procesamiento, protege al convertidor A/D ante posibles excursiones de V_{set} por arriba del valor límite (10 V), en el caso de originarse transitorios en I_{DC} mayores que el máximo especificado. Además, presenta una ganancia unitaria y alta impedancia de entrada, de manera tal que, la relativamente baja impedancia de la entrada análoga del convertidor (5 K Ω), no afecte la constante de tiempo impuesta al filtro R-C.

La etapa de conversión analógico-digital, transforma la señal análoga de voltaje a la salida de la etapa de procesamiento, en una palabra digital de ocho bits, mediante el convertidor analógico-digital (A/D). La naturaleza discreta del proceso de conversión descrito, imprime en el sistema la característica formalmente denominada de muestreo de datos. La razón de muestreo de datos (corriente de retroalimentación) se seleccionó a un valor relativamente alto (9.2 KHz), con el objeto de que la información presente en el lazo de realimentación sea prácticamente continua.

Existe una correlación funcional sincrónica entre: el transductor de corriente, unidad de disparo y secuencéo, unidad de linealización y controlador que será explicada en el capítulo VII. Por el momento cabe indicar que el tipo de correlación existente es optimizada mediante la generación de los pulsos de inicio de conversión (PIC) y la señal de reloj del registro de salida de la unidad de linealización (SDV) a partir de la señal de contéo (SC) de los bloques de contadores del circuito de disparo.

La frecuencia de muestreo se obtuvo a partir de la señal SC de 46 KHz a través de un divisor de frecuencia por cinco. La señal de contéo dividida (SCDI) pasa directamente a la unidad de linealización, en cambio la señal PIC se obtiene mediante el conformador de pulsos, el mismo que da un pulso de 1 us de ancho en los bordes de subida de SCDI. El ancho del pulso PIC es determinado por las especificaciones de la entrada de inicio de conversión del convertidor A/D.

La etapa de sincronización básicamente está compuesta de dos retenedores de datos de ocho bits cada uno. Los retenedores de datos A y B retienen a su salida la información presentada por el convertidor A/D y los interruptores de colocación digital de corriente, respectivamente, cada vez que ocurre un borde elevación positivo en la señal SFCR.

El bloque de inversión a la salida del convertidor A/D transforma el código de salida de binario directo complementado a binario directo con el objeto de colocar la corriente deseada mediante este último código.

La señal de finalización de conversión (SFC) va a estado bajo una vez que termina el proceso de conversión. Luego, es necesario su inversión para generar SFCR, proveyéndose al mismo tiempo el retardo de tiempo adecuado y compatible con el introducido por el bloque de inversión.

Las señales digitales de ocho bits SRE y SCO, del lazo de realimentación y colocación de corriente respectivamente, son utilizadas posteriormente por el detector de error.

6.2.2 Etapa de procesamiento de la señal de corriente de retroalimentación

6.2.2.1 Sensor de corriente

La selección del sensor de corriente se fundamentó en consideraciones tales como: costo y facilidad de obtención, teniéndose presente además la necesidad de aislamiento entre la sección de potencia y el circuito de control.

Los sistemas de sensado de corriente con reactores saturables y efecto Hall (19) fueron obviados debido a dificultades de obtención y factores de orden económico. Eliminándose el sensado por resistencia (Shunt) por la falta de aislamiento prevista por este tipo de sensor. Las técnicas referenciadas presentan la ventaja de sensado en el lado de continua

La elección fue, por consiguiente, hacia el uso de tres transformadores de corriente A.C y puente de rectificación trifásico (20). La corriente en el lado de alterna es transferida como un voltaje en la resistencia de carga del puente de rectificación (Figura 6.2). Estableciéndose una duplicación exacta de la señal de corriente de carga, debido principalmente a que, la unidad de conversión de potencia utiliza una configuración de tiristores similar al puente de diodos del sensor.

Para la construcción del sensor se utilizaron tres transformadores de corriente (TRC7, TRC8 y TRC9) conectados en estrella y con las siguientes especificaciones de interés:

Relación de transformación = 120/5 A

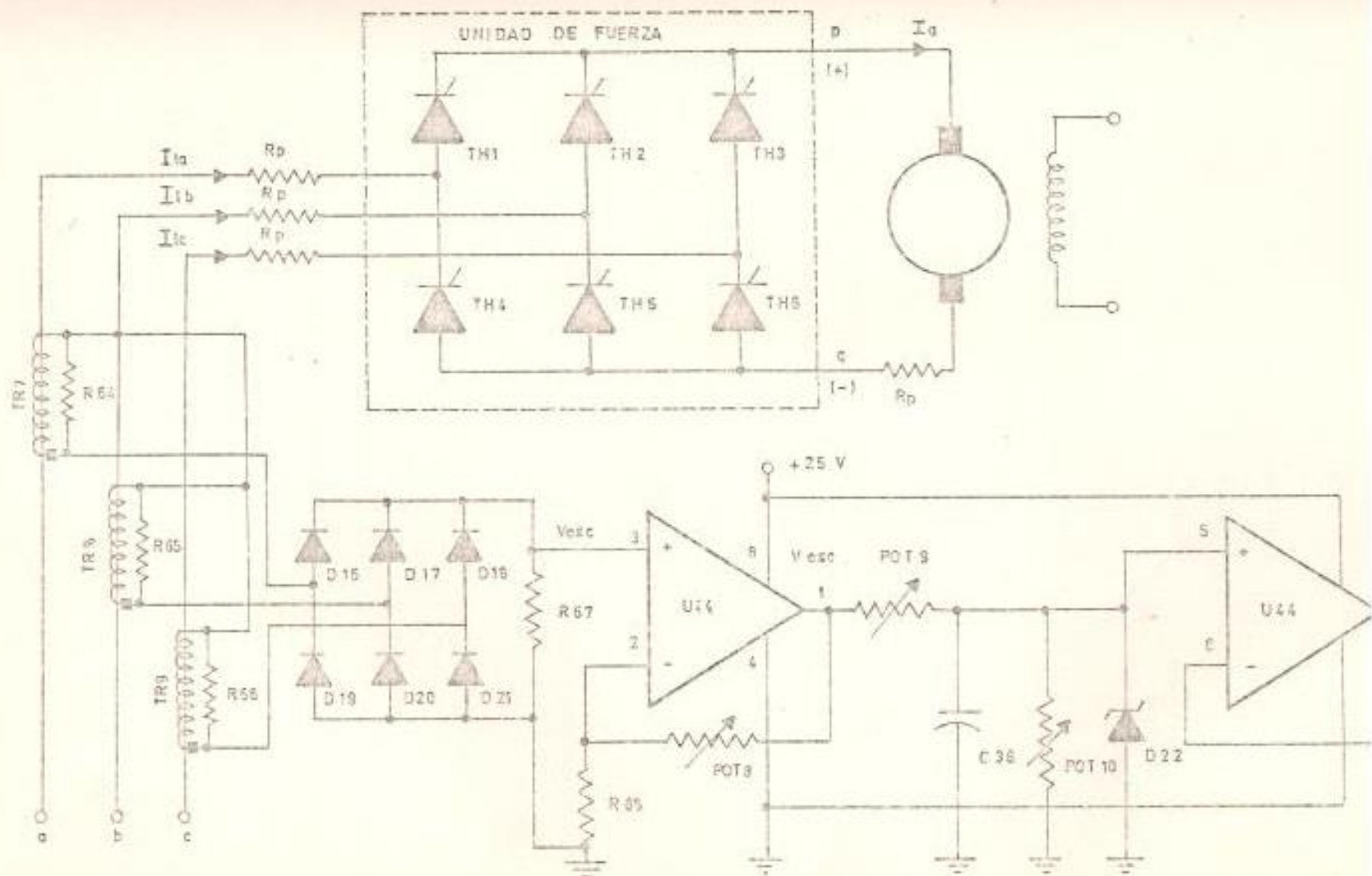


FIGURA 6.2. CIRCUITO DE PROCESAMIENTO DE LA SEÑAL DE RETROALIMENTACION DE CORRIENTE.

Frecuencia de operación	= 50 - 60 Hz
Vóltio-amperios, máximo	= 2.5 VA
Exactitud	= \pm 1%

El factor de distorsión de la corriente en las líneas de alimentación del puente trifásico de seis pulsos es de 0.95 (23). Esto es, la componente fundamental de la corriente determina prácticamente a la misma. Esta característica es de gran significación, dado que, la componente fundamental tiene la frecuencia de línea (60 Hz) y los transformadores de corriente utilizados responden con la exactitud especificada a la frecuencia mencionada.

En este punto cabe mencionar, que la selección de los diodos (D16, D17, D18, D19, D20 y D21) y resistencia (R67) del sensor, se basan en las especificaciones de placa del motor DC de 1.5 H.P dadas en el capítulo II y bajo la asunción de que la corriente de línea es representada por su componente fundamental. Además, por razones ya especificadas anteriormente, se ha previsto el sensado de corrientes de carga con un 20% de exceso con respecto a la nominal (S A D.C).

La magnitud pico de la componente fundamental de la corriente, en las líneas de alimentación del convertidor (I_{f1s}), es deducida en la referencia (23) y viene dada por la ecuación.

$$I_{f1s} = \frac{2\sqrt{3}}{\pi} \times I_{DC} \quad (6.1)$$

El valor pico máximo de I_{f1s} , para una I_{DC} del 20% mayor de la nominal del motor, es por consiguiente igual a 11.90 A.

Se utilizó cuatro vueltas, de la línea de alimentación respectiva, por cada una de los transformadores de corriente. Luego, en el secundario de los transformadores se inducirá una corriente de:

$$I^*_{f1s} = \frac{I_{f1s}(\max)}{RTR} \quad (6.2)$$

Donde:

RTR = Relación de transformación con cuatro vueltas primarias (seis).

El máximo valor de I_{fls} en base de ecuación 6.2 y con los valores preestablecidos es de 1.98 A.

Cada uno de los transformadores de corriente, en la configuración sensora usada, se comportan como fuentes de corriente. Por consiguiente, el voltaje impreso en la resistencia R_{67} del sensor luego de la rectificación contiene un rizado de 360 Hz y un valor máximo de:

$$V_{max}(R_{67}) = I_{fls} \times R_{67} \quad (6.3)$$

Se seleccionó una resistencia de 1.2Ω nominal (1.2Ω valor experimental), luego se prevee un voltaje máximo en los terminales de salida del rectificador del sensor de 2.38 V.

La asunción de una corriente de carga representada por su componente fundamental permite la utilización de las ecuaciones deducidas en el capítulo II para el convertidor trifásico de seis pulsos. Dado que el puente de rectificación del sensor es realizado con diodos, las ecuaciones referenciadas son utilizadas para $\alpha = 0^\circ$ y adicionalmente se toman en cuenta las caídas de voltaje en los diodos para el

cálculo de la potencia de los transformadores de co
rriente.

El voltaje promedio a la salida del sensor, utili-
zando la ecuación 2.3, es:

$$V_o (\text{sensor}) = \frac{3 \sqrt{2}}{\pi} \times V (\text{sensor})$$

Donde:

$V (\text{sensor}) =$ Voltaje r.m.s a la entrada del rectifi-
cador ($2.38 / \sqrt{2} = 1.68 \text{ V}$).

Luego:

$$V_o (\text{sensor}) = \frac{3 \sqrt{2}}{\pi} \times \frac{2.38}{\sqrt{2}} = 2.27 \text{ V}$$

El voltaje r.m.s a través de la resistencia de sali-
da ($V_R (\text{sensor})$) del sensor (Ecuación 2.9) es:

$$V_R (\text{sensor}) = \sqrt{2} \ V(\text{sensor}) \left[\frac{1}{2} + \frac{3}{4} - \frac{\sqrt{3}}{\pi} \right]^{1/2}$$

$$V_R (\text{sensor}) = 2.27 \text{ V}$$

Las corrientes promedio ($I_o (\text{sensor})$) y r.m.s $I_R (\text{sensor})$ en la resistencia de carga R67 del rectificador son:

$$I_o (\text{sensor}) = \frac{V_o}{R_{67}} = \frac{2.27}{1.2} = 1.89 \text{ A}$$

$$I_R (\text{sensor}) = \frac{V_R}{R_{67}} = \frac{2.27}{1.2} = 1.89 \text{ A}$$

La potencia disipada en la resistencia del sensor es de:

$$P(R_{67}) = V_R \times I_R = 2.27 \times 1.89 = 4.29 \text{ W}$$

Las corrientes promedio ($I_{oD} (\text{sensor})$) y r.m.s ($I_{oR} (\text{sensor})$), a través de los diodos del sensor, a partir de las ecuaciones 2.18 y 2.19 son:

$$I_{oD} (\text{sensor}) = \frac{I_o}{3} = \frac{1.89}{3} = 0.63 \text{ A}$$

$$I_{oR}(\text{sensor}) = \frac{I_R}{\sqrt{3}} = 1.09 \text{ A}$$

El voltaje línea-línea máximo (V_{LMX}), a la entrada del rectificador es:

$$V_{LMX} = \sqrt{2} V(\text{sensor}) + 2 \times V_D$$

Donde:

$$V_D = \text{Caída de voltaje en los diodos (0.8 V)}$$

Luego:

$$V_{LMX} = 2.38 + 2 \times 0.8 = 3.98 \text{ V}$$

La potencia de cada uno de los transformadores de corriente (P_{TR}), conectados en estrella, a partir de los valores previos y mediante el uso de la ecuación 2.20 es:

$$P_{TR} = \frac{V_{LMX} \cdot I_R}{3} = 2.51 \text{ V.A.}$$

Para el puente de rectificación del sensor, se seleccionó diodos rectificadores de recuperación rápida A 14 U (21), de 2 A de corriente promedio y 200 V de voltaje inverso pico repetitivo. Este tipo de diodos soporta corrientes directas transientes de hasta 85 A pico, característica que los hace inmunes a daños por posibles fallas durante las pruebas y calibración del lazo de retroalimentación.

Se usó para R67 una resistencia de 6 W, con el objeto de proveer un margen adecuado de seguridad. Por último, de los cálculos realizados para la potencia de los transformadores de corriente se observa su operación con la especificación de potencia nominal (2.5 V.A).

6.2.2.2 Amplificador de escalamiento

El amplificador de escalamiento fue construido utilizando uno de los dos amplificadores operacionales empaquetados en el circuito integrado LM358 (26). - El C.I LM358 es diseñado para alimentarse a través de una sola fuente (3 V a 30 V), e ideal para aplicaciones de amplificación de señales de una sola polaridad; con niveles de sobrecolocación DC de entra

da (Offset) extremadamente bajos (3 mV).

Para el cálculo de la ganancia del amplificador se consideró las características del filtro. El filtro, por razones que serán obvias posteriormente, reduce el nivel promedio de la señal de corriente amplificada por un factor de dos. Además, es deseable que el amplificador no se sature para niveles de corriente de carga del 120% de la nominal (10.8 A).

El voltaje análogo máximo (10 V), a la entrada del convertidor, se obtiene con un voltaje promedio de 20 V a la salida del amplificador de escalamiento, correspondiente a 20.9 V máximo, de acuerdo a las consideraciones realizadas para la selección de los elementos del sensor.

El rizado de 360 Hz, de la corriente de carga del convertidor de seis pulsos, es en realidad un parámetro determinado por la corriente de rizado (I_{nr}). La corriente de rizado varía en función del ángulo de cebado y la resistencia e inductancia de carga (Ecuación 2.16). Por los factores anotados se prefirió en este punto verificar experimentalmente las

asunciones realizadas en el diseño del sensor de co
rriente.

Las simplificaciones teóricas establecidas fueron -
sometidas a pruebas experimentales. Las pruebas se
realizaron con la fuente de corriente operando en -
lazo abierto con el motor D.C de 1.5 H.P como carga
Para diferentes ángulos de cebado y niveles de co-
rriente de armadura (I_a), se observó una relación -
entre el valor máximo y promedio de I_a de hasta el
120%. Esta relación disminuye al 117% para corrien-
tes de armadura por encima de la nominal; dado que,
los ángulos de cebado correspondientes, son menores
de 30° y los componentes armónicos de corriente son
reducidos en magnitud (Figura 2.10).

En base de las pruebas experimentales se concluye -
que el voltaje máximo a la salida del amplificador
debe ser de 23.40 V. El máximo voltaje de entrada
del amplificador es de 2.28 V, luego su ganancia de
be ser de 9.83 y el voltaje de alimentación de 25 V
mínimo. Este último valor se calculo a partir del
voltaje de saturación del amplificador operacional
(1.5 V menor que la fuente de alimentación).

Es posible la utilización de un voltaje de alimentación de 15 V, para el amplificador operacional, si el rango de la entrada analógica del convertidor A/D varía entre 0 V y 5 V. Esta simplificación conlleva la desventaja de la necesidad de un filtro más riguroso, dado que, el rango de voltaje del bit menos significativo es reducido a la mitad (19.53 mV)

El amplificador operacional se alabró en la configuración no inversora (Figura 6.2). La resistencia y potenciómetro, de colocación de ganancia en lazo cerrado (R68 y POT8), son de 1 K Ω y 20 K Ω respectivamente; con lo cual se obtiene una amplificación máxima de 21 veces y una impedancia de entrada de aproximadamente 100 M Ω . Estos cálculos han sido realizados utilizando las fórmulas aproximadas dadas en (7) y mediante los datos obtenidos de la referencia (26).

Con un voltaje de sobrecolocación D.C de entrada de 3 mV y una amplificación de 9.8, el máximo nivel de sobrecolocación D.C, a la salida, es de 29.4 mV. Este valor es menor que el rango de bit menos significativo (39 mV) y , permite el uso de un amplificador operacional sin entradas de anulación del nivel

de sobrecolocación D.C.

6.2.2.3 Filtro

En la construcción del filtro se vislumbró tres alternativas básicas (20), que se diferencian por las prestaciones funcionales brindadas:

- a.- El circuito pico, cuyo voltaje de salida es proporcional a la corriente pico de carga.
- b.- El circuito r.m.s, donde el voltaje de salida varía linealmente con el valor r.m.s de la corriente de carga.
- c.- El circuito promediador, cuyo voltaje de salida es proporcional al valor promedio de la corriente de carga.

En la aplicación de la fuente de corriente a la impulsión de motores de continua y más aún su control de torque, es necesario el control de la corriente promedio de armadura. Esta característica define el tipo de filtro como un circuito promediador. Por otro lado y debido a que la fuente es diseñada

para operar con cargas de diferente constante de tiempo, se dispuso un ajuste de T_{filt} , entre 0 ms y 20 ms.

La configuración del filtro promediador se muestra en la figura 6.2. Se utilizó un condensador (C36) de 20 μF , con reóstatos (POT9 y POT10) de 1 $K\Omega$. En el proceso de calibración los potenciómetros son colocados a igual valor, sin importar el valor de la constante de tiempo elegida, con el objeto de que el filtro responda de idéntica forma, ante eventuales aumentos o disminuciones transientes, de la corriente de armadura del motor D.C. Esta característica del filtro conlleva una desventaja relativa ya que el voltaje promedio de entrada es reducido a la mitad y presente como un voltaje continuo alizado a su salida.

El ajuste de los potenciómetros es de naturaleza experimental, luego los cálculos concernientes han sido obviados.

6.2.2.4 Amplificador de aislamiento

El amplificador de aislamiento se realizó con el am

plificador operacional restante del C.I LM358, en la configuración seguidor de emisor con ganancia unitaria (Figura 6.2). La alta impedancia de entrada del amplificador, aísla la salida del filtro, con el objeto de impedir la modificación de sus parámetros por la impedancia de entrada ($5\text{ K}\Omega$) del terminal análogo de conversión.

La configuración final de la etapa de procesamiento de la señal de corriente (Figura 6.2) muestra los transformadores de corriente con las resistencias de protección (R23, R24 y R25) de 120Ω . Adicionalmente se presenta la conformación de la unidad de fuerza con el propósito de relieves las interconexiones relativas de los transformadores y rectificador del sensor. El diodo zéner (10.5 V) a la salida del filtro protege al convertidor ante eventuales variaciones de voltaje por encima del valor zéner.

6.2.3 Etapa de conversión analógico-digital

6.2.3.1 Selección de la frecuencia de muestreo

La frecuencia de muestreo de la etapa de conversión

A/D y la constante de tiempo del filtro utilizado - en la etapa de procesamiento de la señal de corriente, son los parámetros que definen el retraso introducido por el lazo de retroalimentación, en condiciones de operación transiente.

La razón de muestreo de la corriente de retroalimentación está íntimamente relacionada con la frecuencia de la señal de conteo de la unidad de disparo (46 KHz). Una frecuencia de muestreo de 46 KHz, le permite al sistema de disparo actualizar el estado de la señal de colocación digital del ángulo de cebado (CD), antes de cada proceso de comparación. Frecuencias de muestreo más altas no son de interés práctico, puesto que, no tienen ningún efecto optimizador en la operación dinámica de la unidad de disparo.

La razón de muestreo utilizada en la etapa de conversión, define el tiempo de conversión del convertidor A/D de la misma. El tiempo de conversión es un parámetro que determina el costo del convertidor A/D. Así, por ejemplo, el uso de una razón de muestreo de 46 KHz implica un tiempo de conversión menor de 10 μ s, y un costo promedio alto del converti

dor A/D (6).

En razón de los factores planteados, es deseable operar el sistema con la menor frecuencia de muestreo, que no produzca desmejoras en la respuesta dinámica de la variable bajo control. La selección de una frecuencia de muestreo de 9.2 KHz es una solución de compromiso, ya que, permite actualizar el estado de la señal CD cada 109 us, esto es, luego de 5 niveles de comparación en la unidad de disparo. El retraso introducido, corresponde a un error máximo de 2.34° , en el ángulo de cebado del primer tiristor disparado luego de un cambio transiente, en la colocación de corriente deseada o en la carga del convertidor.

En realidad, el retraso de muestreo introducido en la etapa de conversión es despreciable, en relación al originado por el filtro R-C, de manera que, la señal realimentada puede ser considerada continua.

6.2.3.2 Convertidor A/D

La selección del convertidor A/D se basó en las siguientes consideraciones:

- a.- Resolución de ocho bits, este parámetro es determinado por la resolución del circuito detector de error.
- b.- Código de salida binario directo, de manera - que la colocación digital de corriente deseada sea codificada de igual manera.
- c.- Salidas compatibles con lógica TTL.
- d.- Rango de entrada analógica 0 V a 10 V.
- e.- Tiempo de conversión menor de 100 μ s.
- f.- Convertidor monotónico. Los convertidores no monotónicos, no presentan códigos de salida sucesivos, para un cierto rango de voltaje de entrada (11). Si el código omitido corresponde con la colocación digital de corriente, se produce una señal de error, aún cuando esta debe ser nula, con la consiguiente oscilación de la cantidad bajo control (corriente de carga).
- g.- Error de linealidad igual a $\pm 1/2$ LSB, con lo que se asegura una función de transferencia li

neal entre el voltaje de entrada análoga y la cantidad digital de salida, previniéndose los errores de estado estable en la variable controlada.

- h.- Medios de ajuste externos de ganancia y desplazamiento del nivel de voltaje D.C (Offset).
- i.- Relativamente bajo desplazamiento de la ganancia con la temperatura (no mayor de 200 ppm/°C) Permitiendo la operación sin calibración dentro de un amplio rango de temperatura de operación.

Con las especificaciones dadas, se seleccionó el convertidor ADC50-08-8in fabricado por Burr-Brown. Por dificultades de obtención se usó el ADC80AG-10 de la misma fábrica; las especificaciones eléctricas, curvas de operación y demás características son dadas en la referencia (5). A continuación se da una breve descripción del convertidor mencionado con el objeto de facilitar la comprensión del diseño final.

El ADC80AG-10 es un convertidor analógico-digital -

de 10 bits de resolución y opera basado en el principio de aproximaciones sucesivas. Acepta voltajes de entrada unipolares o bipolares con rangos programables (± 2.5 V, ± 5 V, ± 10 V, 0V a + 10 V, 0V a + 5 V). La velocidad de conversión, con reloj interno, es de 21 μ s, sus salidas compatibles con lógica TTL y codificadas en binario directo complementado.

La conversión es iniciada por el borde de elevación positivo de la entrada de mando para el inicio de conversión (Terminal 18). El ancho del pulso de conversión debe ser mayor de 100 μ s y menor que 2 μ s; debiéndose mantener en estado bajo durante el ciclo de conversión.

La salida que refleja el estado de conversión (Terminal 22) es alta durante la conversión y pasa a cero voltios en el instante que finaliza el ciclo de conversión.

El máximo error de linealidad es de $\pm 0.048\%$ del rango total de la entrada analógica, y además el error de linealidad diferencial de $\pm 1/2$ LSB. El ADC80AG-10 es monotónico, sin omisión de códigos de salida en el rango de temperaturas de operación de

0°C a 70°C.

La resolución del registro de aproximaciones sucesivas es controlada por el terminal de acortamiento de ciclo (Terminal 21). Para resoluciones de ocho bits, este terminal es conectado al bit nueve, disminuyendo el tiempo de conversión a 18 μ s.

Los terminales comunes, tanto análogos como digitales, no son conectados internamente; recomendándose su conexión, lo más cerca posible del convertidor, con el uso adicional de un condensador de paso no polarizado, entre estas, de 0.01 μ F.

Las fuentes de suministro (+ 5, \pm 15) deben ser desacopladas con condensadores electrolíticos de 1 μ F en paralelo con condensadores de cerámica de 0.01 μ F.

El convertidor está provisto de medios de ajuste, tanto de la ganancia como del nivel de desplazamiento D.C. Los pasos de ajuste son proporcionados en la referencia (5).

El tiempo de conversión para una resolución de ocho

bits es de 18 us, luego, es posible operar con frecuencias de muestreo de hasta 23.75 KHz. El sistema diseñado fue sometido a pruebas experimentales, con frecuencias de muestreo de 23 KHz y 9.2 KHz, con resultados similares en la respuesta transiente y de estado estable de la variable controlada. En el diseño final se prefirió el uso de una frecuencia de muestro de 9.2 KHz, con el objeto de rellevar las prestaciones del sistema con el uso hipotético de un convertidor relativamente lento (tiempo de conversión de 109 us),

El convertidor A/D de aproximaciones sucesivas impone una condición adicional a la unidad de conversión. La cantidad analógica de entrada, no debe mostrar variaciones apreciables (mayores de $\pm 1/2$ - LSB) mientras dure el proceso de conversión, caso contrario, se produce errores en la conversión, cuya magnitud depende del rango de variación de la señal analógica mencionada.

En el diseño inicial y pruebas consecuentes, se utilizó el circuito de muestreo y retención (M/R) - LF398, con el objeto de obviar este problema. El M/R muestrea un valor específico de voltaje a la sa

lida de la unidad sensora y retiene este valor mientras dure el proceso de conversión A/D.

Las pruebas finales fueron realizadas sin el M/R obteniéndose resultados similares, con la consecuente eliminación del mismo en el diseño final, debido a la mayor sencillez obtenida en el circuito de sincronización, entre las etapas de conversión, controlador y unidad de linealización (Capítulo VII).

6.2.3.3 Divisor de frecuencia ($\div 5$)

La división de la frecuencia de 46 KHz, de la señal de conteo, por un factor de cinco, se realizó mediante el contador de década 7490A (32) en la secuencia de conteo biquinario. La secuencia de conteo mencionada se obtiene conectando la salida Q_D a la entrada A. Además se dispusieron las entradas de recolocación: Ro(1), Ro(2), Rg(1) y Rg(2) a nivel lógico bajo, posibilitándose el conteo continuo sin acortamiento de ciclo. La señal de 46 KHz se a lambró a la entrada de conteo B.

Con la disposición terminal preestablecida, se obtiene en la salida Q_D la señal SCDI de 9.2 KHz, con

una relación de ciclo del 20%, con la particularidad adicional de que sus bordes de subida coinciden con los de bajada de la señal de 46 KHz. Esta última característica se debe al tipo de flip-flop del contador de década (maestro-esclavo) y será de interés para propósitos de sincronización.

6.2.3.4 Conformador de pulsos

El pulso de inicio de conversión (PIC), con un ancho especificado entre 100 ns y 2 μ s, se obtuvo a partir del multivibrador monoestable 74121, actuando en los bordes de subida de la señal de 9.2 KHz.

La señal de 9.2 KHz se colocó a la entrada B y las entradas A1 y A2 a nivel lógico bajo (31). Se usó un condensador de temporizado de 200 pF y una resistencia de 7.0 K Ω , con el objeto de conseguir pulsos con un ancho de aproximadamente 1 μ s.

En la figura 6.3 se muestra el circuito de conversión analógico-digital, alambrado de acuerdo con los criterios de diseño precedentes.

6.2.4 Etapa de sincronización de las señales que actúan sobre el detector de error

6.2.4.1 Bloque de inversión

Para el bloque de inversión se utilizó dos circuitos integrados 7404. Cada uno de estos C.I contiene seis inversores, empleándose ocho de los doce disponibles; uno para cada bit de salida del convertidor A/D.

6.2.4.2 Retenedores de datos (A y B)

Los retenedores de datos A y B, de ocho bits cada uno, se implementaron a partir de dos C.I 74273 (31). Cada C.I 74273 contiene ocho flip-flop tipo D disparados por el extremo positivo de la señal de reloj (SFCR). La entrada de borrado de cada uno de los dos circuitos mencionados se colocó a nivel lógico alto permitiéndose la función de retención, en el instante que la señal SFCR pasa de nivel bajo a alto.

6.2.4.3 Retrazo de tiempo e Inversión

La salida de estado de conversión (SFC), del convertidor

tidor A/D, pasa a nivel lógico bajo una vez finalizado el proceso de conversión. Los retenedores de datos A y B, por razones obvias, deben realizar sus funciones simultaneamente, reteniendo el estado de sus entradas en los bordes de bajada de la salida SFC. Luego, se requiere la inversión de SFC para obtener la señal SFCR que relojée al mismo tiempo los retenedores A y B. Por otro lado, la utilización del bloque de inversión a la salida del convertidor, obliga a introducir un retraso en la señal SFC, de mayor valor que el existente en el bloque de inversión.

El retraso con inversión para la señal SFC se obtuvo usando tres de los cuatro inversores no utilizados en el bloque de inversión.

En la figura 6.4 se muestra la disposición final del circuito de sincronización de las señales que actúan sobre el detector de error. Las señales de salida de ocho bits SRE y SCO son refrescadas a una razón de 9.2 KHz y retenidas durante intervalos de tiempo de 109 us. El esquema presentado permite la detección de eventuales variaciones, tanto de la corriente de retroalimentación como nivel de

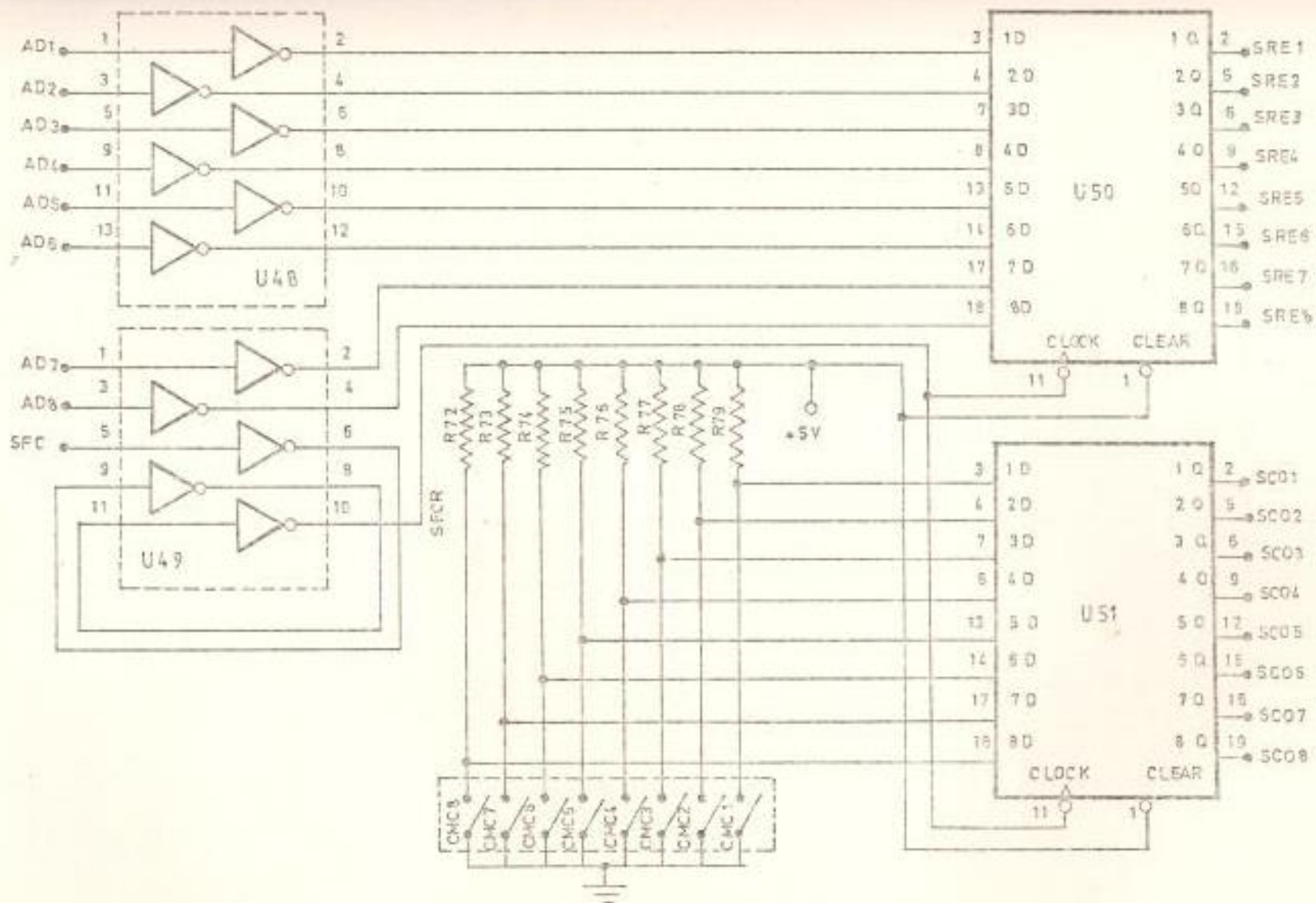


FIGURA 6.4. CIRCUITO DE SINCRONIZACION DE LAS SEÑALES UTILIZADAS POR EL DETECTOR DE ERROR.

corriente deseada, cada 109 us; para que el controlador, a partir del detector de error, efectúe los ajustes necesarios en el ángulo de cebado del convertidor.

6.3 DISEÑO DEL DETECTOR DE ERROR

6.3.1 Requerimientos

La función del circuito detector de error está íntimamente relacionado con las características operacionales del controlador (Capítulo VII) y transductor de corriente. Basados en la estructura particular del sistema, a continuación se expresan los siguientes requerimientos para el diseño del detector de error.

- a.- Actuar sobre las señales digitales de ocho bits, provenientes tanto de la colocación digital de corriente deseada (SCD) y corriente de retroalimentación (SRE). Estas señales son muestreadas a una razón de 9.2 KHz, con la característica adicional de retención de datos entre muestreos sucesivos.
- b.- Capacidad de operación con retardos menores de 10.5 us. Esta característica le permite al transductor de corriente

te operar con frecuencias de muestreo de hasta 23.75 -
KHz.

- c.- Generar una cantidad digital de ocho bits con la información de valor absoluto del error; definido como la diferencia entre las palabras digitales de ocho bits SC0 y SRE.
- d.- Adicionar a la salida un noveno bit con la información de la polaridad de error. Precizando, si la señal de corriente de retroalimentación es mayor que la de colocación o a la inversa.

6.3.2 Fundamentos teóricos

6.3.2.1 Complemento de uno

En forma generalizada el complemento (r-1) de un número N es:

$${}^{(N)}_{r-1, c} \triangleq r^n - r^m - N$$

Donde:

n = Número de dígitos de la parte entera de N.

m = Número de dígitos de la parte fraccionaria de N .

r = Base del sistema numérico usado.

Así por ejemplo, el complemento de uno del número binario 10010011 es:

$$(10010011)_{1, c} = 2^8 - 1 - 10010011 = 01101100$$

Obtener el complemento $(r-1)$ de un número requiere el proceso de sustracción, si la definición es seguida formalmente. Hay un procedimiento corto de encontrar el complemento de uno que no requiere sustracción, mediante la complementación de cada dígito del número dado. Así, en el ejemplo anterior:

$$(10010011)_{1, c} = 01101100$$

6.3.2.2 Sustracción con complemento de uno

La sustracción de dos números positivos A y B de base r , usando el complemento $(r-1)$, implica el siguiente proceso:

a.- Adicionar A al complemento $(r-1)$ de B .

b.- Chequear el resultado si se produce un transporte de sobreflujo. Si hay transporte, adicionarlo al dígito menos significativo; en caso contrario, el resultado es negativo, luego debe complementarse el resultado y colocar un signo menos al frente del mismo.

Así, si $A = 10001110$ y $B = 01111001$

$$(A - B) = (10001110 - 01111001)$$

	10001110	
	10000110	Complemento de uno de 01111001
Transporte →	1	
	00010100	

	1	
Resultado →	00010101	

$$(B - A) = (01111001 - 10001110)$$

	01111001	
	01110001	Complemento de uno de 10001110
Transporte →	0	
	11101010	

Resultado →	00010101	

Este ejemplo particular demuestra que el proceso de sustracción, con el uso del complemento de uno, pro

proporciona un resultado de ocho bits, que representa el valor absoluto del error, siendo el bit de transporte el portador de la información de su polaridad

Para demostrar la generalidad de los resultados específicos planteados; asumamos que A y B son ambos números positivos de r bits. Luego, el complemento de uno de B, es representado en notación decimal - (4), como:

$$-B \triangleq 2^r - B - 1$$

La adición de $A + (-B)$ resulta en :

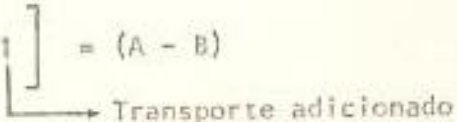
$$A + (\text{complemento de uno de B}) = A + 2^r - B - 1$$

$$A + (-B) = 2^r + (A - B) - 1$$

Debemos considerar dos posibilidades

1.- Si $A \geq B$, luego $A - B \geq 0$, y la suma será un número positivo con un transporte. Si el transporte es adicionado al resultado se tiene

$$\left[(A - B) - 1 + 1 \right] = (A - B)$$



El número positivo $(A - B)$ es la respuesta final.

Si $A < B$, Luego la suma será:

$$2^F - (B - A) - 1$$

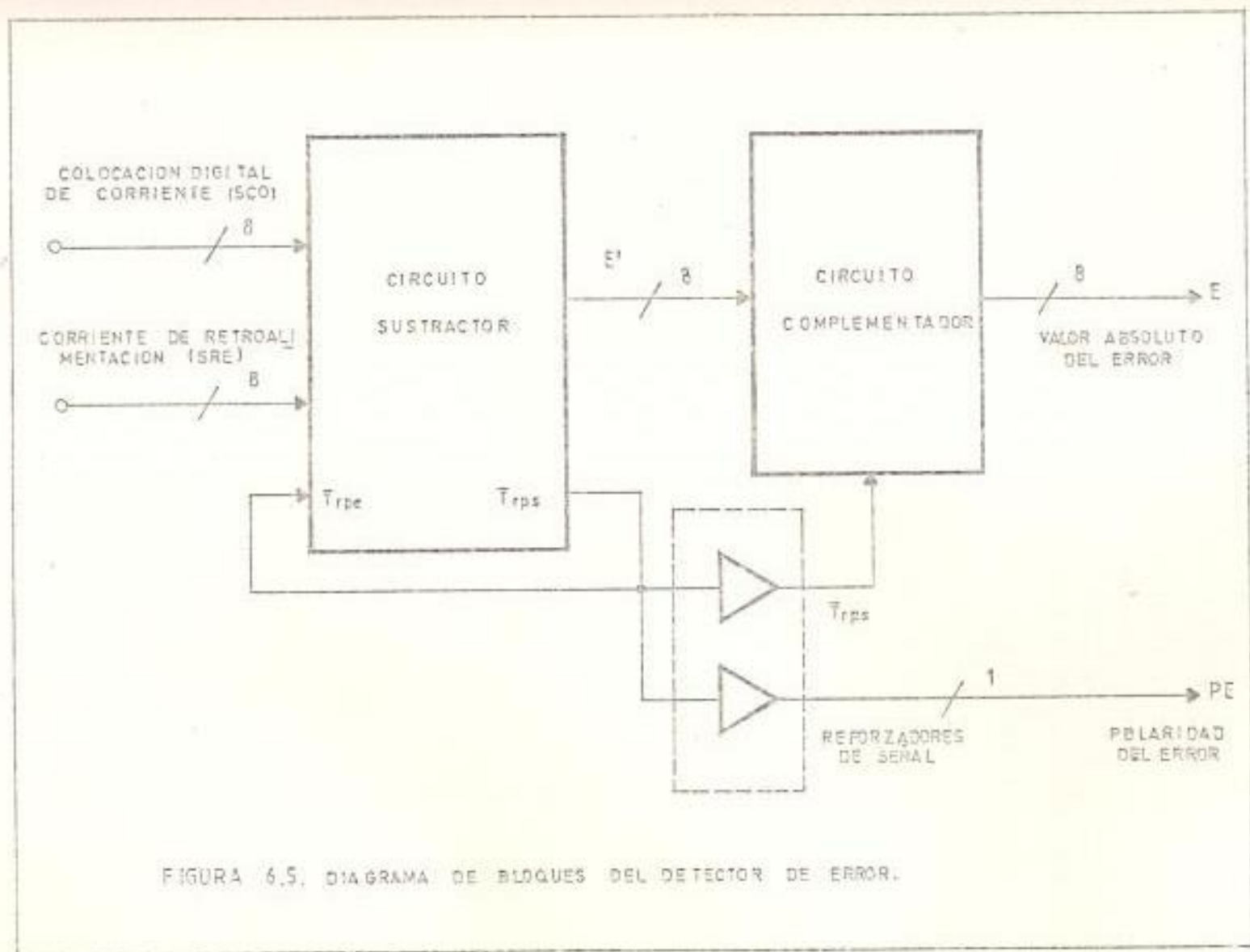
Sin transporte, y que es el complemento de uno del número positivo $(B - A)$. Así, si se desea obtener $(B - A)$ debe complementarse el resultado.

6.3.3 Diagrama de bloques

La figura 6.5 muestra el diagrama general del detector de error, en el que se identifican los tres bloques principales: circuito sustractor, circuito complementador y reforzador de señal.

El circuito sustractor complementa la palabra digital que representa la corriente de retroalimentación ($SRE1 - SRE8$) y la adiciona a la cantidad digital correspondiente a la corriente deseada ($SCO1 - SCO8$).

Si $SCO \geq SRE$ se genera un transporte de sobreflujo a la salida del sustractor ($\bar{T}rps = 0$). Este transporte es adicionado al resultado final ($E'1 - E'8$) a través de la entrada pa-



ra redondeo forzado ($\bar{T}rpe$). Adicionalmente, un nivel lógico bajo en $\bar{T}rps$, instruye al circuito complementador el paso sin cambio de la señal de salida del sustractor (E').

Si $SCO < SRE$ no se produce el transporte de sobreflujo ($\bar{T}rps = 1$). En este caso, la salida E' es el resultado de la adición binaria de las señales SCO y SRE , de ocho bits cada una. El nivel lógico alto en $\bar{T}rps$, ordena al circuito complementador la negación de todos y cada uno de los bits de la señal E' .

La cantidad digital a la salida del circuito complementador ($E1 - E8$), es por consiguiente, portadora de la información del valor absoluto del error. La polaridad del error (PE) es determinada por el estado de la señal $\bar{T}rps$. Si $PE = 0$, luego $SCO \geq SRE$; en cambio si $PE = 1$, entonces $SCO < SRE$.

El reforzador de señal proporciona un adecuado aumento de la capacidad de manejo de carga al bit de transporte de sobreflujo, por razones que serán obvias posteriormente.

6.3.4 Circuito sustractor

El circuito sustractor se implementó mediante dos unidades lógico-aritméticas (A.L.U) 74181, conectadas en cascada, de-

bido a que cada unidad tiene la posibilidad de operar sobre cantidades digitales de cuatro bits (31). La conexión en cascada se realizó conectando la salida de transporte serie (\bar{C}_{n+4}), de la unidad que opera sobre los cuatro bits menos significativos, a la entrada de transporte serie (\bar{C}_n), de la unidad que maneja los cuatro bits más significativos.

El C.I 74181 tiene la capacidad de realizar tanto funciones lógicas como operaciones aritméticas binarias. El tipo de operaciones (lógicas o aritméticas), es determinado por la entrada de selección de modo (M), mientras que la función particular (16 posibles) es especificada por las líneas de selección de funciones (S0, S1, S2 y S3).

La operación aritmética binaria de sustracción ($F = A$ minus B), se obtiene colocando la entrada de selección de modo a nivel lógico bajo ($M = 0$), y las líneas de selección de funciones a los niveles lógicos $S0 = 0$, $S1 = 1$, $S2 = 1$ y $S3 = 0$.

La señal de colocación de corriente (SC01 - SC08) se alambro a las entradas (A0, A1, A2 y A3) de las dos A.L.U y la señal de retroalimentación de corriente (SRE1 - SRE8) a las entradas (B0, B1, B2 y B3). De esta forma, las salidas de las dos A.L.U (F0, F1, F2 y F3) son el resultado de la sustracción entre las señales SC0 y SRE, representando esta última

al sustraendo.

El C.I 74181 realiza el proceso de sustracción adicionando el minuendo (SC0) al complemento del sustraendo (SRE), siendo éste, generado internamente. El transporte para redondeo forzado, esto es, la adición de un uno en el caso de que $SC0 \geq SRE$, se realizó por la conexión del terminal de salida de transporte serie de la A.L.U que opera sobre los bits más significativos a la entrada de transporte serie de la A.L.U que opera sobre los bits menos significativos (Figura 6.6).

El terminal de salida de transporte serie (\bar{C}_{n+4}), de la A.L.U que opera sobre los bits más significativos, es en realidad, lo que se denominó como transporte de sobreflujo complementado ($\bar{T}rps$) del circuito sustractor. Por consiguiente, el bit de polaridad de error (PE), se obtuvo a partir de la salida de transporte serie mencionada.

6.3.5 Circuito complementador

Este circuito fue realizado utilizando ocho puertas lógicas OR exclusivas de dos entradas, conectadas en la forma especificada en la figura 6.6.

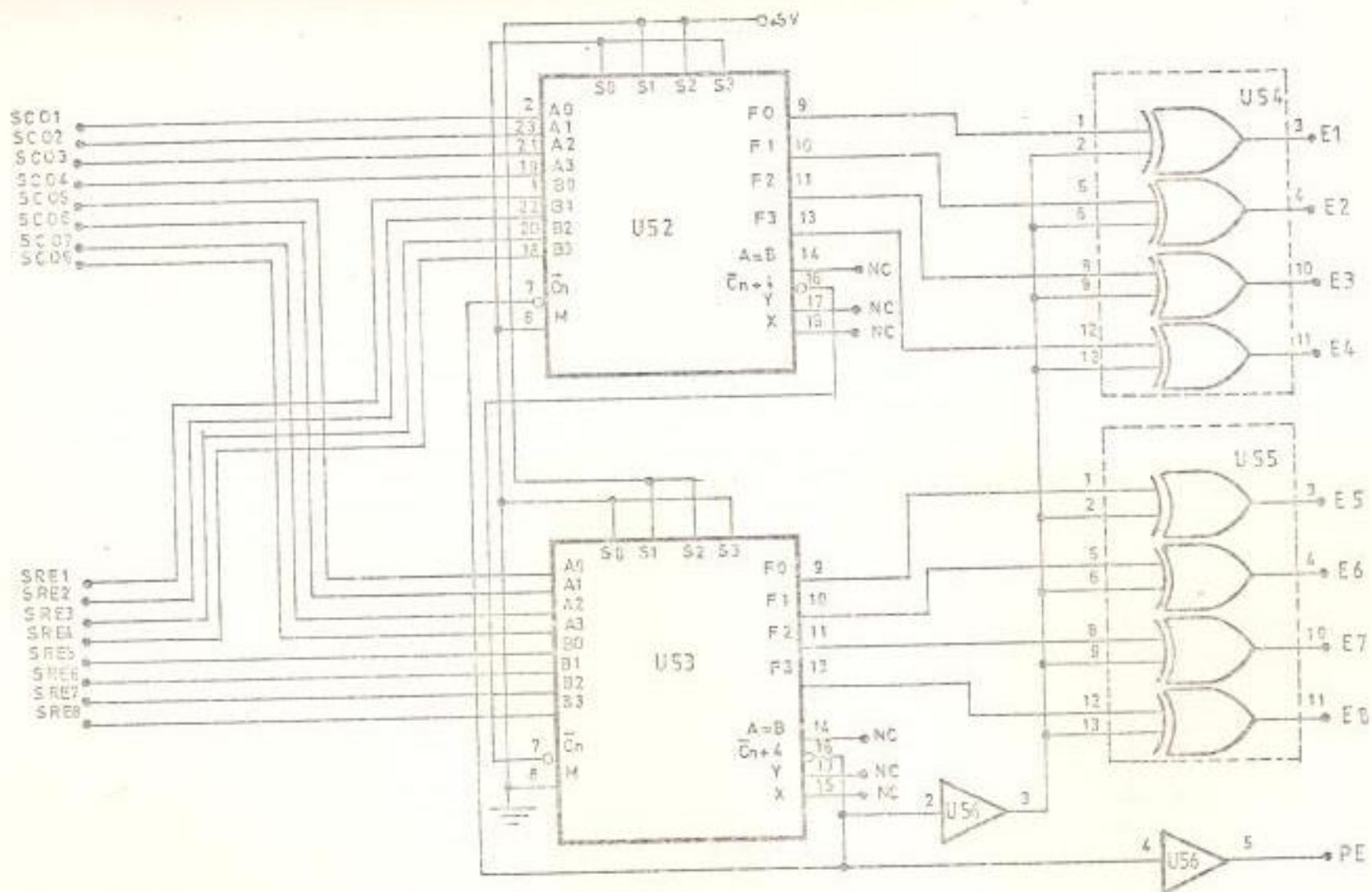


FIGURA 6.6: CIRCUITO DETECTOR DE ERROR.

6.3.6 Reforzador de señal

Sin utilizar reforzadores de señal, la salida \bar{C}_{n+4} de la A.L.U que opera sobre los bits más significativos del circuito sustractor, debe manejar: la entrada de transporte serie de la A.L.U que opera sobre los bits menos significativos, - las ocho entradas de las puertas OR exclusivo del circuito - complementador y además la carga asociada con el bit de polaridad de error (Capítulo VI:).

Las A.L.U obtenidas para la realización práctica del diseño son de tecnología Schottky, al igual que las puertas lógicas OR exclusivo, esto es, son: C.I 74S181 y 74S86 respectivamente. Las condiciones de operación recomendadas para una temperatura ambiente de 25°C (31) son:

C.I 74S181

Salida \bar{C}_{n+4} :

$$I_{OH} = -1 \text{ mA}; I_{OL} = 20 \text{ mA}$$

Entrada \bar{C}_n :

$$I_{IH} = 250 \text{ uA}; I_{IL} = -10 \text{ mA}$$

C.I 74S86

Cualquier entrada

$$I_{IH} = 50 \text{ uA}; I_{IL} = -2 \text{ mA}$$

Carga asociada con PE

$$I_{IH} = 80 \text{ uA}; I_{IL} = 2.4 \text{ mA}$$

A partir de los datos especificados se prevee una carga total sobre la salida \bar{C}_{n+4} de: $I_{IH} = 730 \text{ uA}$, $I_{IL} = 28.4 \text{ mA}$. La corriente de carga total en nivel lógico bajo (-28.4 mA) no puede ser disipada por la salida \bar{C}_{n+4} , dado que excede su capacidad (20 mA).

Por las razones anotadas se optó por la configuración reforzadora mostrada en la figura 6.6. Debido a la disponibilidad, se utilizó reforzadores de señal provistos en el C.I. 74LS367; los parámetros que caracterizan a cada uno de los elementos reforzadores son:

C.I. 74LS367

Cualquier entrada:

$$I_{IH} = 20 \text{ uA}; I_{IL} = -0.4 \text{ mA}$$

Cualquier salida:

$$I_{OH} = -2.6 \text{ mA}; I_{OL} = 2.4 \text{ mA}$$

De tal forma que, la carga total presentada a la salida de \bar{C}_{n+4} es: $I_{IH} = 290 \mu A$, $I_{IL} = - 10.8 \text{ mA}$. Proporcionándose un margen de seguridad adecuada para operación con temperaturas ambientes mayores de $25^{\circ}C$. Un análisis similar permite verificar un cargado de las salidas de los reforzadores, muy por debajo de sus capacidades máximas.

6.4 LISTA DE MATERIALES

<u>Nº REQ.</u>	<u>DESCRIPCION</u>	<u>Nº CATALOGO</u>	<u>DESIGNACION</u>
1	Doble amplificador operacional	LM358	U44
1	Contador de década	SN7490A	U45
1	Multivibrador monoestable	SN74121	U46
1	Convertidor analógico/digital: 10 bits de resolución y 21 μs de tiempo de conversión	ADC80AG-10	U47
2	Seis inversores	SN7404	U48, U49
2	Ocho flip-flop D con entrada de borrado	SN74273	U50, U51
2	Unidad lógico aritmética/generador de funciones	SN74S181	U52, U53

<u>Nº REQ.</u>	<u>DESCRIPCION</u>	<u>Nº CATALOGO</u>	<u>DESIGNACION</u>
2	Cuatro puertas lógicas OR-exclusivo de dos entradas	SN7486	U54, U55
1	Seis reforzadores de barra sin inversión con entradas de posibitamiento y salida de tres estados	SN74LS367	U56
3	Transformadores de corriente: 120/5 A, 50-60 Hz, 2.5 VA y $\pm 1\%$ de exactitud		TR7, TR8, TR9
6	Diodo de recuperación rápida: 2 A, 200 PRV	A14U	D16, D17, D18, D19, D20, D21
1	Diodo zéner: 10 V - 1/2 W, $\pm 5\%$ de tolerancia	ECC5019A	D22
3	Potenciómetro: 20 K Ω		POT8, POT11, POT12
2	Potenciómetro: 1 K Ω		POT9, POT10
3	Resistencia: 120 Ω , 2.5 W		R64, R65, R66
1	Resistencia: 1.2 Ω , 7 W		R67

<u>Nº REQ.</u>	<u>DESCRIPCION</u>	<u>Nº CATALOGO</u>	<u>DESIGNACION</u>
9	Resistencia: 1 K Ω , 1/2 W		R68, R72, R73 - R74, R75, R76 - R77, R78, R79
1	Resistencia: 1.8 M Ω , 1/2 W		R69
1	Resistencia: 10 M Ω , 1/2 W		R70
1	Resistencia: 7 K Ω , 1/2 W		R71
1	Condensador electrolí- tico: 20 uF, 50 V		C36
1	Condensador de cerámi- ca: 200 pF		C37
4	Condensador de cerámi- ca: 0.01 uF		C38, C40, C42 - C44
2	Condensador electrolí- co: 1 uF, 50 V		C39, C41
1	Condensador electrolí- co: 1 uF, 15 V		C43
1	Conjunto de ocho inte- rruptores en un mismo empaquetamiento		CMC1, CMC2, - CMC3, CMC4, - CMC5, CMC6, - CMC7, CMC8,

6.5 CONSTRUCCION

Las etapas de procesamiento de la señal de retroalimentación de corriente y de conversión analógico/digital se montaron sobre una misma placa (Figura 6.7), realizándose las interconexiones entre sus elementos constitutivos mediante la técnica de alambre enroscado (Capítulo III).

La etapa de sincronización de las señales del detector de error y el circuito detector de error se colocaron sobre la tarjeta usada para la unidad de linealización y controlador P.I (Capítulo VII).

6.6 PRUEBAS

Para comprobar la validez de los cálculos aproximados, realizados para la selección de los componentes del circuito de procesamiento de la señal de retroalimentación de corriente, y particularmente verificar la calidad de la reproducción de la corriente de carga por el sensor de corriente, se realizaron numerosas pruebas experimentales, algunas de las cuales son descritas a continuación.

Se conectó en los terminales de salida de la unidad de fuerza un motor DC de excitación independiente acoplado mecánicamente a un generador DC de excitación separada, este último provisto de una carga resistiva variable en sus bornes de salida. Con el sistema operan-

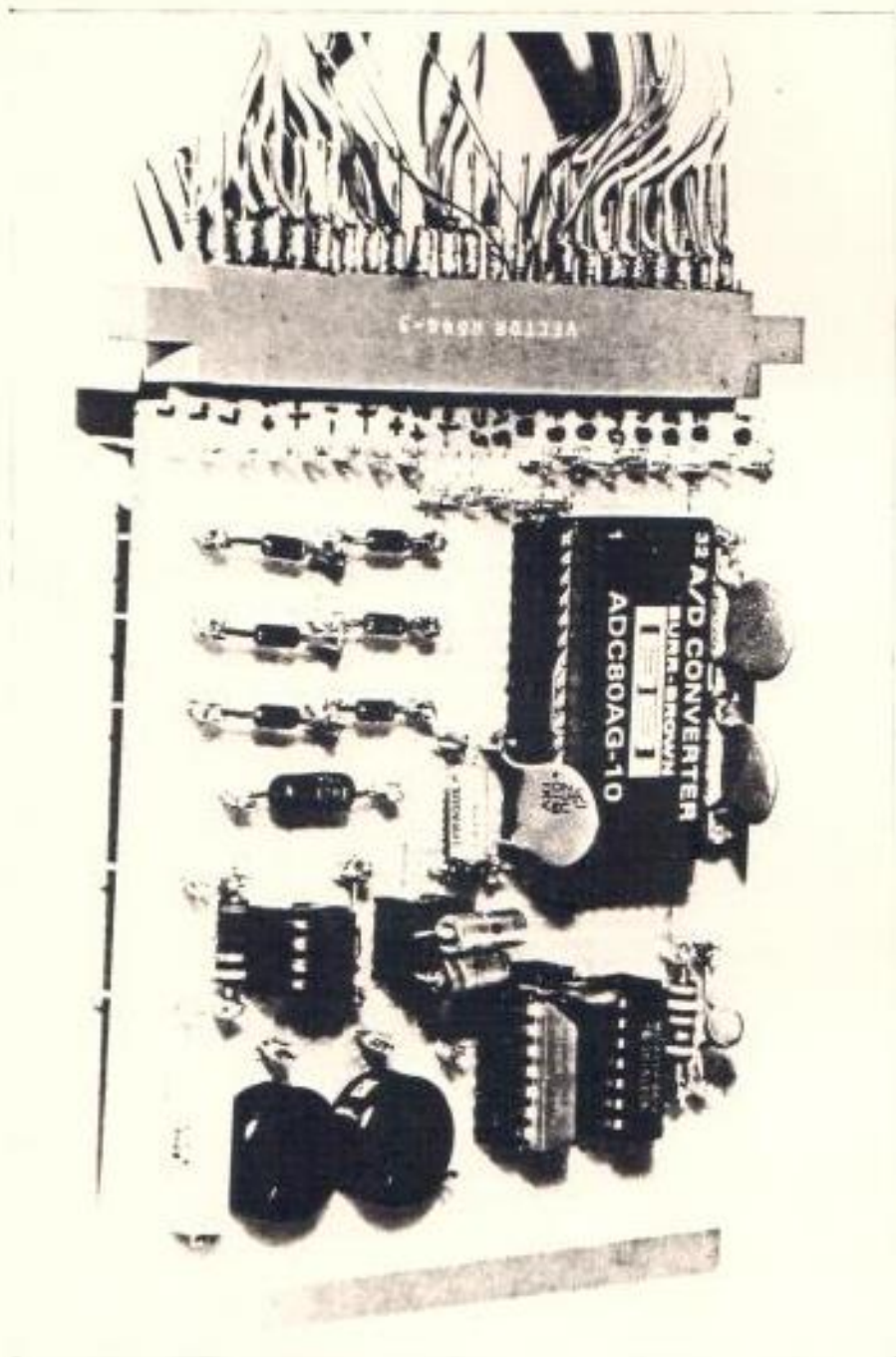
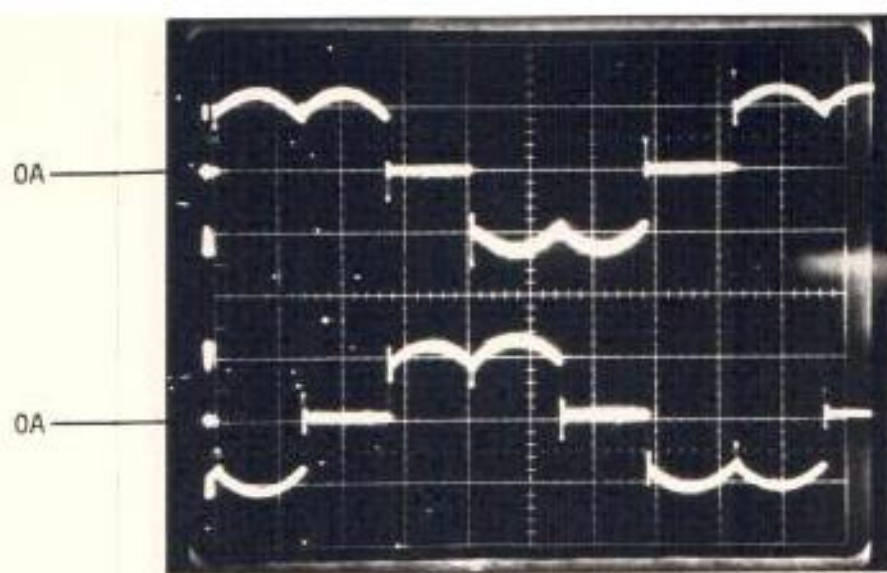


FIGURA 6.7 VISTA FRONTAL DE LAS ETAPAS DE PROCESAMIENTO DE LA SEÑAL DE RETROALIMENTACION DE CORRIENTE Y CONVERSION ANALOGICO/DIGITAL

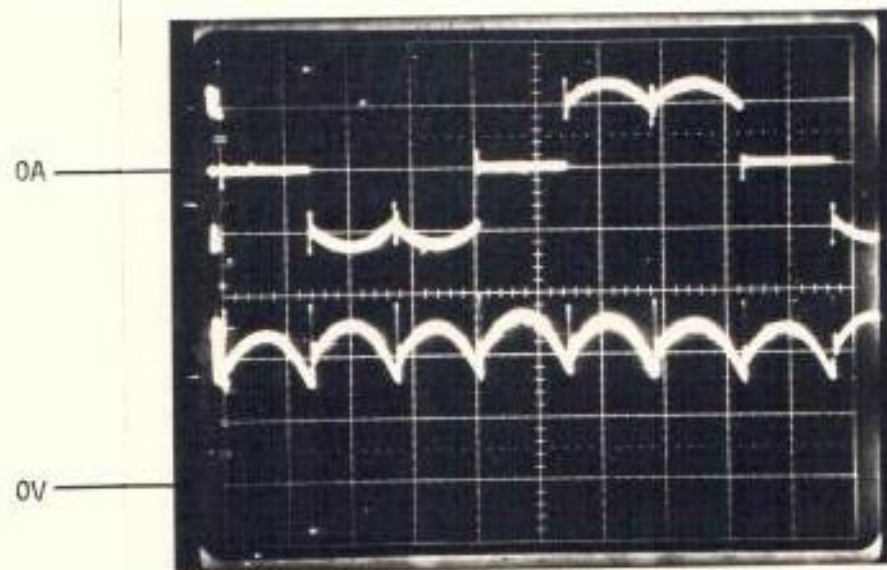
do en lazo abierto (Capítulo V), como fuente de voltaje controlado, se impuso un ángulo de cebado de 40° a través de los ocho interruptores de colocación manual de voltaje deseado (CVM1 - CVM8); en las condiciones establecidas, se varió la carga del generador hasta obtener en el motor una corriente de armadura (i_a) de 5 A. Mediante las resistencias de prueba R_p , de 0.1 y 50 W, se sensó las corrientes i_{1a} , i_{1b} , i_{1c} en las líneas de alimentación de la unidad de fuerza y el voltaje V_{sen} a través de la resistencia R_{67} del sensor, respectivamente (Figura 6.2). Los oscilogramas de las señales: i_{1a} , i_{1b} , i_{1c} y V_{sen} (Figura 6.8) muestran que el voltaje a la salida del sensor, es en realidad, una fiel reproducción de la corriente de armadura del motor en cuanto a forma, pruebas posteriores demostraron que V_{sen} varía linealmente con i_a . El oscilograma de las señales V_{esc} y V_{set} (Figura 6.9), muestra la conducta del filtro de eliminación del rizado superimpuesto sobre V_{esc} en condiciones de operación de estado estacionario.

Para comprobar la conducta dinámica del filtro usado en la etapa de procesamiento de la señal de retroalimentación de corriente, se colocó al sistema bajo el modo de operación en lazo cerrado (como fuente de corriente controlada), ajustándose los parámetros del mismo, de tal forma que, se produzca la oscilación de la corriente de armadura del motor ante un cambio de tipo escalón en el nivel de corriente deseado (Capítulo VIII). Bajo estas condiciones se sensó la corriente de armadura del motor a través de la resistencia de



TRAZA SUPERIOR: SEÑAL I_{1a} (5 A/div, 2 ms/div)

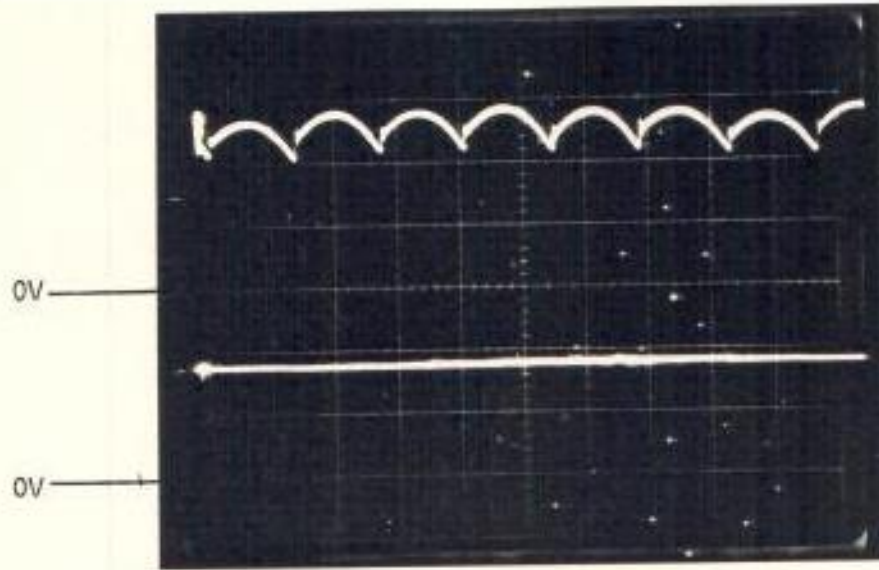
TRAZA INFERIOR: SEÑAL I_{1b} (5 A/div, 2 ms/div)



TRAZA SUPERIOR: SEÑAL I_{1c} (5 A/div, 2 ms/div)

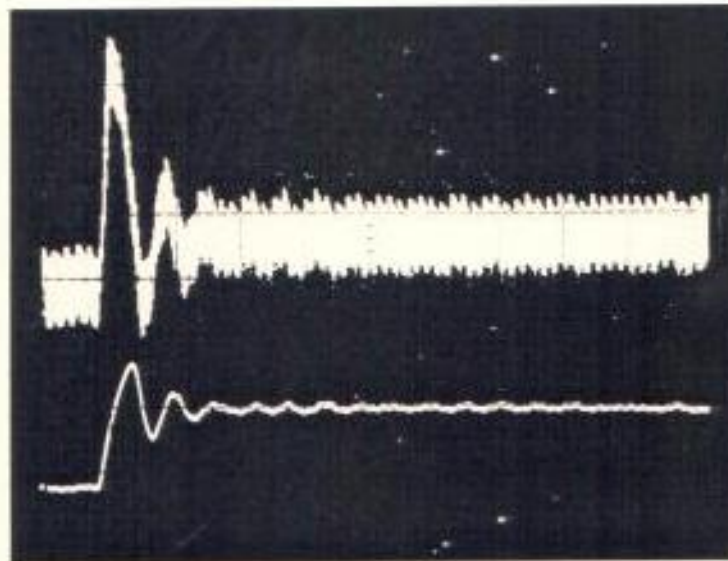
TRAZA INFERIOR: SEÑAL V_{sen} (0.5 V/div, 2 ms/div)

FIGURA 6.8 OSCILOGRAMAS DE LAS SEÑALES ASOCIADAS CON LA ETAPA DE PROCESAMIENTO DE LA SEÑAL DE REALIMENTACION DE CORRIENTE



TRAZA SUPERIOR: SEÑAL V_{esc} (4 V/div, 2 ms/div)

TRAZA INFERIOR: SEÑAL V_{set} (2.5 V/div, 2 ms/div)



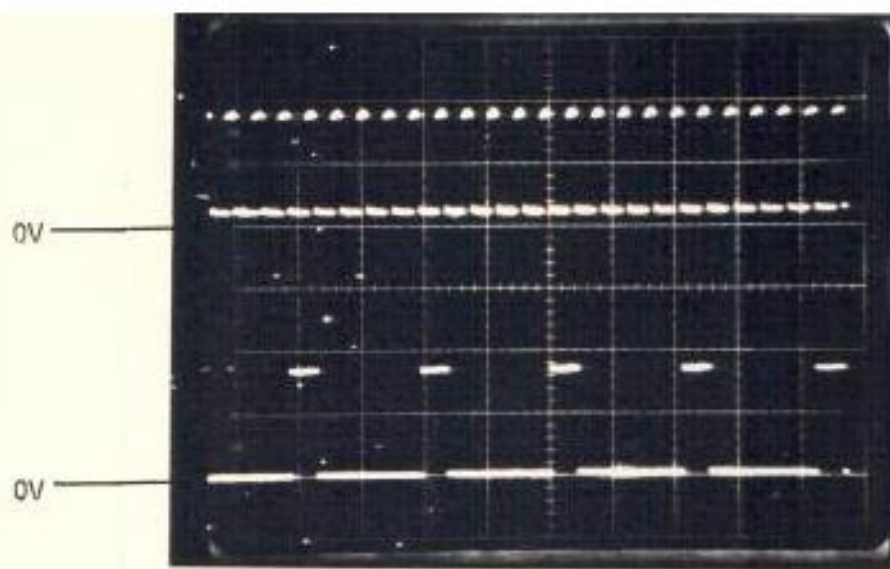
TRAZA SUPERIOR: SEÑAL I_a

TRAZA INFERIOR: SEÑAL V_{set}

FIGURA 6.9 OSCILOGRAMAS DE LAS SEÑALES ASOCIADAS CON LA ETAPA DE PROCESAMIENTO DE LA SEÑAL DE REALIMENTACION DE CORRIENTE

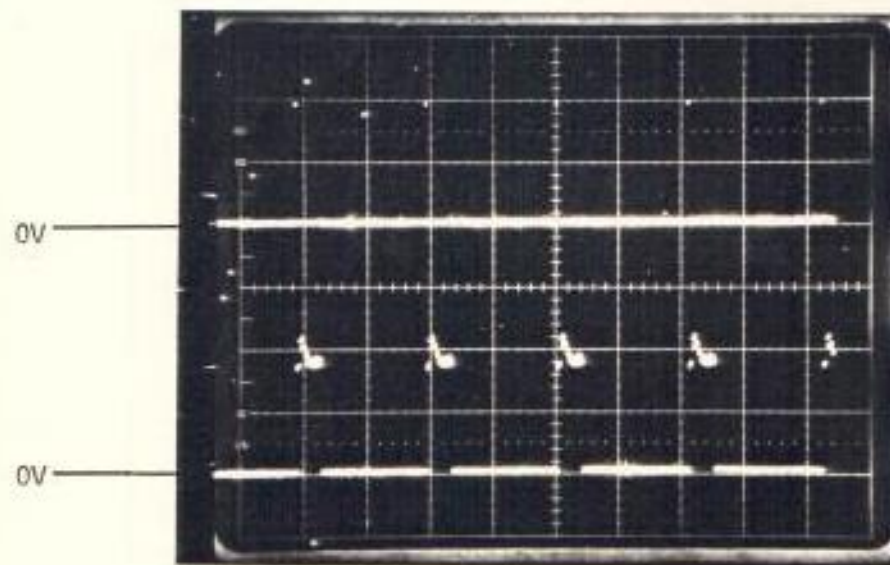
prueba Rp (Figura 6.2) y además el voltaje de salida del circuito de procesamiento de Ia. Los resultados obtenidos son mostrados en la figura 6.9; observándose que el voltaje Vset además de eliminar el rizado de 360 Hz en Ia, sigue fielmente sus variaciones transientes (oscilaciones alrededor del nuevo valor de corriente impuesto por los interruptores CMCI - CMCB).

En las figuras 6.10 y 6.11 se muestran los oscilogramas de las señales: SC, SCDI, PIC, SFC y SFCR (referirse a la figura 6.1). Las señales mencionadas han sido preparadas en una secuencia funcional - sincronizada, y son de particular interés, puesto que sus relaciones temporales determinan la conducta dinámica del sistema (Capítulo - VII).



TRAZA SUPERIOR: SEÑAL SC (2 V/div, 50 us/div)

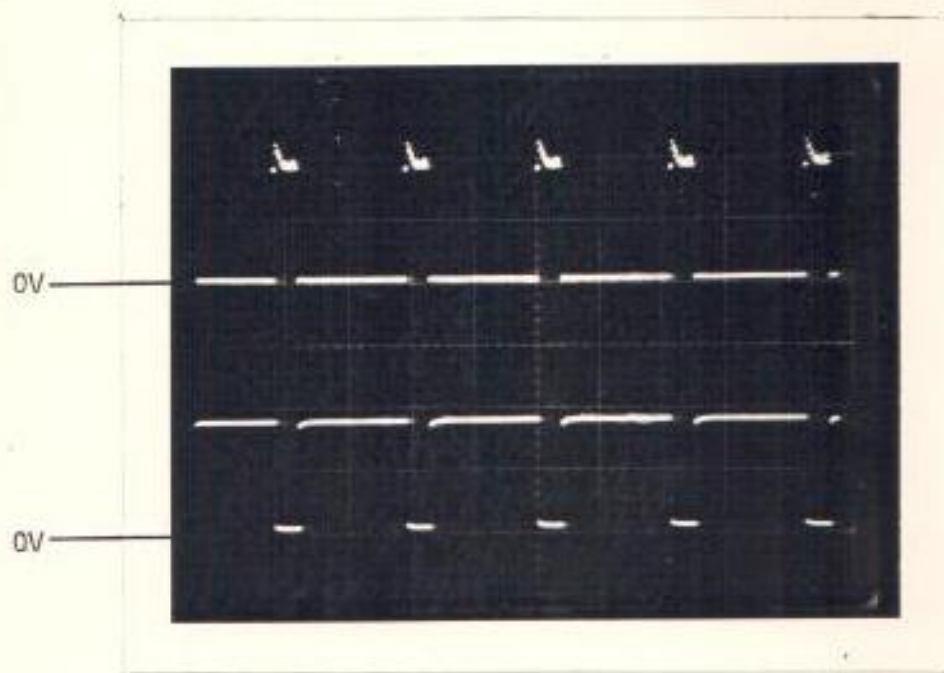
TRAZA INFERIOR: SEÑAL SCDI (2 D/div, 50 us/div)



TRAZA SUPERIOR: SEÑAL PIC (2 V/div, 50 us/div)

TRAZA INFERIOR: SEÑAL SFC (2 V/div, 50 us/div)

FIGURA 6.10 OSCILOGRAMAS DE LAS SEÑALES ASOCIADAS CON LAS ETAPAS DE CONVERSION A/D Y DE SINCRONIZACION DE LAS SEÑALES QUE ACTUAN SOBRE EL DETECTOR DE ERROR



TRAZA SUPERIOR: SEÑAL SFC (2 V/div, 50 us/div)

TRAZA INFERIOR: SEÑAL SFCR (2 V/div, 50 us/div)

FIGURA 6.11 OSCILOGRAMA DE LAS SEÑALES ASOCIADAS CON LAS ETAPAS DE --
CONVERSION A/D Y DE SINCRONIZACION DE LAS SEÑALES QUE AC-
TUAN SOBRE EL DETECTOR DE ERROR

CAPITULO VII

CONTROLADOR PROPORCIONAL E INTEGRAL (P.I)

7.1 INTRODUCCION

Las fuentes de corriente controlada son ampliamente usadas en la industria, generalmente en la tracción de motores D.C con lazos cerrados de regulación de velocidad o torque. En aplicaciones de esta naturaleza se obtienen ventajas tales como: mejoras en la operación dinámica e inherente protección contra cortocircuitos. Sin embargo, las ventajas anotadas se obtienen unicamente si el sistema retroalimentado posee una respuesta transiente suficientemente rápida y adecuado amortiguamiento con buena exactitud de estado estable.

En aplicaciones tales como el control de torque de motores de continua, el elemento vital para la consecución de las características previamente anotadas, es el controlador. Su función es el ajuste continuo del torque motor, medido indirectamente a través de la corriente de armadura promedio, hasta alcanzar un valor particular previamente establecido, denominado el torque deseado; la diferencia entre el torque deseado y medido es definido como el error del sistema. El controlador actúa sobre el error y con la ayuda del elemento de control final (unidad de disparo y secuencéo), cambia el ángulo de cebado y por consiguiente el voltaje de salida promedio -

de la unidad de fuerza, modificando la corriente de armadura promedio en la dirección correcta (hacia la obtención del torque deseado), con el propósito de reducir el error hasta su eventual anulación.

Los errores en el sistema retroalimentado de control de torque se originan por dos factores: variación del torque de carga del motor D.C, cambio en la colocación del torque deseado; adicionalmente se consideran disturbios tales como variaciones de voltaje en el sistema trifásico de alimentación. Las modificaciones de las condiciones de operación son de naturaleza momentánea o por el contrario permanentes. Estas características particulares del sistema, definen los criterios para la selección de los modos de operación del controlador.

El controlador proporcional, integral y derivativo (P.I.D) es el más difundido en las aplicaciones de control de procesos industriales (3). Es considerado óptimo para la regulación de procesos y empleado frecuentemente en control digital, pese a la mayor complejidad con relación al control proporcional e integral (P.I), también denominado de dos modos.

En el diseño planteado se utilizó un controlador proporcional e integral, dado su extenso uso y comprobadas ventajas obtenidas en aplicaciones de control de torque y velocidad mediante técnicas aná-

logas convencionales (29) y digitales (22). Aplicaciones recientes en este campo, mediante el uso de microprocesadores, dan preferencia al controlador P.I.D, debido a la sencillez del algoritmo necesario para su ejecución; este factor es de extrema importancia debido a que se opera en tiempo compartido.

La selección adecuada de los parámetros del controlador (ganancias) permite la optimización de la respuesta transiente de la fuente de corriente controlada, para una carga particular. De esta manera se elimina la oscilación o sobrecolocación de la variable bajo control (corriente de armadura) ante perturbaciones repentinas en las condiciones de operación de estado estable. En el controlador diseñado, las ganancias proporcional e integral son restringidas a 1, 1/2, 1/4, 1/8 y 1/16, dada la sencillez de obtención. Las pruebas experimentales realizadas (Capítulo VIII) demuestran que es posible el ajuste del controlador aún con las limitaciones anotadas.

En controladores P.I digitales, es de particular importancia la selección adecuada de la frecuencia de muestreo de la sección integral (3). En el trabajo presentado se prefirió el uso de los pulsos de disparo para que actúen sobre el sumador que representa la acción integral, de esta manera se consigue frecuencias de muestreo variables bajo condiciones transientes. En condiciones normales de operación el tiempo entre los pulsos de disparo es de 2.77 ms, variando entre 0 ms y 5.55 ms bajo condiciones de operación transien-

te. El tiempo específico, entre pulsos de disparo consecutivos, depende del momento en que se emite la orden para un cambio de ángulo de cebado y, de la magnitud de este último parámetro.

En este capítulo se da una revisión detallada de los criterios de diseño, selección de componentes, operación y técnica de construcción del controlador P.I. Las pruebas experimentales son dejadas para un capítulo posterior con el objeto de relieves las prestaciones globales del controlador en el sistema total. Además, se presenta una breve discusión sobre los aspectos relacionados con la operación sincronizada de las diferentes unidades de control y señales asociadas.

7.2 DISEÑO DEL CONTROLADOR PROPORCIONAL E INTEGRAL (P.I)

7.2.1 Consideraciones generales y diagrama de bloques

En la figura 7.1 se presenta el diagrama funcional del controlador proporcional e integral cuyos bloques constitutivos serán objeto de diseño. Este circuito es un equivalente del controlador análogo descrito por la relación:

$$SPI = K_p E + K_i \int E dt \quad (7.1)$$

Donde:

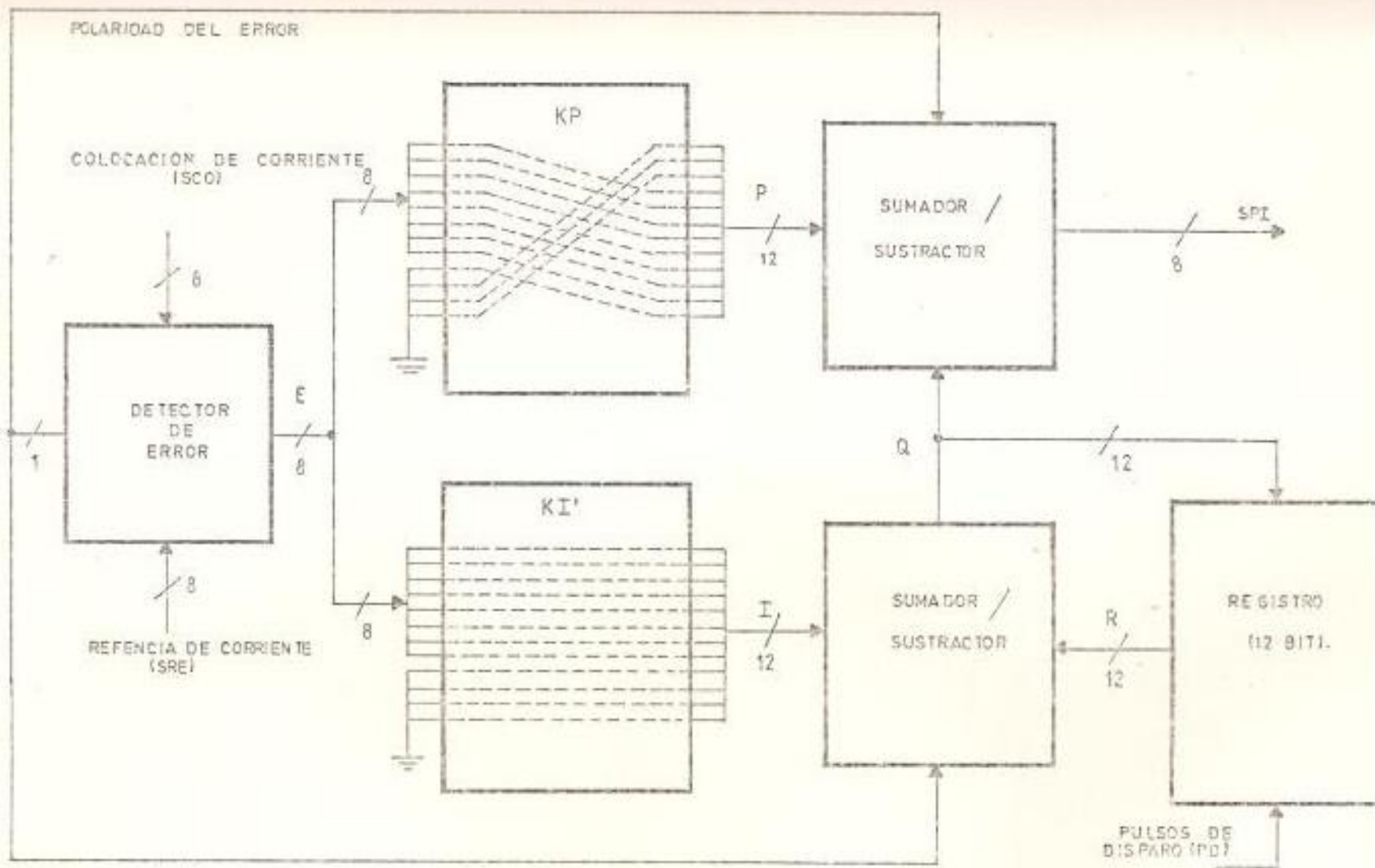


FIGURA 7.1. DIAGRAMA DE BLOQUES DEL CONTROLADOR PROPORCIONAL E INTEGRAL.

- E = Error del sistema
- K_p = Ganancia proporcional
- K_i = Ganancia integral
- SPI = Salida del controlador P.I

Dado que un circuito digital no puede realizar una integración continua, el controlador P.I mostrado en la figura 7.1, es descrito por la relación:

$$SPI_i = K_p E_i + \frac{1}{T_i} \sum_{i=1}^{\infty} K_i' E_i \quad (7.2)$$

Donde:

- E_i = Error en el tiempo i ($SCO_i - SRE_i$)
- K_p = Ganancia proporcional
- K_i' = Ganancia integral
- T_i = Intervalo de muestreo del sumatorio
- SPI_i = Salida del controlador en el tiempo i.

El controlador digital diseñado calcula los términos proporcional e integral en forma separada para que sean adicionados posteriormente. El valor absoluto de la señal de error (E), de ocho bits, es alimentada a los dos zócalos (Sockets)

de veinticuatro patillas, utilizados en la determinación de las ganancias proporcional (K_p) e integral (K_i). El ajuste de las ganancias es realizado desplazando los bits de error por n posiciones. Por consiguiente, las ganancias son restringidas a $1/2^n$, siendo $n = 0, 1, 2, 3, 4$. Si los zócalos son alambrados como se indica en forma de líneas de trazos en la figura 7.1, las ganancias son $K_p = 1/8$ y $K_i = 1$, puesto que $n = 3$ y $n = 0$ respectivamente.

El sumatorio de la ecuación 7.2 es obtenida por un circuito compuesto de un sumador-sustractor de doce bits construido alrededor de tres unidades lógico aritméticas (A.L.U) y un registro de doce bits. El intervalo de muestreo del sumador (T_i) es determinado por el instante de disparo de cada uno de los seis SCR de la unidad de fuerza. En estado estable ($E_i = 0$) los tiristores son disparados cada 2.7 ms, mientras que en condiciones transientes ($E_i \neq 0$) este intervalo varía entre 0 y 5.5 ms.

Es obvio que el sumatorio en 7.2 es equivalente a la integración en 7.1, siendo la ganancia integral efectivada en 7.2 igual a K_i/T_i .

En estado estable, el registro contiene la señal de colocación del ángulo de cebado del último SCR disparado. El va-

lor digital almacenado en el mismo no mostrará variaciones - si el error es nulo, luego, el próximo SCR se disparará a un ángulo idéntico al del SCR encendido previamente.

En condiciones transientes la salida del soporte K'_1 , refrescado a la razón de 9.2 KHz, es adicionado o sustraído del valor almacenado en el registro, según el estado del bit de polaridad de error. De esta forma el sumatorio en 7.2 es obtenido en el punto Q. Este término es luego adicionado o sustraído del término proporcional $K_p E$ (punto P), para finalmente obtener la salida SPI del controlador. Cada vez que un tiristor es disparado el valor de la señal en el punto Q es cargado en el registro, para el cálculo del sumatorio del próximo SCR a dispararse.

El proceso de desplazamiento usado para la determinación de las ganancias K_p y K'_1 , incrementa la longitud de las palabras digitales procesadas por el controlador P.I por cuatro bits, aún cuando el error es solamente de ocho bits. La salida SPI, del controlador P.I, consiste de los ocho bits más significativos obtenidos por la adición de las señales de doce bits en los puntos P y Q.

7.2.2 Ajuste de las ganancias proporcional e integral

La operación dinámica de la fuente de corriente está estrechamente relacionada con los parámetros básicos del controlador (ganancias proporcional e integral). La magnitud de estas ganancias es un factor determinante de la respuesta transiente de la fuente de corriente.

Estas ganancias son elegidas a un valor tal, que permite obtener un amortiguamiento adecuado de la cantidad controlada (corriente de carga), y una respuesta suficientemente rápida que asegure una protección contra corto-circuitos. La selección individual de las ganancias K_p y K_i se realiza bajo las mismas reglas generales usadas en controladores análogos (13), con la diferencia de que K_i actúa también como una ganancia proporcional debido al proceso discreto de integración.

Por otro lado, el papel desempeñado por las ganancias K_p y K_i , está íntimamente relacionado con la constante de tiempo de la carga. Así, con cargas predominantes inductivas, la constante de tiempo de la misma, determina la respuesta transiente de la fuente de corriente y las ganancias K_p y K_i no juegan un papel de importancia (el puente de tiristores se satura), no obstante, las ganancias del controlador deben

ser relativamente altas, con el objeto de prever una respuesta rápida durante corto-circuitos a través de los terminales de salida del puente de tiristores. Los tiristores pueden soportar corrientes transientes pico no repetitivas de 15 a 20 veces su corriente nominal durante el tiempo correspondiente a un período de la fuente de alimentación. Dependiendo de la impedancia de salida de la red de alimentación de la fuente de corriente, la protección contra cortocircuitos es asegurada si el controlador puede estabilizar el sistema dentro de tres a seis constantes de tiempo de muestreo (entre 8 ms a 16 ms).

En el diseño del controlador de un sistema realimentado se vislumbran dos posibilidades, en lo que dice referencia, con la determinación de los requerimientos de ganancia del mismo

a.- Realizar una modelación del sistema y consecuente análisis de estabilidad, con el objeto de determinar los valores teóricos adecuados de K_p y K_i , para las diferentes combinaciones de las constantes de tiempo de la carga y red de realimentación, esta última constituida básicamente por un retardo de tiempo de primer orden introducido por el filtro R-C. Con estos resultados diseñar los dispositivos que apliquen ganancia a la señal de error del sistema.

b.- Diseñar el controlador con un rango de ganancias amplio y realizar las pruebas experimentales pertinentes, hasta obtener el rango de ganancias K_p y K_i requerido por el sistema total. El paso siguiente es el rediseño de los bloques de ganancia que satisfagan el rango requerido, con el objeto de simplificar la lógica de ajuste de ganancia.

Se ha determinado experimentalmente (Capítulo VIII), que es posible un ajuste adecuado del controlador P.I, aún cuando - las ganancias K_p y K_i sean restringidas a $1/2^n$ siendo $n = 0, 1, 2, 3, 4$. Este resultado simplifica enormemente el diseño del controlador, puesto que tales ganancias son obtenidas mediante el desplazamiento de los bits de la señal de error a la derecha (hacia posiciones menos significativas), por n posiciones.

Así por ejemplo, si se desea una ganancia integral de $K_i = 1/4$, bajo la asunción que la señal de error es 00101000 correspondiente a 40 en decimal.

$$K_p = \frac{1}{4} = \frac{1}{2^2} = \frac{1}{2^n}$$

Luego: $n = 2$

Es necesario desplazar la señal de error por dos posiciones hacia la derecha, así:

$$E(\text{sin desplazar}) = 00101000 = 40_{10}$$

$$E(\text{desplazada}) = 00001010 = 10_{10}$$

El proceso de desplazamiento de la señal de error por dos posiciones tiene el efecto de multiplicarla por $1/4$. Cabe observar que las posiciones de los bits más significativos, luego del proceso de desplazamiento, deben ser llenados con ceros.

El esquema de desplazamiento planteado conlleva un inconveniente, cuando el número de desplazamientos es relativamente alto y la señal de error es pequeña en magnitud. Así, si $K_i = 1/8$ y $E = 00000111 = 7_{10}$, esto es: $n = 3$.

$$E(\text{sin desplazar}) = 00000111 = 7_{10}$$

$$E(\text{desplazada}) = 00000000 = 0_{10}$$

El resto del sistema asumirá necesariamente que no existe error y no se aplicará ninguna acción correctiva sobre el ángulo de disparo actual, impuesto por la palabra digital de ocho bits a la salida del controlador.

El problema analizado es resuelto mediante el sistema de ajuste de ganancia por desplazamiento presentado en la figura 7.2. La información desplazada no es perdida, puesto que, se ha incrementado la longitud de la palabra digital de salida de los dispositivos de ajuste de ganancia por un número i igual a la cantidad máxima de desplazamientos prefijados (cuatro desplazamientos). En la figura 7.2 se muestra los bloques de ganancia proporcional e integral (soportes SOP1 y SOP2), alambrados para obtener $K_p = 1/4$ y $K_i = 1/16$, con dos y tres desplazamientos de los bits de error, respectivamente

La señal de error, de ocho bits, es incrementada por cuatro bits (bits menos significativos) y, dado que estos son colocados a nivel lógico bajo no se altera la información, tan solo se incrementa la resolución. Los zócalos SOP1 y SOP2 actúan como elementos de ajuste de ganancia sobre la señal de error incrementada por cuatro bits. Así, si la señal de error es de $01010010 = 82_{10}$ y $K_p = 1/4$ (dos desplazamientos)

$$E(8 \text{ bits}) = 01010010 = 82_{10}$$

$$E(12 \text{ bits entrada}) = 010100100000 = 1312_{10}$$

$$E(12 \text{ bits salida}) = 000101001000 = 328_{10}$$

$$328_{10} = \frac{1}{4} 1312_{10}$$

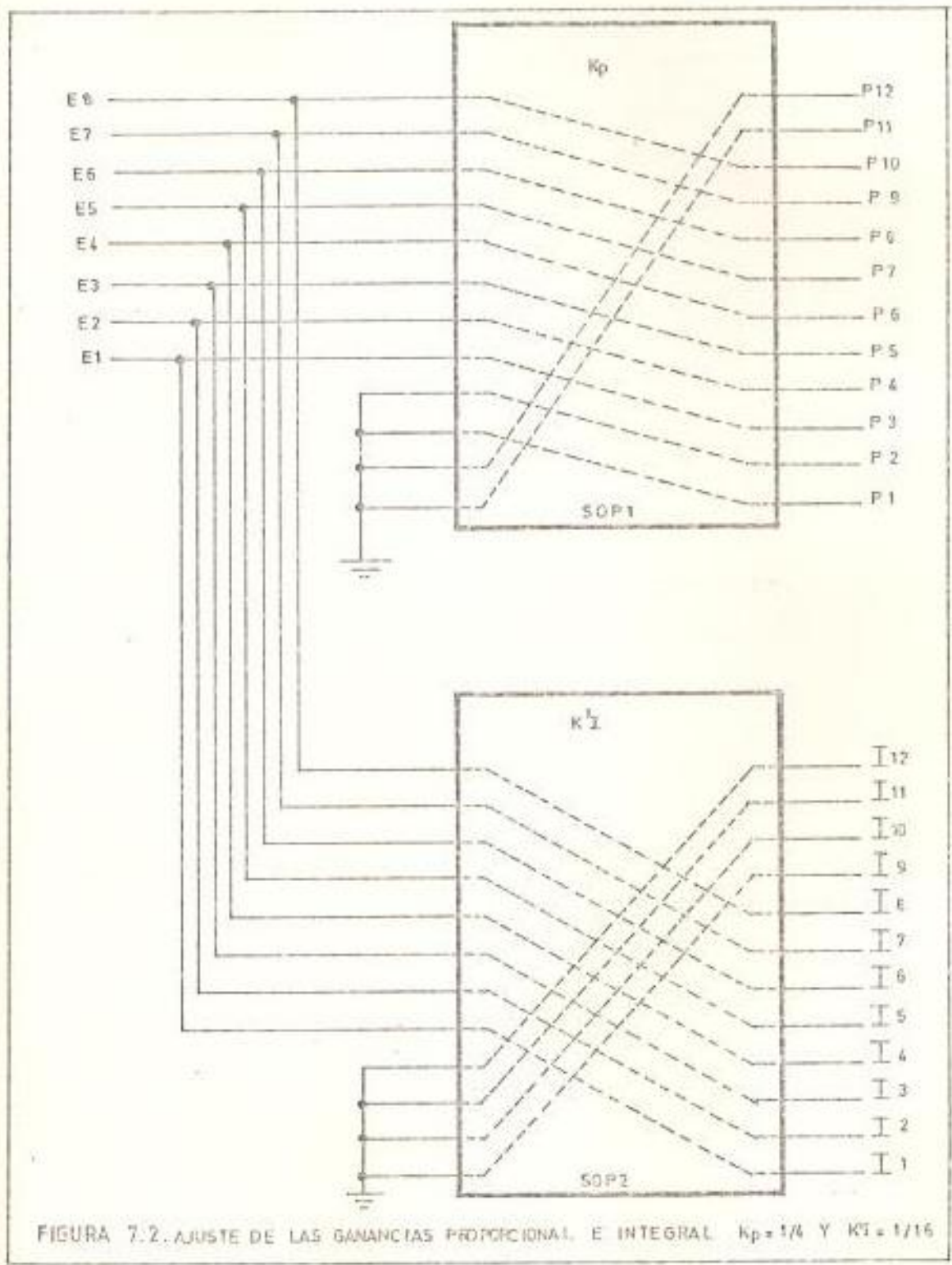


FIGURA 7.2. AJUSTE DE LAS GANANCIAS PROPORCIONAL E INTEGRAL $k_p = 1/4$ Y $K_I = 1/16$

De esta forma la señal de error de doce bits, al pasar por los dispositivos de ajuste de ganancia por desplazamiento, es multiplicada por la fracción de ganancia colocada.

7.2.3 Control proporcional

El control proporcional es descrito por la relación:

$$P_i = K_p E_i$$

Donde:

P_i = Contribución proporcional en el tiempo i

E_i = Error en el tiempo i

K_p = Ganancia proporcional

Basicamente, su función es multiplicar la señal de error por la constante de ganancia proporcional elegida. En la sección anterior se analizó la forma de obtención de esta ganancia mediante un proceso de desplazamiento, que restringe la misma a $K_p = 1/2, 1/4, 1/8$ y $1/16$ y aumenta la longitud de la palabra digital de la contribución proporcional (P1 - P12) por cuatro bits.

Estrictamente hablando, la contribución proporcional cambia

con la misma razón con que lo hace la señal de error, esto es, a la razón de muestreo del lazo de realimentación de corriente (9.2 KHz). Esta característica es convenientemente utilizada por la unidad de linealización y de disparo y secuencéo, de tal forma que, la salida actualizada (cada 109 - us) del controlador proporcional cambia el ángulo de cebado; aún entre intervalos de muestreo del controlador integral. - La contribución proporcional, por las razones anotadas, es - realmente una contribución descrita por:

$$\begin{aligned}
 P_j &= K_P E_j \\
 P_{j+1} &= K_P E_{j+1} \\
 &\vdots \\
 P_{j+n} &= K_P E_{j+n}
 \end{aligned}$$

Donde:

$$\begin{aligned}
 E_j &= \text{Error en } t = t_j \\
 E_{j+1} &= \text{Error en } t = t_{j+1} \\
 &\vdots \\
 E_{j+n} &= \text{Error en } t = t_{j+n}
 \end{aligned}$$

Siendo el intervalo entre dos tiempos sucesivos cualesquiera, constante e igual a la razón de muestreo del transductor de corriente (Capítulo VI). Esta particularidad del contro-

lador proporcional, permite la obtención de respuestas transientes extremadamente rápidas, dada la alta razón de muestreo del lazo de realimentación de corriente; de tal forma que, la contribución proporcional es prácticamente continua y con iguales prestaciones en relación con controladores proporcionales análogos.

7.2.4 Control integral

El control integral tiene por función proporcionar un término, a la salida del controlador, de la forma:

$$Q_i = \frac{1}{T_i} \sum_{j=1}^{\infty} K_i' E_j$$

Donde:

Q_i = Contribución integral en el tiempo i

E_j = Error en el tiempo j

K_i' = Ganancia integral

T_i = i ésimo intervalo de muestreo

El término integral, en el sistema digital diseñado, es realmente una contribución temporal de la forma:

$$Q_1 = \frac{K_1'}{T_1} E_1$$

$$Q_2 = \frac{K_1'}{T_1} E_1 \pm \frac{K_1'}{T_2} E_2$$

$$Q_n = \frac{K_1'}{T_1} E_1 \pm \frac{K_1'}{T_2} E_2 \dots \dots \pm \frac{K_1'}{T_n} E_n \quad (7.4)$$

Donde:

$$T_1 = t_1 - t_0; T_2 = t_2 - t_1 \dots \dots \dots t_n = t_n - t_{n-1}$$

$$E_1 = \text{Error en } t = t_1$$

$$E_2 = \text{Error en } t = t_2$$

$$E_n = \text{Error en } t = t_n$$

Siendo: $t_1, t_2, \dots \dots \dots t_n$, los instantes de muestreo del sumatorio en la ecuación 7.3.

El proceso de integración discreta expresada en la ecuación 7.4, implica el uso de una señal para la determinación de los instantes de muestreo. La selección de esta señal está en íntima relación con la arquitectura del sistema de disparo y secuenció y la naturaleza funcional de la unidad de fuerza.

En la selección de la señal para la determinación de los instantes de muestreo del control integral se tuvo en cuenta los siguientes factores:

- a.- Compatibilidad de la frecuencia de muestreo del sumador de la contribución integral con el retazo de transporte del convertidor de seis pulsos, con el objeto de evitar la oscilación de la cantidad digital de salida del controlador entre sus valores extremos. Este último efecto fue comprobado experimentalmente; utilizándose una frecuencia de muestreo ($1/T_i$) de 1 KHz, observándose la variación cíclica y gradual del ángulo de cebado de los tiristores entre sus valores mínimo y máximo.

- b.- Aprovechamiento de la capacidad funcional dinámica de la unidad de disparo y secuencéo. Esta unidad se diseñó utilizando la técnica de control de fase individual, con capacidad de modificación del ángulo de cebado entre el disparo de dos tiristores sucesivos. Las características anotadas permiten la obtención de retrazos de transporte variables bajo condiciones de operación transiente.

Por lo expuesto, la selección de los pulsos de disparo para la determinación de los instantes de muestreo del sumador,

es obviamente lo más adecuado. El esquema planteado ordena la acción integral únicamente después que la actuación proporcional ha realizado la revisión del error del sistema en base del último SCR disparado. Esta nueva acción integral sirve para el cálculo del ángulo de cebado del próximo SCR a dispararse.

La selección de intervalos de muestreo, determinados por el instante de disparo de los tiristores, es en cierta forma el más rústico esquema de control adaptativo; dado que, en condiciones transientes, el intervalo de muestreo es variable y por consiguiente la acción integral. Así por ejemplo, un orden de disminución abrupta del ángulo de cebado conlleva la consecuente disminución del intervalo entre pulsos de disparo; luego la ganancia integral efectiva (K_i'/T_i) aumenta, dado que T_i disminuye. Este es un efecto de "adaptación" de la ganancia integral ante disturbios de carácter transiente.

El examen de la ecuación 7.4 muestra claramente, que la salida Q_n del control integral en el instante de muestreo t_n , es el sumatorio de n términos de la forma $K_i' E_i/T_i$, obtenidos a través del mecanismo de ajuste de ganancia previamente analizado. Cada vez que ocurre el disparo de un SCR, se produce la adición o sustracción de un nuevo término al valor previo del controlador integral. El cálculo de un nuevo valor para

Q_3 , en el instante de muestreo, implica la utilización de su valor anterior.

Así por ejemplo, un momento antes de la ocurrencia del cuarto muestreo, la señal de salida del controlador integral será:

$$Q_3 = \frac{K_I^1 E_1}{t_1 - t_0} \pm \frac{K_I^1 E_2}{t_2 - t_1} \pm \frac{K_I^1 E_3}{t_3 - t_2}$$

En el instante que sucede el cuarto muestreo la salida del control integral será:

$$Q_4 = Q_3 \pm \frac{K_I^1 E_4}{t_4 - t_3}$$

Es por consiguiente necesario un dispositivo de almacenamiento de la información digital de la salida del controlador, en el intervalo entre muestreos sucesivos, con el objeto de calcularse el valor siguiente por medio de un circuito sumador-sustractor. Adicionalmente, el dispositivo de almacenamiento deberá cambiar el estado de su información, por el nuevo valor calculado por el sumador-sustractor, en base del contenido de su información previa.

En la figura 7.1 se mostró el esquema de bloques del control integral, el mismo que es una fiel representación de los requerimientos planteados.

El dispositivo de almacenamiento (registro de doce bits) se implementó mediante dos circuitos integrados 74273. Cada C.I contiene ocho flip-flop tipo D con entradas de reloj comunes. En la figura 7.3 se presenta el diagrama de alambrado de los dos registros U60 y U61, siendo tan solo utilizados los cuatro primeros flip-flop de este último y los cuatro restantes no tienen ninguna conexión (NC). La entrada de borrado es colocada a nivel lógico alto, de acuerdo con la tabla de funciones dada por el fabricante (31). Las entradas D de los flip-flop son alambradas a las respectivas salidas de la unidad sumadora-sustractora y las salidas Q conectadas a las entradas de la unidad mencionada. Las entradas de reloj (Clock) de las dos unidades monolíticas 74273 son alambradas juntas y manejadas por los pulsos de cebado del circuito de disparo (PD). De esta forma, las salidas del registro serán un fiel reflejo de las entradas (salidas de la unidad sumadora-sustractora), cada vez que ocurre el borde de elevación positivo de los pulsos de disparo, y se mantendrán sin cambio hasta la ocurrencia de un nuevo pulso de disparo.

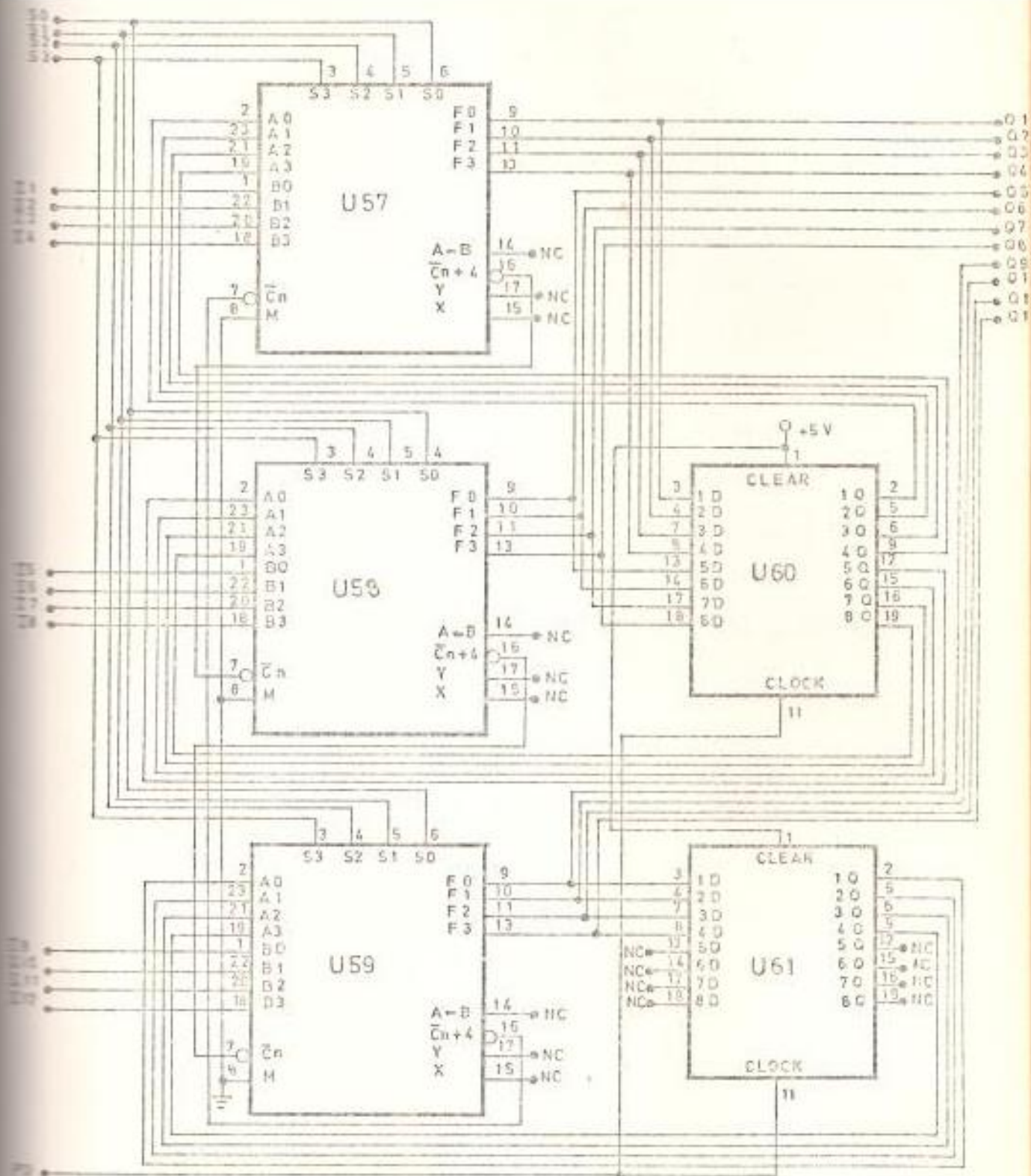


FIGURA 7.3. CONTROLADOR INTEGRAL.

La unidad sumadora-sustractora se diseñó alrededor de tres unidades lógico aritméticas; cada una, encapsulada en el circuito integrado monolítico 74181. Estas tres unidades operan sobre palabras de doce bits, luego deben ser interconectadas en cascada. La conexión en cascada de las tres A.L.U. (U57, U58 y U59) es realizada conectando el terminal de salida de transporte serie (\bar{C}_{n+4}) de la unidad que maneja los cuatro bits menos significativos (U57) al terminal de entrada de transporte serie (C_n) de la unidad que opera sobre los cuatro bits intermedios (U58), el terminal \bar{C}_{n+4} de U58 con \bar{C}_n de la unidad que opera sobre los cuatro bits más significativos (U59), y finalmente el terminal \bar{C}_{n+4} de U59 con \bar{C}_n de U57.

Las tres A.L.U conectadas en cascada deben sumar o sustraer dos palabras digitales de doce bits. Estas operaciones son especificadas como aritméticas, luego los terminales de selección de modo de U57, U58 y U59 son colocados a nivel lógico bajo.

En la figura 7.3 se presentó el diagrama de conexiones del controlador integral, en la cual se muestra las salidas de los registros U60 y U61 alambradas a las entradas A0, A1, A2 y A3 de las respectivas A.L.U U57, U58 y U59, con las entradas B0, B1, B2 y B3 de estas conectadas con las salidas del

zócalo de ajuste de ganancia proporcional. Esta particular disposición de las interconexiones se basa en el hecho de que las A.L.U realizan la sustracción como $A - B$. Sustrayéndose los doce bits de salida del soporte de ajuste de ganancia del contenido del registro de acuerdo con los requerimientos especificados.

Las salidas de la unidad sumadora-sustractora, no requieren lógica adicional (luego de la operación de sustracción), puesto que, el contenido del registro es siempre mayor que la salida de los zócalos de ganancia en condiciones normales de operación. La condición contraria es detectada externamente, dado que, producirá oscilaciones anormales en la respuesta transiente de la fuente de corriente, indicando que la ganancia integral K_I debe ser disminuida.

La orden de adición o sustracción a la unidad conformada por U57, U58 y U59, es determinada por el estado de los terminales de selección S0, S1, S2 y S3, los mismos que son comandados por la información de bit de polaridad de error y será objeto de análisis en una sección posterior.

7.2.5 Sumador-sustractor de las contribuciones proporcional e integral

El diseño del controlador P.I está basado en la obtención de las contribuciones proporcional e integral en forma separada y de acuerdo con la ecuación 7.2. Para la obtención de la señal digital de salida del controlador, deberá adicionarse o sustraerse, el término $K_p E_i$ disponible en el punto P de la figura 7.1, a la cantidad digital de salida del controlador integral (punto Q). La selección de las operaciones de adición o sustracción es determinada por la polaridad del error.

El diseño del circuito sumador-sustractor de las contribuciones proporcional e integral se realizó en base de tres unidades lógico aritméticas, cada una encapsulada en el circuito integrado monolítico multifunción 74181. Estas tres unidades son alambradas en forma similar al sumador-sustractor del controlador integral.

Las entradas A0, A1, A2 y A3, de las tres A.L.U, contienen los doce bits de salida del bloque integral (Q1 - Q12), y las entradas B0, B1, B2 y B3 los doce bits de salida del bloque proporcional (P1 - P12), de tal forma que la operación de sustracción sea Q-P. Cabe indicar que la operación sustractiva no requiere lógica adicional, puesto que, en condiciones normales de operación, la salida del controlador integral es siempre mayor que la contribución sustraída.

En la figura 7.4 se muestra el diagrama final de conexiones del sumador-sustractor mediante las tres A.L.U U62, U63 y U64. La salida del controlador consta de los ocho bits más significativos (salida de U63 y U64), dado que, el proceso de obtención de las ganancias K_p y K_i , mediante la técnica de desplazamiento, incrementó la longitud de las palabras digitales manejadas por el controlador P.I por cuatro bits.

7.2.6 Circuito selector

Este circuito es el encargado de ordenar, tanto al sumador-sustractor Integral como al sumador-sustractor de las contribuciones proporcional e integral, el tipo de operación a realizarse en base de la información presente en el bit de información de la polaridad de error, proveniente del circuito detector de error.

En el capítulo VI se analizó que un nivel lógico bajo en el bit de polaridad del error implica que el nivel de corriente deseado era mayor que el sensado; luego, es necesario disminuir el ángulo de cebado del puente de tiristores, con el objeto de aumentar el voltaje de salida promedio y por consiguiente el nivel de corriente de carga sensado; disminuyéndose la magnitud del error del sistema. La unidad de disparo y secuencéo, disminuye el ángulo de disparo, si la magnitud

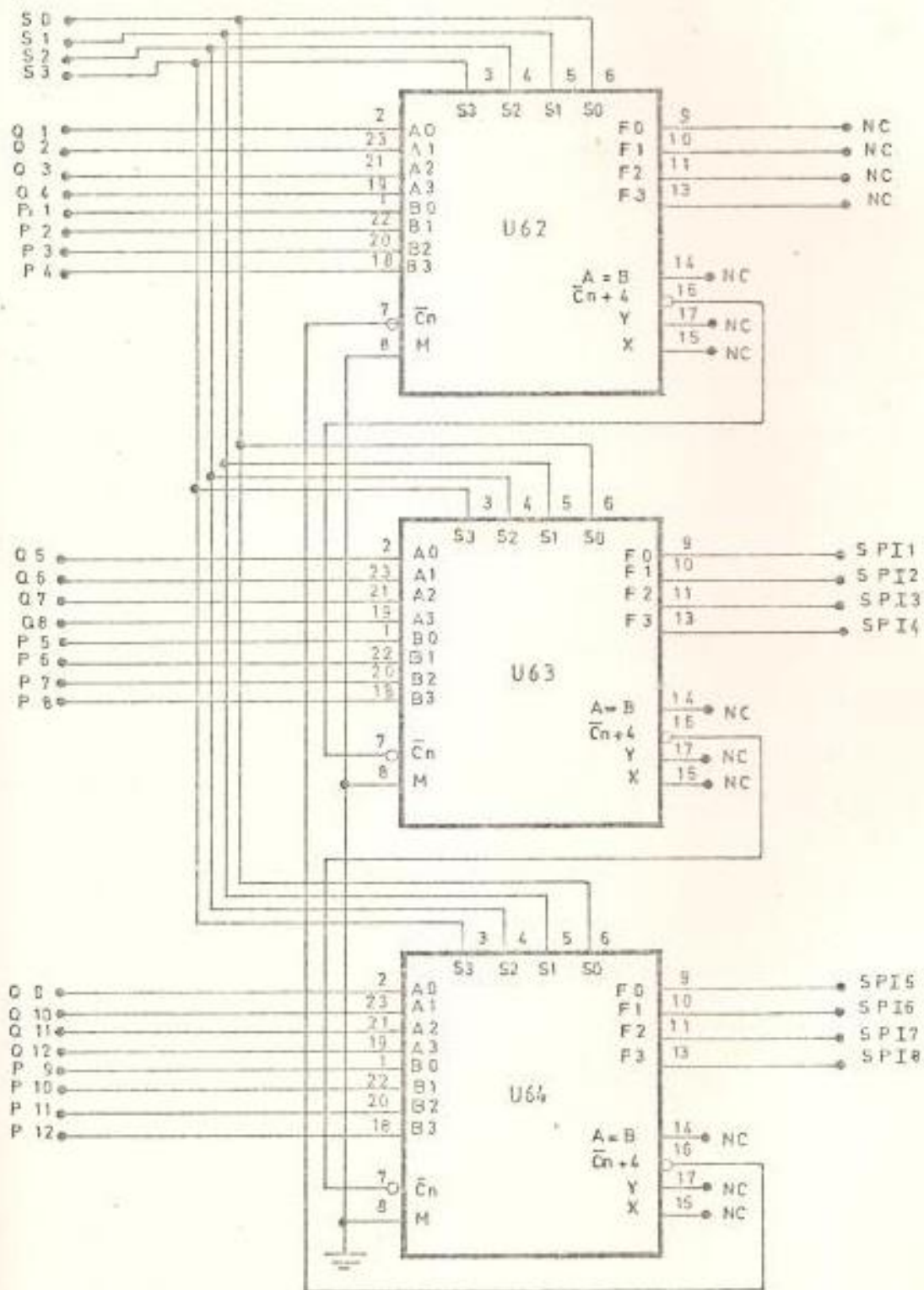


FIGURA 7.4. CIRCUITO SUMADOR SUSTRADOR DE LAS CONTRIBUCIONES PROPORCIONAL E INTEGRAL.

digital de control (ocho bits) disminuye. Lo anterior implica que la salida digital (ocho bits) del controlador P.I debe disminuir. Por lo expuesto se concluye, que los dos sumadores-sustractores del controlador P.I, deben operar en el modo de sustracción.

Un análisis similar lleva a la conclusión de que, un nivel lógico alto en el bit de polaridad de error, implica una orden de adición a los dos bloques sumadores-sustractores mencionados.

Las operaciones de adición o sustracción de los bloques sumadores-sustractores es determinada por los bits de selección (S0, S1, S2 y S3) de las A.L.U. En la tabla 7.1 se especifica claramente el tipo de operación realizada por el circuito selector sobre los bits de selección a partir del bit de polaridad del error.

Las funciones lógicas especificadas en la tabla 7.1 son realizadas con el Inversor no usado del C.I U49 de la etapa de conversión analógica-digital (Capítulo VI). Cada una de las salidas del selector maneja seis cargas TTL, imponiendo un cargado de doce a la señal PE y a la salida del inversor (Figura 7.5); es necesario, por consiguiente, el uso de una etapa de reforzamiento de señal.

TIPO DE OPERACION	POLARIDAD DEL ERROR	SEÑALES DE SELECCION DE LAS OPERACIONES DE ADICION O SUSTRACCION DE LAS A.L.U.			
	PE	S0	S1	S2	S3
ADICION	H	H	L	L	H
SUSTRACCION	L	L	H	H	L

TABLA 7.1. FUNCIONES DEL CIRCUITO SELECTOR.

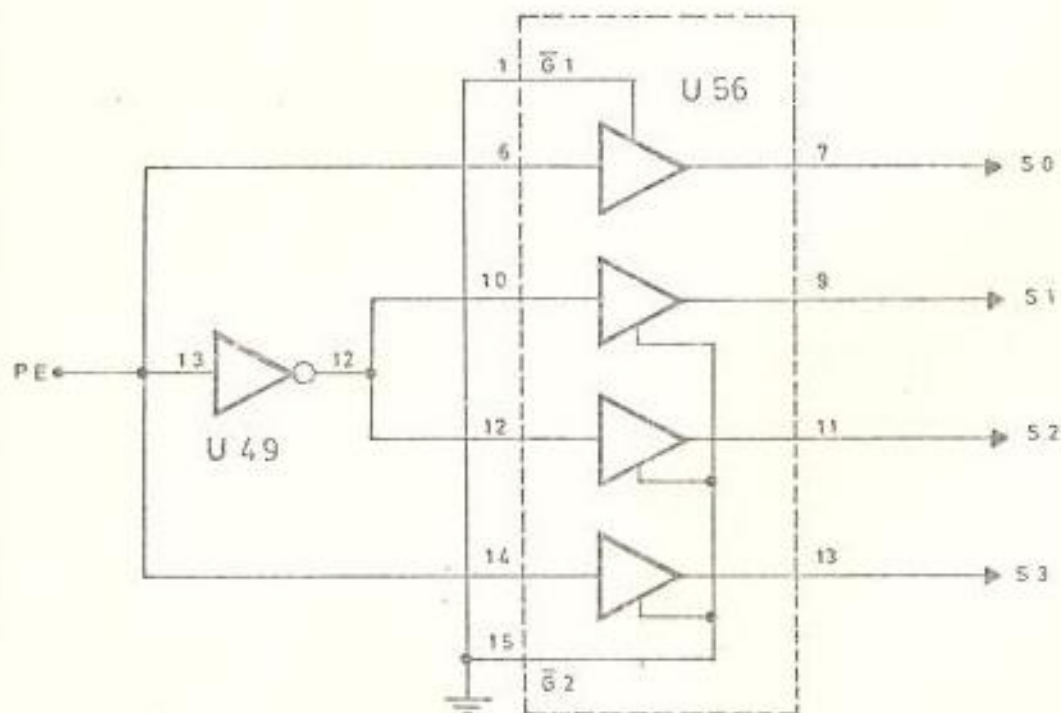


FIGURA 7.5. CIRCUITO SELECTOR

La etapa de reforzamiento se implementó a partir de los reforzadores sin inversión sobrantes del C.I U56, utilizado por el detector de error.

La configuración final del circuito selector se muestra en la figura 7.5, con las entradas de posibilitamiento de selección $\bar{G}1$ y $\bar{G}2$ de los reforzadores a nivel lógico bajo; inhibiéndose el tercer estado de sus salidas (alta impedancia).

7.3 ANALISIS DE LAS SEÑALES DE SINCRONISMO DE LAS DIFERENTES ETAPAS DE CONTROL BAJO LOS DOS MODOS POSIBLES DE OPERACION

En este punto y con el objeto de relieves las prestaciones globales del sistema diseñado, bajo los dos modos de operación (fuente de voltaje controlado y fuente de corriente controlada), se realiza un breve análisis de la interrelación funcional sincrónica de las diferentes etapas de control, en base del diagrama de bloques simplificado de la fuente de corriente controlada (Figura 7.6).

7.3.1 Fuente de voltaje controlado

Bajo este modo de operación el sistema permite imponer al convertidor trifásico tipo puente un ángulo de cebado fijo y predeterminado por la programación selectiva de los ocho conmutadores de colocación manual de voltaje deseado (Figura -

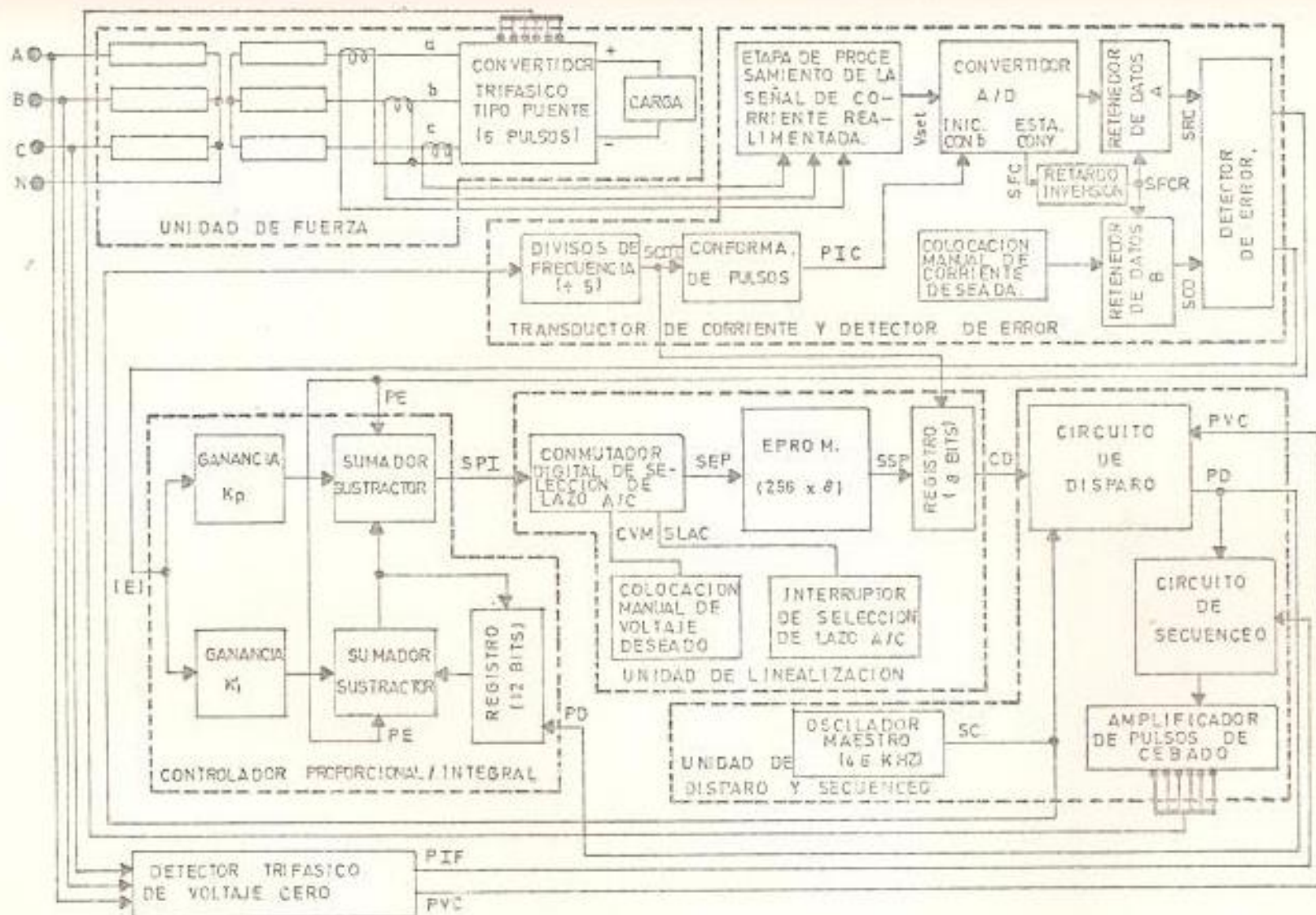


FIGURA 7.6. DIAGRAMA DE BLOQUES DE LA FUENTE DE CORRIENTE CONTROLADA.

7.6).

La operación como fuente de voltaje controlado se obtiene colocando el bit de selección de lazo (SLAC) a nivel lógico alto, de esta forma el sistema funciona en lazo abierto, inhihiendo el paso de la señal de ocho bits SPI proveniente del controlador proporcional e integral.

En las condiciones establecidas la salida SEP, del conmutador digital de selección de lazo (abierto/cerrado), será un fiel reflejo de la colocación de voltaje deseado (CVM). El EPROM realiza el proceso de transformación de la señal de ocho bits SEP en una nueva señal de ocho bits SSP, que permite que el voltaje de salida promedio de la unidad de fuerza, varíe linealmente con la magnitud de la cantidad digital CVM.

La cantidad digital SSP, pasa por el registro de ocho bits a la salida del EPROM, de esta manera, la señal digital de ocho bits de colocación de ángulo de cebado, para los circuitos de disparo y secuencío, es refrescada a una razón de 9.2 KHz mediante la señal SCDI. Este esquema permite la colocación, prácticamente instantánea, de cualquier nuevo voltaje de salida deseado impuesto a través de la señal CVM.

Los circuitos de disparo y secuencío, a través del amplifica

dor de pulsos, imponen el ángulo de cebado especificado por la señal digital de ocho bits CD al convertidor trifásico. - El ángulo de cebado y, por consiguiente, el voltaje de salida promedio, permanece invariable mientras no ocurra un cambio en la señal CVM.

Las señales PVC y PIF, del detector trifásico de voltaje cero, realizan funciones de temporización y sincronización con tínua, para los circuitos de disparo y secuencéo, respectivamente. En forma adicional la señal PIF no permite la modificación de la secuencia de encendido de los tiristores ante variaciones de la secuencia de fase de la alimentación trifásica.

La edición del EPROM, con el objeto de linealizar el sistema acorta el rango de control del mismo entre 2.81° y 109.22° .

7.3.2 Fuente de corriente controlada

En el modo de operación como fuente de corriente controlada, el sistema es capaz de imponer una corriente promedio de car ga fija e invariable ante modificaciones en la carga o en el voltaje de alimentación trifásico de la unidad de fuerza. - La corriente de carga es predeterminada por la programación selectiva de los ocho conmutadores de colocación manual de -

corriente deseada.

La operación como fuente de corriente controlada se obtiene colocando el bit de selección de lazo SLAC a nivel lógico bajo. Un nivel bajo en SLAC permite la operación en lazo cerrado, inhibiendo el paso de la señal CVM a la entrada del EPROM; de tal forma que, la salida del conmutador digital de selección de lazo SEP, será un fiel reflejo de la salida del controlador proporcional e integral (señal SPI).

La etapa de procesamiento de la señal de corriente de retroalimentación convierte continuamente la corriente de carga sensada en el lazo de alterna del convertidor trifásico tipo puente, introduciendo el retardo de tiempo del filtro usado para la eliminación del rizado de 360 Hz de la corriente de carga (Capítulo VI). La corriente sensada es convertida de esta forma, en un voltaje convenientemente alizado (V_{set}), con variaciones lineales con respecto a ésta, bajo condiciones de operación de estado estable.

El convertidor analógico/digital, transforma el nivel del voltaje análogo V_{set} , en una cantidad digital de ocho bits a una razón de 9.2 KHz. Los pulsos de inicio de conversión (PIC) son obtenidos a partir del divisor de frecuencia de la señal de conteo del oscilador maestro y el conformador de

pulsos (Figura 7.6), de esta manera, la corriente de retroalimentación es refrescada a una razón de 9.2 KHz.

Una vez finalizada la conversión la señal SFC va a nivel lógico bajo y su complemento a nivel lógico alto. El nivel lógico alto en \overline{SFC} ordena el paso de las señales de corriente retroalimentada y deseada (SRE y SCO), al detector de error, manteniéndose las mismas retenidas hasta un nuevo borde de elevación en \overline{SFC} mediante los retenedores de datos A y B.

Es imposible predecir, bajo condiciones transientes, la localización temporal de los pulsos de disparo; los pulsos de disparo son de particular interés, puesto que, actúan directamente sobre el controlador integral. Sin embargo, es factible localizar los puntos de los posibles pulsos de disparo (PPD) en los bordes de elevación de la señal de conteo SC del oscilador maestro (46 KHz).

De la discusión precedente se observa (Figura 7.7), que el pulso de inicio de conversión PIC1, genera en el convertidor A/D, la señal de finalización de conversión SFC1 luego de 18 us (tiempo de conversión), y por consiguiente, el bloque de retraso e inversión la señal SFC1. El borde de elevación de SFC1, impone al detector de error, las señales SRE1 y SCO1, que son retenidas durante 108.7 us. El detector de error -

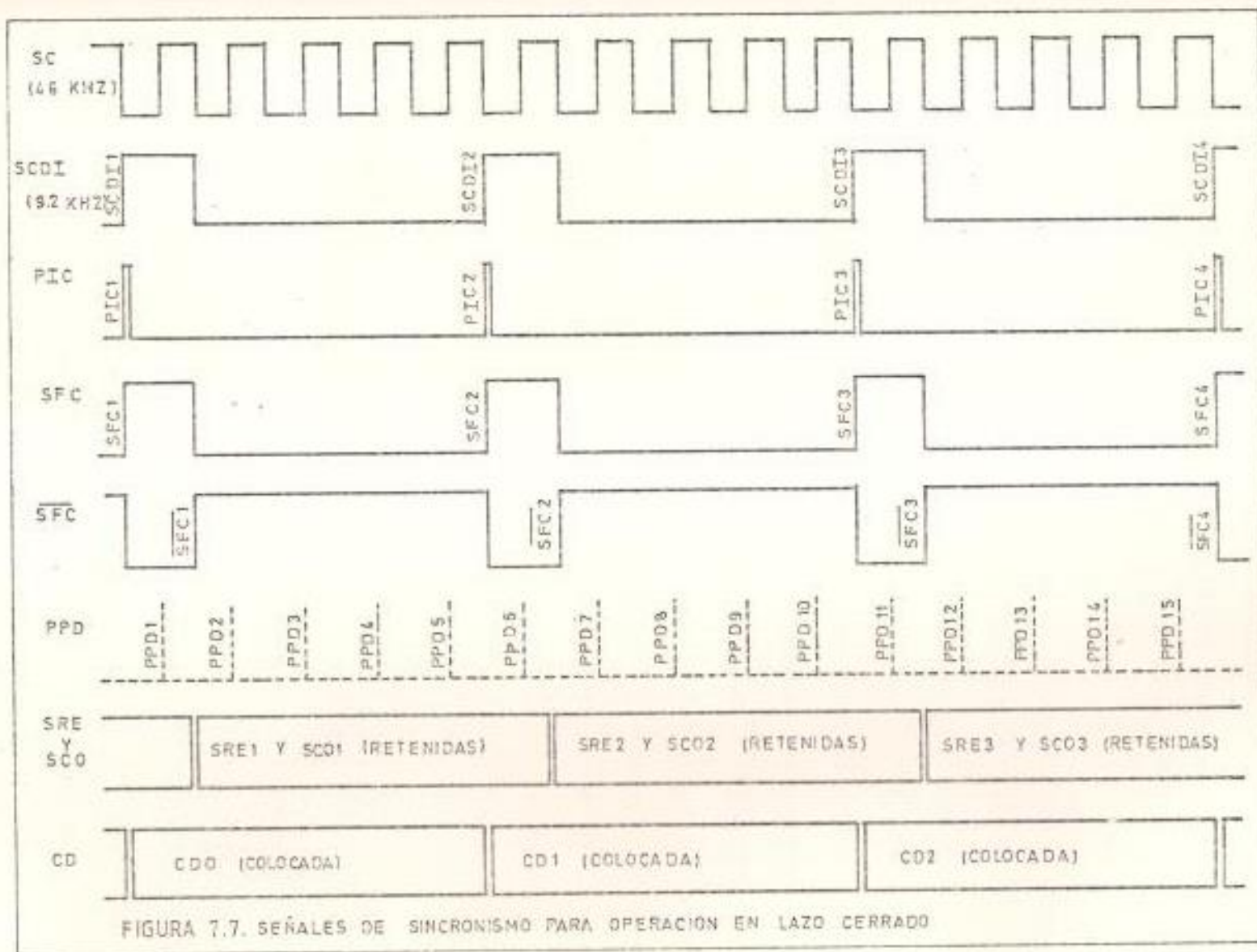


FIGURA 7.7. SEÑALES DE SINCRONISMO PARA OPERACION EN LAZO CERRADO

tiene 14.6 us para realizar sus funciones, en el caso extremo, de que ocurra el pulso de disparo PPD2 y ordene la acción integral.

Si el posible pulso de disparo es el PPD5, se dará un tiempo para la acción integral de 10 us, incluido el retraso de propagación del conmutador digital y tiempo de acceso del EPROM. De esta forma, el registro a la salida del EPROM, activado por el borde de elevación positivo de la señal SSD12, proporcionará la señal CD en el instante en que esta es válida (CD1) y será retenida hasta la ocurrencia del borde positivo SSD13. Las operaciones transientes efectuadas por el controlador proporcional e integral, durante el intervalo de retención de SRE1 y SC01, no afectan de esta manera al circuito de disparo y secuencéo, dado que, éste opera con la señal CDO (Figura 7.7).

7.4 LISTA DE MATERIALES

<u>Nº REQ.</u>	<u>DESCRIPCION</u>	<u>Nº CATALOGO</u>	<u>DESIGNACION</u>
6	Unidad lógico aritmética/generador de funciones	SN74S181	U57, U58, U59 - U62, U63, U64
2	Ocho flip-flop tipo D con entrada de borrado	SN74273	U60, U61

<u>Nº REQ.</u>	<u>DESCRIPCION</u>	<u>Nº CATALOGO</u>	<u>DESIGNACION</u>
2	Zócalo de 24 termina - les: (alambre enrosca- do)	C812454	SOP1, SOP2
8	Condensador de tanta - llo: 0.1 uF		C45, C46, C47 - C48, C49, C50 - C51, C52

7.5 CONSTRUCCION

El controlador P.I, unidad de linealización, detector de error y etapa de sincronización de las señales del detector, se montaron sobre una misma tarjeta (Figuras 7.8 y 7.9). Para la construcción se usó la técnica de alambre enroscado (Wire-wrap), dada la gran cantidad de interconexiones existente.

Los zócalos SOP1 y SOP2, que proveen las ganancias proporcional e integral, son intercambiables (Figura 7.8); de esta forma se permite la rápida modificación de los parámetros K_p y K_i .

Los condensadores C45, C46, C47, C48, C49, C50, C51 y C52, son utilizados como elementos de desacoplo de las fuentes de alimentación, para la remoción de picos de voltaje de carácter transiente; de tal forma que fueron distribuidos de manera conveniente sobre la tarjeta (Figuras 7.8 y 7.9).

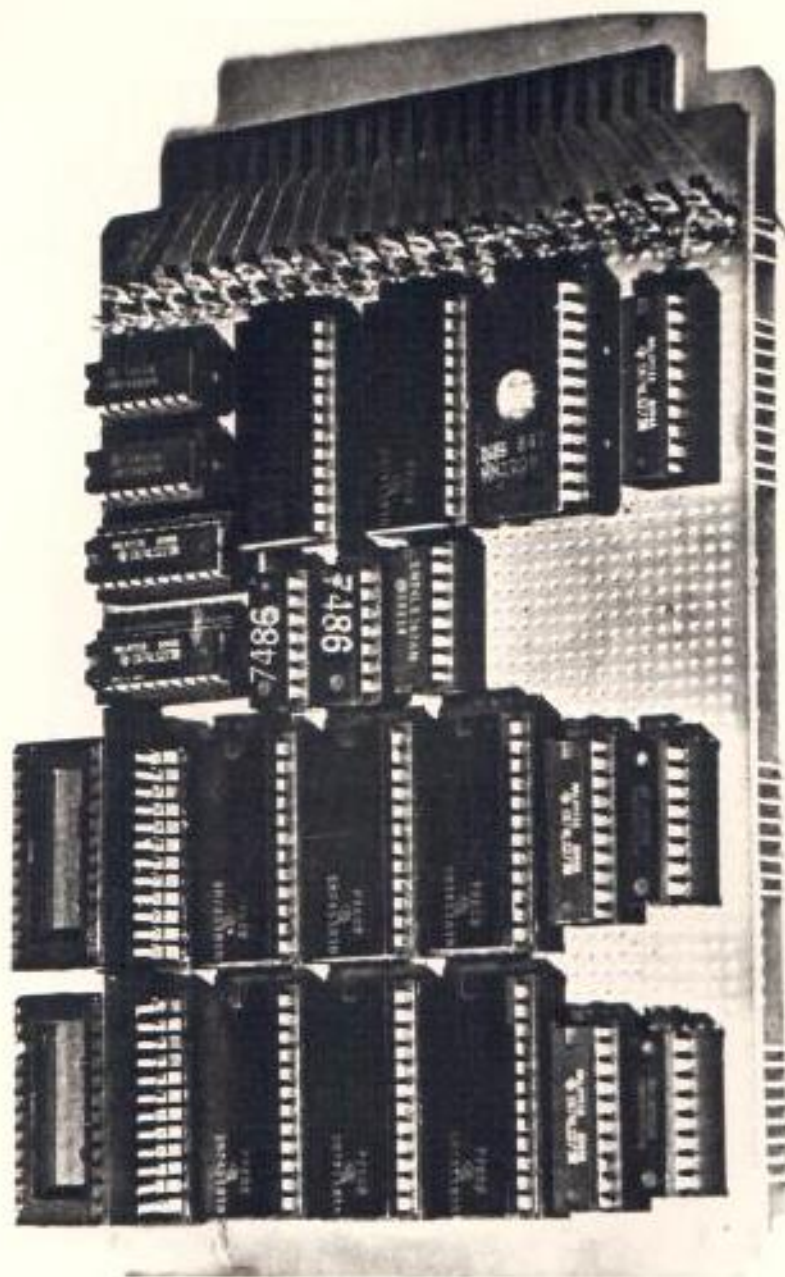


FIGURA 7.8 VISTA FRONTAL DEL CONTROLADOR P.I, UNIDAD DE LINEALIZACION
DETECTOR DE ERROR Y ETAPA DE SINCRONIZACION DE LAS SEÑALES
DEL DETECTOR

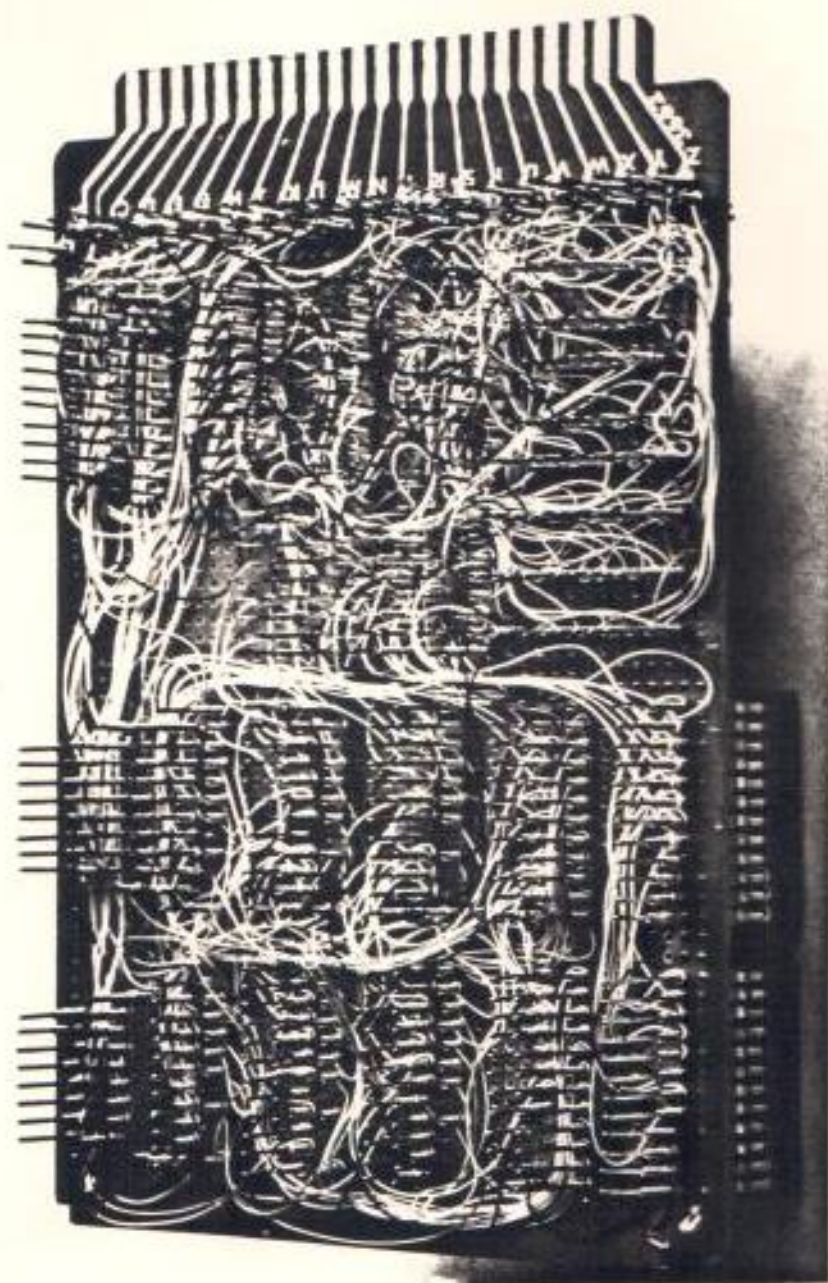


FIGURA 7.9 VISTA POSTERIOR DEL CONTROLADOR P.I, UNIDAD DE LINEALIZACION, DETECTOR DE ERROR Y ETAPA DE SINCRONIZACION DE LAS SEÑALES DEL DETECTOR

7.6 PRUEBAS

Las pruebas del controlador P.I se restringieron al chequeo de las funciones asignadas al mismo, mediante la colocación manual de la señal de error y el relojéo de los registros del controlador integral. Este tipo de pruebas dió un indicio acerca de su correcto funcionamiento (en base de las previsiones teóricas), que posteriormente fue comprobado, sometiendo al controlador P.I a condiciones de operación reales (Capítulo VIII).

CAPITULO VIII

APLICACION DE LA FUENTE DE CORRIENTE AL CONTROL DE TORQUE DE UN MOTOR D.C

8.1 INTRODUCCION

Las fuentes de corriente basadas en sistemas de conversión de potencia estáticos son ampliamente usadas en la industria como parte de sistemas de tracción de motores con lazos de regulación de velocidad o torque. En tales aplicaciones, la fuente de corriente es conectada directamente al motor (control de motores D.C) o a través de un inversor (control de motores de inducción o síncronos).

El método convencional y de uso extendido en el control de velocidad de motores D.C se basa en el cerramiento de dos lazos de realimentación; un lazo externo de realimentación de velocidad y un lazo interno de realimentación de corriente. El lazo interno de realimentación de corriente es usado para limitar la corriente del motor cuando esta excede un valor límite prefijado (13). El uso de la fuente de corriente con un lazo externo de regulación de velocidad imprime una característica especial en el control de motores de corriente continua, puesto que en este caso, el lazo interno de realimentación de corriente opera continuamente, obteniéndose ventajas tales como: mejoras en la respuesta dinámica del sistema, inherente

protección contra cortocircuitos y la eliminación de los efectos adversos que representan los disturbios en el sistema de alimentación A.C.

Las fuentes de corriente basadas en métodos de control análogos - (13) presentan notables ventajas de tipo económico: No obstante, - el diseño digital ofrece ventajas tales como: mejor inmunidad al - ruido, mayor exactitud, buena estabilidad, disminución de ajustes , reducción de mantenimiento y posibilidad de conexión directa con un microprocesador. Debido a que muchos sistemas de control de motores D.C de alta capacidad funcional, requieren un esquema de con - trol adaptativo para su operación satisfactoria (22), se espera que la aplicación del microprocesador para el control de velocidad de - motores D.C se incremente, favoreciendo el control digital del lazo interno de realimentación de corriente.

En aplicaciones tales como las mencionadas, es de interés el conoci - miento de la capacidad funcional de la fuente de corriente bajó con - diciones de operación de estado estable y transiente, con diferen - tes cargas. Esta capacidad es medida por la factibilidad de la mo - dificación de sus parámetros, de tal forma que para una carga parti - cular, la respuesta de estado estable presente un error nulo y la - conducta transiente una respuesta rápida, con suficiente amortigua - ción y adecuada estabilidad ante disturbios considerables en el ni - vel de corriente deseado o modificaciones repentinas en el circuito

de carga.

En la primera parte de este capítulo y con el objeto de realizar las características y funcionamiento de la fuente de corriente, tanto - en condiciones de operación de estado estable como transiente, se - presentan los resultados obtenidos en pruebas realizadas con cargas inductivas-resistivas. La constante de tiempo de la carga se seleccionó a un valor similar al máximo retardo de tiempo del convertidor trifásico tipo puente, con el propósito de observar la rapidez de la respuesta transiente de la corriente de carga ante un cambio escalón en la corriente deseada. Para la carga seleccionada se presentan los diversos tipos de respuesta obtenidos para diferentes parámetros del controlador (ganancias proporcional e integral) y constante de tiempo impuesta sobre el lazo de realimentación de corriente. Los resultados obtenidos demuestran la efectividad y flexibilidad del sistema para optimizar la respuesta transiente de la variable bajo control mediante la modificación de sus parámetros básicos

Las pruebas finales se realizaron con un motor D.C de excitación separada de 1.5 H.P acoplado a un generador D.C con el propósito de proveer un torque de carga variable sobre el motor. En el modo de operación como fuente de voltaje controlado se realizaron pruebas de arranque con voltaje reducido, con el objeto de limitar la corriente de arranque a niveles no perjudiciales. Realizandose pruebas de variación de velocidad en el rango completo permisible para

diferentes cargas sobre el motor. El sistema no mostró pérdida de control aún con corrientes de armadura discontinuas, demostrando la excelente capacidad del circuito de disparo y secuencéo, en condiciones de funcionamiento extremo.

Además de las pruebas formales establecidas se aplicó el sistema al control del torque electromagnético del motor D.C, mediante el control de su corriente de armadura, obteniéndose resultados satisfactorios para una amplia variación de la velocidad del motor, sometido a torques variables en su eje. La respuesta transitoria de la variable bajo control (corriente de armadura) fue optimizada mediante la variación de los parámetros del controlador y lazo de retroalimentación, obteniéndose respuestas con tiempos de ascenso y estabilización mínimos y sobreniveles practicamente nulos.

8.2 FUNDAMENTOS TEORICOS

La operación de la fuente de corriente controlada con cargas tales como un motor D.C de excitación separada acoplado a un generador del mismo tipo, debe ser analizado mediante la modelación matemática de las unidades constitutivas del sistema, con el propósito de predecir la conducta y características principales del mismo bajo diferentes condiciones de funcionamiento. Puesto que en este trabajo no se considera tal análisis, es conveniente realizar una descripción más bien cualitativa de la operación del sistema fundamen-

tada en los aspectos teóricos básicos involucrados

La discusión presentada se restringe a los dos modos de operación de la fuente de corriente acoplada al grupo motor-generador. El diagrama de bloques simplificado del sistema es mostrado en la figura 8.1.

8.2.1 Ecuaciones básicas del grupo motor-generador

Bajo condiciones de operación de estado estable la corriente en el devanado de campo del motor D.C de excitación separada es:

$$I_{fm} = \frac{V_{fm}}{R_{fm}} \quad A. \quad (8.1)$$

Donde, V_{fm} es el voltaje de salida promedio aplicado a los terminales de campo por el rectificador trifásico tipo puente (no controlado) y R_{fm} es la resistencia del devanado de campo.

El flujo por polo Φ_m del circuito magnético del motor es una función de la corriente de campo.

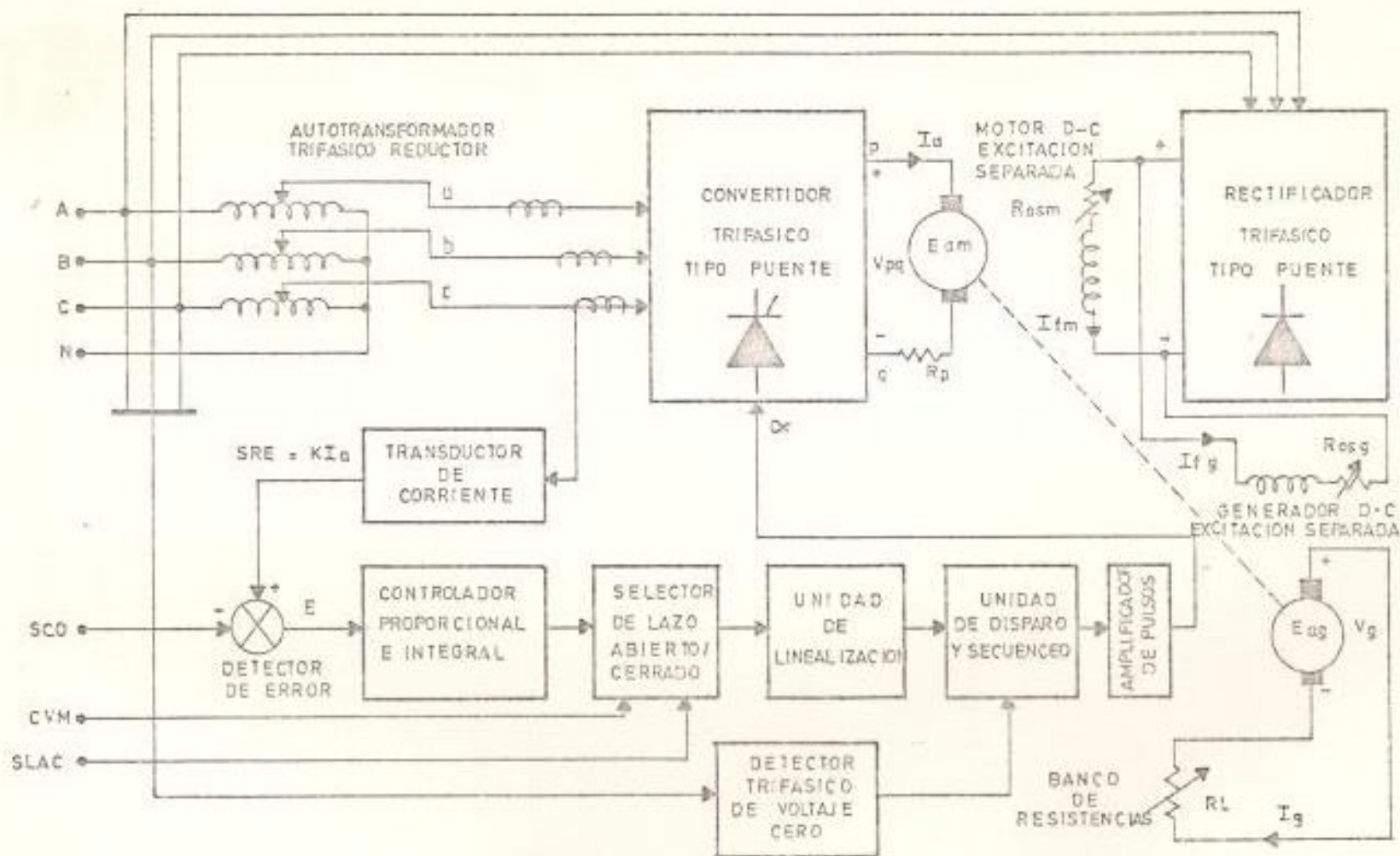


FIGURA 8.1. DIAGRAMA DE BLOQUES DE LA FUENTE DE CORRIENTE CONTROLADA Y CONEXIONES CON EL GRUPO MOTOR-GENERADOR.

$$\Phi_m = F_m (I_{fm}) \quad \text{wb.} \quad (8.2)$$

Esta es una relación no lineal y viene determinada por la curva de magnetización o de saturación de la máquina. En el análisis que sigue se asumirá que V_{fm} es mantenido constante tal que I_{fm} y Φ_m son constantes. Esta asunción se fundamenta en el hecho de que el devanado de campo del motor está alimentado a través de un rectificador no controlado que proporciona a su salida un voltaje promedio fijo.

El voltaje inducido en el devanado de armadura del motor es:

$$E_{am} = K_m \Phi_m \omega_m \quad \text{V.} \quad (8.3)$$

Donde K_m es una constante para un motor particular y depende básicamente de la geometría y tipo del devanado de armadura. Con corriente de campo constante, E_{am} es directamente proporcional a la velocidad de rotación del motor ω_m (en radianes mecánicos por segundo).

El circuito de armadura de un motor de corriente continua puede considerarse como la fuerza contraelectromotriz (f.c.e.m) E_{am} en serie con la resistencia de armadura. El voltaje promedio de salida del convertidor trifásico tipo puente V_{pq} está relacionado con la f.c.e.m de armadura por

medio de la ecuación:

$$V_{pq} = E_{am} + I_a R_a \quad \text{V.} \quad (8.4)$$

El torque interno o torque electromagnético desarrollado por el motor es:

$$T_m = K_m \Phi_m I_a \quad \text{N-m.} \quad (8.5)$$

La potencia electromagnética, correspondiente al par electromagnético dado por la ecuación 8.5 es:

$$P_m = E_{am} I_a \quad \text{W.} \quad (8.6)$$

La potencia electromagnética y el par correspondiente están relacionados por la ecuación básica de la mecánica.

$$T_m = \frac{60}{2\pi} \frac{E_a}{n} I_a \quad \text{N-m.} \quad (8.7)$$

Donde n es la velocidad del motor en revoluciones por minuto

$$\omega_m = \frac{2\pi n}{60} \quad \text{Rad/s.} \quad (8.8)$$

La alimentación del motor D.C de excitación separada, a través de un convertidor trifásico tipo puente, genera corrientes armónicas en la máquina, no obstante, las ecuaciones básicas 8.1 a 8.8 siguen siendo válidas para condiciones de funcionamiento de estado estable. Así la corriente de armadura promedio es proporcional al torque electromagnético promedio y las corrientes armónicas únicamente producen torques armónicos. La velocidad promedio es también proporcional al voltaje de armadura promedio, menos las pérdidas en la resistencia del circuito de armadura. Cualquier potencia de entrada armónica no emerge como potencia mecánica, sino únicamente contribuye con pérdidas adicionales en los conductores y circuito magnético del motor.

El efecto de la ondulación de la tensión de alimentación al motor se deduce de la ecuación 8.4, considerando la inductancia de armadura del motor.

$$v(t) = L_{am} \frac{di_a}{dt} + E_{am} + i_a R_a$$

Donde:

$V(t)$ = Tensión instantánea en los terminales de salida del convertidor (p-q).

L_{am} = Inductancia de armadura del motor.

E_{am} = Fuerza contraelectromotriz del motor supuesta constante.

R_a = Resistencia de armadura.

Si se desprecia la pequeña caída de tensión en la resistencia de armadura, entonces, $L_{am} (di_a/dt)$ compensa la diferencia instantánea existente entre la tensión en bornes $v(t)$ y la f.c.e.m, E_{am} . Debido a que E_{am} permanece sustancialmente constante para una velocidad determinada, $L (di_a/dt)$ debe cambiar bruscamente con el consiguiente efecto adverso sobre la conmutación del motor. A las dificultades de conmutación se añaden los efectos térmicos de la ondulación de corriente que no puede producir trabajo útil. La ondulación de corriente aumenta las pérdidas en el hierro del núcleo del inducido y en las partes no laminadas de cualquier interpolo, a causa de la componente magnetizante transversal de la reacción de armadura (28).

Las ecuaciones básicas del motor son análogas para un generador de excitación independiente, así para el generador:

$$I_{fg} = \frac{V_{fg}}{R_{fg}} = \frac{V_{fm}}{R_{fg}} \quad A. \quad (8.10)$$

$$\Phi_g = F_g (I_{fg}) \quad \text{Wb.} \quad (8.11)$$

$$E_{ag} = K_g \Phi_g W_g \quad \text{V.} \quad (8.12)$$

$$V_g = E_{ag} - I_g R_g \quad \text{V.} \quad (8.13)$$

$$T_g = K_g \Phi_g I_g \quad \text{N-m.} \quad (8.14)$$

$$P_g = E_{ag} I_g \quad \text{W.} \quad (8.15)$$

Donde:

I_{fg} = Corriente en el devanado de campo del generador.

Φ_g = Flujo por polo en el circuito magnético del generador.

E_{ag} = Fuerza electromotriz del generador f.e.m.

I_g = Corriente de salida (armadura) del generador.

T_g = Torque electromagnético del generador.

P_g = Potencia electromagnética del generador.

El torque electromagnético desarrollado por el motor T_m (ecuación 8.5) difiere del torque transmitido al eje de la máquina o torque útil. Este último torque es menor que el primero debido al torque de pérdidas.

De manera general se puede expresar la relación entre el tor

que electromagnético desarrollado por el motor y su torque ú
til como:

$$T_m = T_u + T_{pm} \quad \text{N-m.} \quad (8.16)$$

Donde:

T_u = Torque transmitido al eje del motor o torque útil.

T_{pm} = Torque de pérdidas del motor,

El torque de pérdidas T_{pm} consiste o se origina debido a las pérdidas de fricción y ventilación del motor y por corrientes parásitas y de histerisis, estas últimas, aumentadas debido a la ondulación propia de la corriente de armadura del motor alimentado a través del convertidor estático.

El torque útil en el eje del motor no es transmitido totalmente al generador para vencer su torque electromagnético, sino, parte de este torque se proporciona para vencer las pérdidas en vacío por rotación (fricción, ventilación) y pérdidas parásitas.

$$T_u = T_g + T_{pg} \quad \text{N-m.} \quad (8.17)$$

Donde:

T_g = Torque electromagnético de oposición desarrollado en el generador.

T_{pg} = Torque de pérdidas del generador.

A partir de las ecuaciones 8.16 y 8.17 se puede deducir una expresión que relacione los torques electromagnéticos tanto del motor como del generador.

$$T_m = T_g + T_{pmg} \quad \text{N-m.} \quad (8.18)$$

Donde T_{pmg} , es el torque proporcionado por el motor para vencer las pérdidas de fricción y ventilación del grupo motor-generador acoplado mecánicamente y además sus pérdidas parásitas. Este torque aumenta con el incremento de la velocidad del grupo, debido a que las pérdidas rotacionales son función de este parámetro. Se prevee también un incremento de T_{pmg} para ángulos de cebado en aumento, dado que las ondulaciones o rizado del voltaje V_{pg} es incrementado también (Ecuación 2.10).

8.2.2 Fuente de voltaje controlado

La operación del sistema como fuente de voltaje controlado se obtiene colocando un nivel lógico alto en la señal SLAC (Figura 8.1). En este modo de operación el voltaje de sali-

da promedio V_{pq} , en los terminales de salida del convertidor varía linealmente con la señal digital de ocho bits (CVM) en la entrada del bloque de selección de lazo. La relación lineal entre CVM y V_{pq} es realizada mediante la unidad de linealización, únicamente para corriente de armadura continua (capítulo II). Para corrientes de armadura discontinuas, la relación entre CVM y V_{pq} no es de tipo lineal, sin embargo, la unidad de disparo y secuencéo funciona normalmente, obligando al convertidor estático a operar con un ángulo de cebado determinado exclusivamente por la programación selectiva de la señal digital CVM.

A partir de las ecuaciones 8.3 y 8.4 la velocidad del motor está relacionada con el voltaje de salida promedio del convertidor por la ecuación.

$$V_{pq} = K_m \Phi_m \omega_m + I_a R_a \quad V. \quad (8.19)$$

Así, la velocidad del motor D.C de excitación separada, con alimentación de campo fijo, es practicamente proporcional al voltaje de salida de la unidad de conversión de potencia (excepto por la caída de tensión en la resistencia de armadura del motor).

La corriente de armadura del motor D.C de excitación separa-

da presenta un autoajuste, de manera que, produce un equilibrio de torques, o dicho de otro modo, hace que el par desarrollado sea igual al par de oposición. Este par de oposición es igual a la suma del par de carga y al par de pérdidas cuando el inducido gira (Ecuación 8.18). A partir de las ecuaciones 8.4 y 8.7 puede verse como se cumple este ajuste de I_a .

Para una carga determinada en el eje del motor y despreciando las variaciones del torque de pérdidas con la velocidad y ángulo de cebado del convertidor, se prevee una variación prácticamente lineal de la velocidad del motor con respecto a la señal de mando CVM. Lo anterior es verdad, siempre que la corriente de armadura sea de carácter continuo.

Por su propia naturaleza el sistema es versátil, dado que permite el control total de la corriente de armadura durante el período de arranque. Limitando la corriente de arranque a niveles no perjudiciales.

La corriente de arranque inicial en el motor D.C de excitación separada es deducida de la ecuación 8.4 con $E_{am} = 0$ V ($\omega_m = 0$).

$$I_{arr(inicial)} = \frac{V_{pg}(inicial)}{R_a} \quad A. \quad (8.20)$$

Así, para una carga determinada, el voltaje de salida del convertidor (V_{pq}), puede ser ajustado por la programación de la señal digital CVM. Con la carga nominal acoplada al eje del motor, la corriente de arranque es generalmente limitada de un 150% a un 200% de la corriente de plena carga, conforme el motor se acelera la corriente disminuye hasta que la velocidad es constante e inferior a la nominal. Para alcanzar la velocidad nominal (si este fuera el caso) es necesario la reprogramación de CVM para obtener un V_{pq} mayor que el inicial, con un aumento instantáneo y progresiva disminución de I_a , conforme el motor se establece a la nueva velocidad cercana a la nominal. Reprogramaciones sucesivas de CVM permiten obtener el voltaje V_{pq} y velocidad W_m de operación nominales con plena carga en el eje.

8.2.3 Fuente de corriente controlada

La operación del sistema como fuente de corriente controlada se obtiene colocando un nivel lógico bajo en SLAC. La corriente de armadura deseada y por consiguiente el torque electromagnético del motor es determinado a través de la programación selectiva de los ocho bits de la señal SCO (Figura 8.1).

Para una colocación particular de corriente de armadura en -

la señal digital SC0, el detector de error compara continuamente este valor con la magnitud actual de la corriente de armadura del motor. Esta última medida indirectamente en el lado de alterna del convertidor estático mediante el transductor de corriente (Figura 8.1), que proporciona a su salida la señal digital SRE, proporcional a I_a . Si las cantidades digitales comparadas son diferentes se genera el error E el mismo que es convenientemente utilizado por el controlador proporcional/integral y unidad de linealización, de tal forma que se imponga a través de la unidad de disparo y secuencéo un ángulo de cebado específico al convertidor estático; este último parámetro debe producir un voltaje de salida V_{pq} , tendiente a disminuir el error E, hasta su anulación definitiva.

En general, si la corriente de armadura deseada es mayor que la medida indirectamente en el circuito de armadura del motor, el ángulo de cebado del convertidor es disminuido con el propósito de aumentar el voltaje V_{pq} y en consecuencia I_a disminuyendo E. De igual manera, si la corriente de armadura deseada es menor que la medida, entonces el ángulo de cebado es incrementado, disminuyendo V_{pq} e I_a hasta que E sea anulado. Durante las operaciones descritas el detector trifásico de voltaje cero realiza un chequeo constante del sincronismo de la secuencia de cebado de los tiristores, inhi -

biendo al sistema de eventuales pérdida de control.

En condiciones de operación de estado estacionario, la corriente de armadura del motor es igual a la corriente deseada, por consiguiente, el error es nulo y la fuente de corriente funciona con un ángulo de cebado fijo y predeterminado por las condiciones particulares de la carga (grupo motor generador).

En el sistema descrito el error se origina básicamente por los siguientes factores:

- a.- Modificación del torque de oposición en el eje del motor, por variaciones instantáneas en la carga eléctrica conectada al generador (RL).
- b.- Variación en el nivel de corriente deseado, debido a la reprogramación de la señal digital SCO.
- c.- Cambios transientes de la tensión de alimentación trifásica del convertidor y rectificador no controlado.

La respuesta transiente de la variable bajo control (corriente de armadura del motor) en el sistema diseñado, depende de la naturaleza y parámetros del grupo motor-generador, no obs

tante, para un grupo motor-generador particular, es factible la regulación de las ganancias proporcional e integral y retardo de tiempo del filtro en el lazo de realimentación (Capítulos VI y VII), de tal forma que la respuesta transiente de la corriente de armadura del motor sea rápida y suficientemente amortiguado sin sobreniveles ni oscilación alrededor del nivel deseado. El método usual de obtener las ganancias y retardo de tiempo, es a través del análisis y modelación del sistema para una carga determinada; tal estudio no se ha considerado en este proyecto, sin embargo se ha previsto un algoritmo experimental para la selección de los parámetros mencionados.

En la discusión siguiente se hará una revisión cualitativa de la operación del sistema (Figura 8.1), sujeto a cambios instantáneos, tanto en la carga eléctrica conectada al generador como en el nivel de corriente deseado.

Supongamos inicialmente que la fuente de corriente está funcionando bajo condiciones de estado estacionario, esto es, la corriente de armadura del motor es igual a la corriente deseada. Estas condiciones se establecen para valores particulares de : I_{a_0} , V_{pq_0} , W_{m_0} , E_{am_0} , E_{ag_0} , V_{g_0} , I_{g_0} , R_{L_0} y α_0

Para las condiciones y valores de los diferentes parámetros

establecidos se cumple que:

$$T_{m_0} = T_{g_0} + T_{pmg_0}$$

Donde:

T_{m_0} = Torque electromagnético desarrollado por el motor con I_{a_0} .

T_{g_0} = Torque electromagnético de oposición del generador con I_{g_0} .

T_{pmg_0} = Torque de pérdidas del grupo a ω_{m_0} y α_0 .

Si la carga RL_0 del generador es variada instantaneamente a un nuevo valor RL_1 (donde $RL_1 > RL_0$), entonces I_{g_0} disminuirá al valor I_{g_1} . La disminución instantánea de la corriente de salida del generador se debe a que, para una resistencia de carga mayor, el voltaje generado permanece practicamente invariable (excepto por la disminución de la caída de tensión en la resistencia de armadura del generador), puesto que la velocidad del generador no puede variar bruscamente por la inercia mecánica del grupo. La disminución de la corriente de salida del generador se traduce en un decremento de su torque electromagnético de oposición al valor T_{g_1} (Ecuación 8.14). Como el grupo esta acoplado mecanicamente, el torque inicial T_{m_0} del motor tiende a disminuir proporcio

nalmente con Tg_1 , tratando de compensar el cambio y manteniendo el equilibrio de torques del grupo (Ecuación 8.18). - La disminución del torque motor al valor Tm_1 implica la consecuente disminución de la corriente de armadura del motor a un valor menor la_1 . La disminución de la es sensada por el transductor de corriente y proporcionada al detector de error (luego del retardo de tiempo impuesto en el filtro, T_{filt}), el mismo que envía la señal E_1 al controlador P.I. - El controlador instruye a la unidad de disparo y secuenció - la modificación del ángulo de cebado en la medida que le permiten sus ganancias proporcional e integral. Como la corriente de armadura del motor es menor que la deseada, el ángulo de cebado α_0 es disminuido al valor α_1 , produciéndose un aumento en el voltaje de alimentación del motor al nuevo valor Vp_{q_1} , con el consecuente incremento de la corriente de armadura al valor la_2 (Ecuación 8.4), en este caso se ha considerado que la f.c.e.m permanece prácticamente constante y la variación de la velocidad del grupo es mínima en relación con la rapidez con que actúa el sistema electrónico de control. El aumento progresivo de la corriente de armadura al valor la_2 origina un desequilibrio sobre la ecuación de torques del grupo, que se compensa únicamente si se incrementa la velocidad del mismo, de tal manera que se aumente la f.e.m generada y consecuentemente I_g al valor I_{g_1} ; solo de esta forma el incremento del torque motor se traducirá en un

incremento del torque de oposición del generador. Las condiciones de estado estable serán reestablecidas luego de r lazos de control, de naturaleza similar a la establecida, para finalmente arribar a una relación de torques.

$$Tm_r = Tm_0 = Tg_r + Tpmg_r$$

Donde:

Tm_r = Torque electromagnético desarrollado por el motor, luego de r lazos de control (igual al torque inicial Tm_0)

Tg_r = Torque electromagnético de oposición del generador, luego de r lazos de control.

$Tpmg_r$ = Torque de pérdidas a la nueva velocidad Wm_r y ángulo de cebado α_r .

El nuevo torque electromagnético de oposición del generador Tg_r , difiere del inicial Tg_0 en la medida en que varien W_m y α , y por consiguiente $Tpmg_r$.

Un análisis similar, en el supuesto de que ocurra una disminución de RL_0 , lleva a la conclusión de que las condiciones de estado estable serán reestablecidas luego de q lazos de control, con una velocidad de grupo y ángulo de cebado menor que los iniciales, respectivamente. Además el equilibrio de

la ecuación de torques será reestablecido por:

$$T_{m_q} = T_{m_0} = T_{g_q} + T_{pmg_q}$$

El torque electromagnético del generador luego de q lazos de control (T_{g_q}), será diferente del inicial (T_{g_0}), debido a - que T_{pmg_q} no es igual a T_{pmg_0} , por la reducción de la velocidad del grupo y aumento del ángulo de cebado del convertidor

Para analizar la operación del sistema sometido a una variación instantánea de la corriente deseada, asumamos que las condiciones de operación iniciales son: I_{a_0} , ω_{m_0} , T_{m_0} , V_{pq_0} , α_0 , I_{g_0} , T_{g_0} , T_{p_0} , E_{ag_0} , E_{am_0} . Supongamos además que la corriente deseada se incrementa instantaneamente a través de la reprogramación de la señal digital SCO, a un valor I_{a_n} ($I_{a_n} > I_{a_0}$). Esta variación será procesada por el detector de error, generando finalmente la señal de error E_1 , que es utilizada por el controlador P.I, unidad de linealización y la unidad de disparo y secuencío. Esta última, dadas las condiciones existentes disminuye el ángulo de cebado al nuevo valor α_1 , incrementando el voltaje de alimentación del motor al valor V_{pq_1} . El aumento de V_{pq} produce lógicamente un aumento progresivo de I_a , al nuevo valor I_{a_1} (en la medida que permite la inductancia de armadura del motor). El torque motor T_m se incrementa proporcionalmente con I_a , de tal

forma que también debe aumentar el torque de oposición del generador T_g . El incremento de T_g es posible, tan solo si el grupo aumenta la velocidad ω_m , e indirectamente E_{ag} , V_g e I_g . El incremento de I_a al valor I_{a_1} es sentido por el transductor de corriente luego del retardo de tiempo T_{filt} y traducido como una disminución del error en el detector al valor E_2 . Este nuevo error (menor que el inicial) genera un ángulo de cebado α_2 ($\alpha_2 < \alpha_1$) que produce el aumento de V_{pq} y consecuente incremento de: I_a , T_m , ω_m , T_g , I_g . Las variaciones anotadas son repetidas hasta el instante en que el transductor de corriente emite a su salida la señal digital SRE (correspondiente a la corriente de armadura deseada I_{a_n}) de igual magnitud que la señal digital SCO, lo que implica un error nulo ($E_n = 0$).

Es factible que en el proceso operacional mencionado, la corriente de armadura del motor aumente a valores mayores que el deseado, debido a factores tales como: ganancias proporcional y/o integral elevadas o retardo de tiempo T_{filt} muy grande. En este caso el sistema detectará esta condición y tomará acciones correctivas, aumentando el ángulo de cebado y por tanto disminuyendo la corriente de armadura hasta que se alcance el valor deseado (respuesta con sobrenivel). Es posible además que las magnitudes de los parámetros anotados sean tales que, el sistema luego de tomar las acciones co-

rectivas por el aumento del ángulo de cebado, produzca una disminución de la corriente de armadura a un valor menor que el deseado, con la consecuente oscilación de ésta alrededor del valor pedido (respuesta oscilatoria).

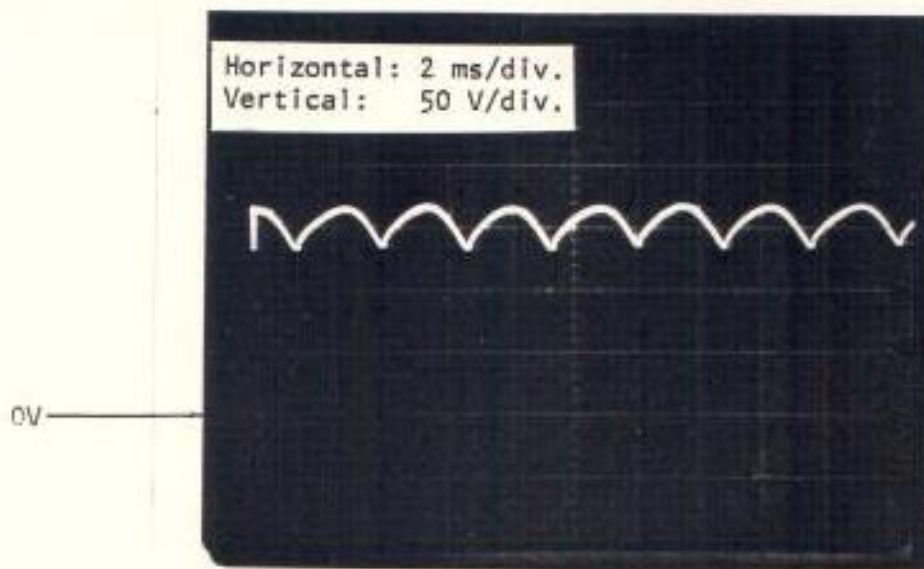
8.3 OPERACION CON CARGAS INDUCTIVAS-RESISTIVAS

8.3.1 Fuente de voltaje controlado

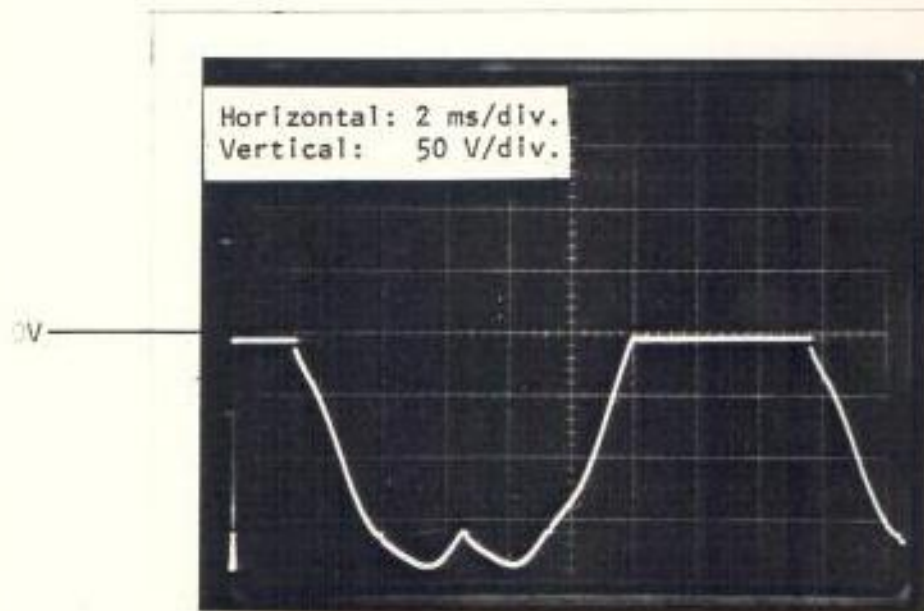
Estas pruebas se realizaron con una carga compuesta de una resistencia de 48Ω en serie con una inductancia de 360 mH. Se utilizó un voltaje de 127 V entre las líneas de alimentación del convertidor trifásico.

En la figura 8.2 se presentan los oscilogramas del voltaje de salida del convertidor (voltaje a través de la carga inductiva-resistiva) y el voltaje ánodo-cátodo del tiristor TH1, para un ángulo de cebado de 2.8° . El ángulo de cebado fue impuesto programando los niveles lógicos de la señal digital CVM a 00000000, previa la colocación de un nivel lógico alto en SLAC.

De igual manera en las figuras 8.3 y 8.4 se observan los oscilogramas del voltaje de salida del convertidor y voltaje a través del tiristor TH1 para ángulos de cebado de 30° y 60° .

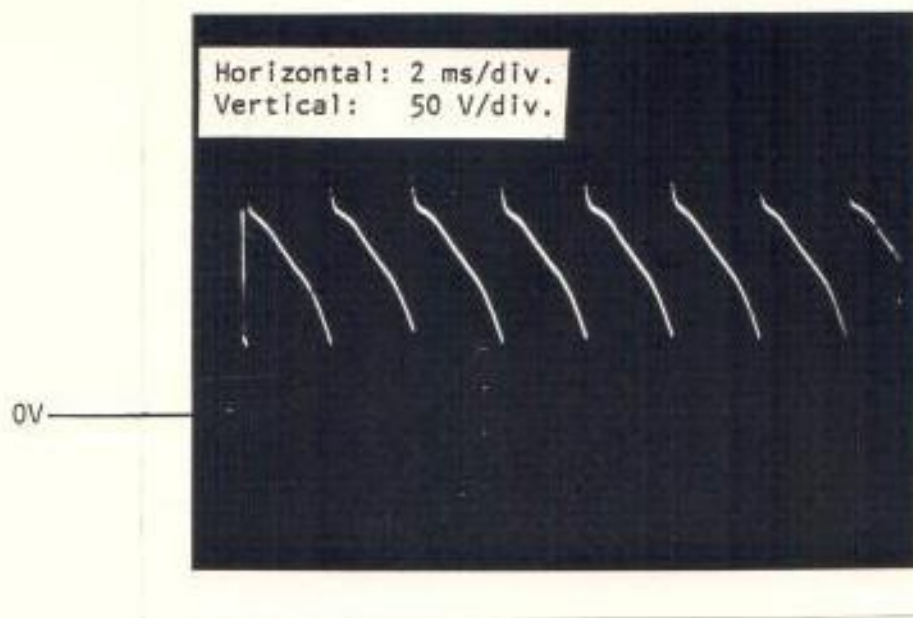


VOLTAJE EN LOS TERMINALES DE SALIDA DEL CONVERTIDOR, V_{pq}

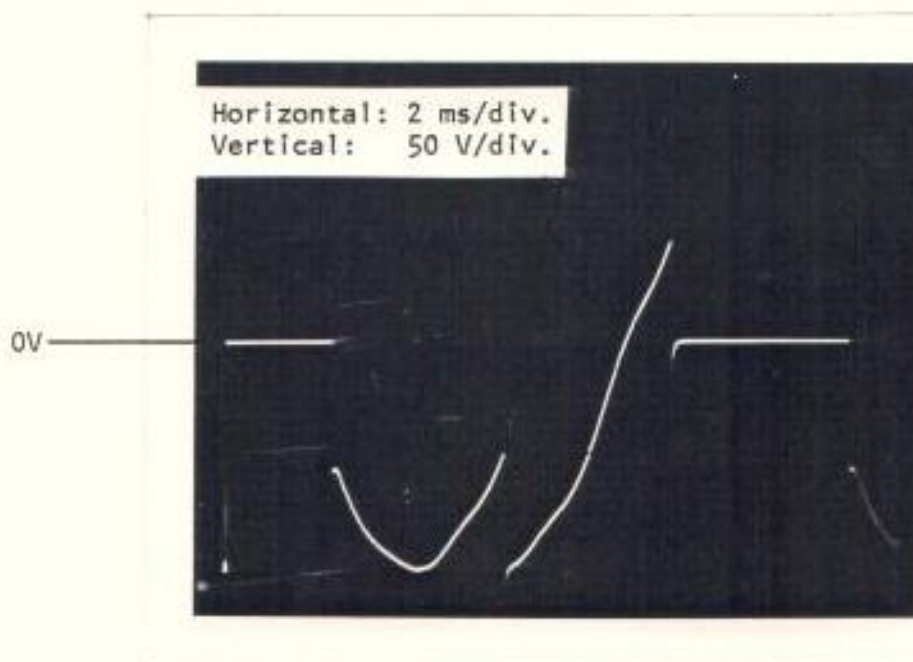


VOLTAJE ANODO-CATODO DEL TIRISTOR TH1, $V_{AK}(TH1)$

FIGURA 8.2 OSCILOGRAMAS DE LAS SEÑALES ASOCIADAS CON LA UNIDAD DE FUERZA PARA UN ANGULO DE CEBADO DE 2.8° (CARGA INDUCTIVA RESISTIVA)

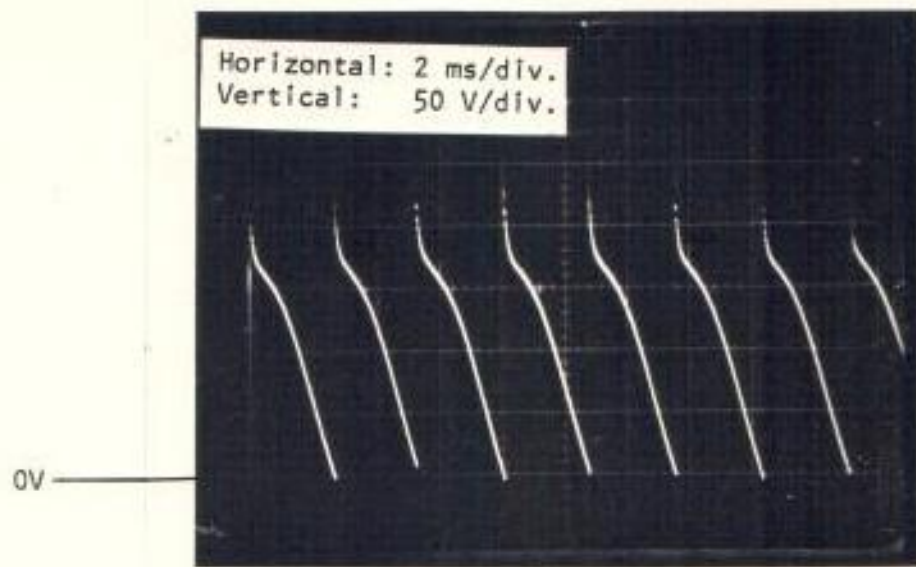


VOLTAJE EN LOS TERMINALES DE SALIDA DEL CONVERTIDOR, V_{pq}

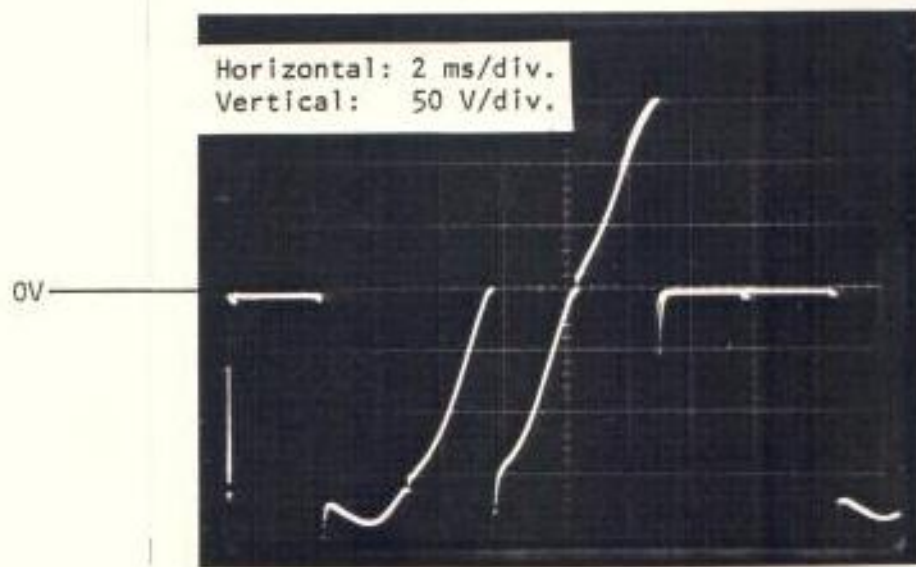


VOLTAJE ANODO-CATODO DEL TIRISTOR TH1, $V_{AK}(TH1)$

FIGURA 8.3 OSCILOGRAMAS DE LAS SEÑALES ASOCIADAS CON LA UNIDAD DE FUERZA PARA UN ANGULO DE CEBADO DE 30° (CARGA INDUCTIVA - RESISTIVA)



VOLTAJE EN LOS TERMINALES DE SALIDA DEL CONVERTIDOR, V_{pq}



VOLTAJE ANODO-CATODO DEL TIRISTOR TH1, $V_{AK}^{(TH1)}$

FIGURA 8.4 OSCILOGRAMAS DE LAS SEÑALES ASOCIADAS CON LA UNIDAD DE FUERZA PARA UN ANGULO DE CEBADO DE 60° (CARGA INDUCTIVA-RESISTIVA)

respectivamente.

Finalmente en la figura 8.5 se muestra el voltaje de salida y voltaje a través del tiristor TH1 para un ángulo de cebado de 90° , con la anulación de la inductancia de carga. Obsérvese que el voltaje de salida no presenta excursiones a través de valores negativos (carga resistiva pura).

8.3.2 Fuente de corriente controlada

Debido a que la operación de la fuente de corriente depende no solo de los parámetros del controlador (ganancias proporcional e integral) y constante de tiempo (T_{filt}) del filtro usado en lazo de realimentación, sino también de la constante de tiempo de la carga conectada a la unidad de fuerza; se realizaron numerosas pruebas para diferentes cargas y combinaciones de los tres factores mencionados. Algunas de las pruebas realizadas son descritas, con el propósito de demostrar la conducta y eficiencia del sistema diseñado.

Las pruebas se realizaron sobre una carga R-L, con $R = 97\Omega$ y $L = 0.2$ H; la constante de tiempo de la carga de 2.1 ms es comparable con el retardo máximo de conmutación del convertidor trifásico de onda completa (2.7 ms). Se escogió un voltaje de alimentación de 127 V entre las líneas de alimenta -

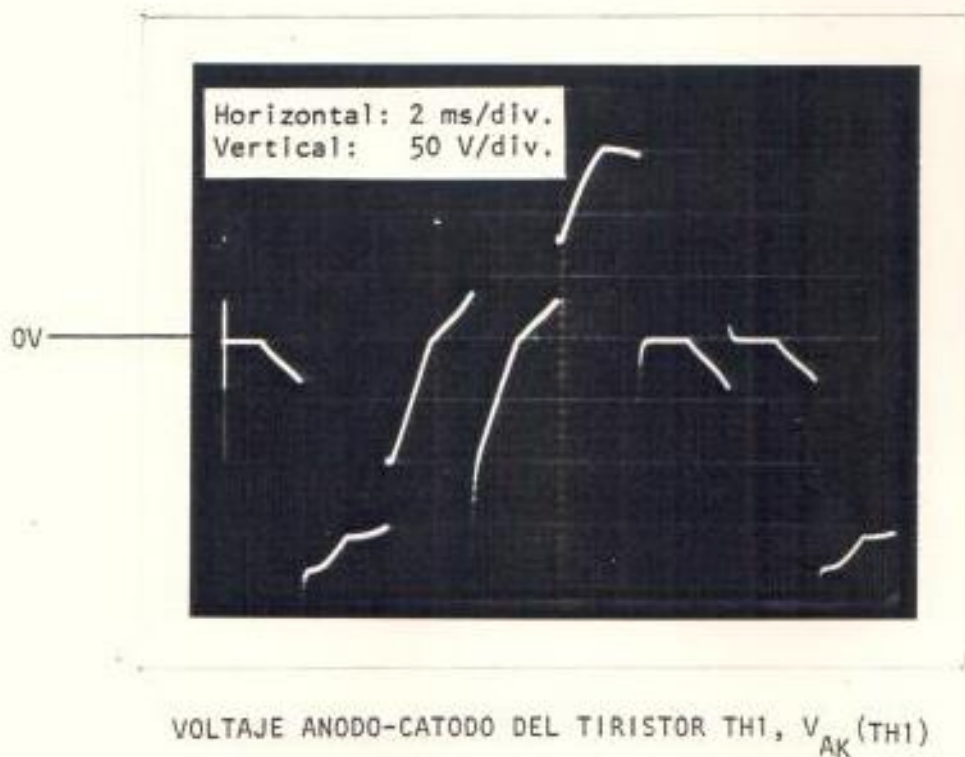
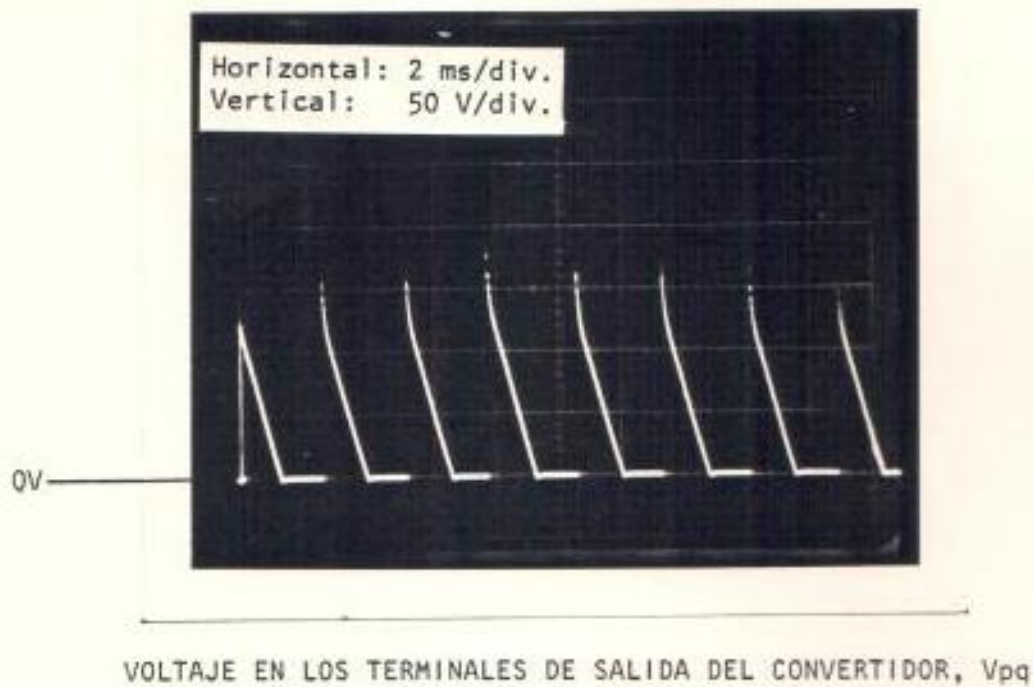


FIGURA 8.5 OSCILOGRAMAS DE LAS SEÑALES ASOCIADAS CON LA UNIDAD DE FUERZA PARA UN ANGULO DE CEBADO DE 90° (CARGA RESISTIVA-PURA)

ción del convertidor.

Las pruebas descritas se restringen a la observación de la respuesta transiente de la corriente de carga ante un cambio escalón en el nivel de corriente deseado. La simulación de un cambio escalón sobre la corriente deseada se realizó a través del relojé manual de un registro de ocho bits colocado en lugar de los ocho conmutadores de colocación manual de corriente deseada (Capítulo VI). La corriente de carga se sensó a través de la resistencia de prueba R_p de 0.1Ω y 50 W , colocada en serie con la carga R-L (Figura 8.1).

En la figura 8.6 se muestra el oscilograma de la corriente a través de la carga R-L para una variación transiente de la colocación de corriente deseada de 0.20 A a 1.65 (valores máximos). Las ganancias del controlador P.I son de: $K_p = 1/8$, $K_i = 1/8$; el retardo del filtro en el lazo de realimentación es de $T_{filt} = 5\text{ ms}$. El oscilograma referenciado muestra que la corriente de carga inicial es discontinua y que su variación (hasta alcanzar el valor final) es relativamente lenta. El valor final de estado estable es alcanzado luego de un período transiente de 50 ms , correspondiente a tres períodos de la alimentación trifásica.

En la figura 8.7 se puede observar las variaciones del ángu-

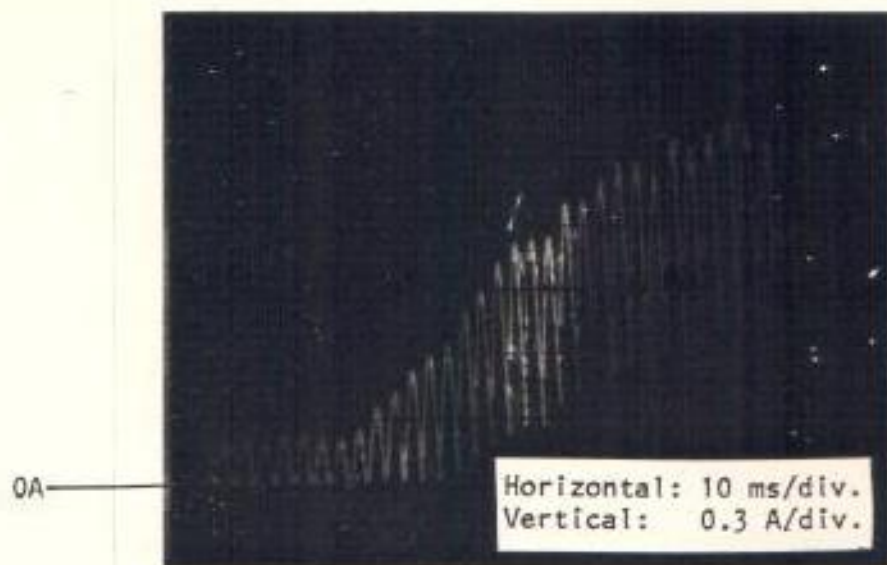


FIGURA 8.6 OSCILOGRAMA DE LA RESPUESTA TRANSITORIA DE LA CORRIENTE A TRAVES DE LA CARGA R-L PARA UN CAMBIO ESCALON EN EL NIVEL DE CORRIENTE DESEADO ($K_p=1/8$, $K_i=1/8$, $T_{filt} = 5$ ms)

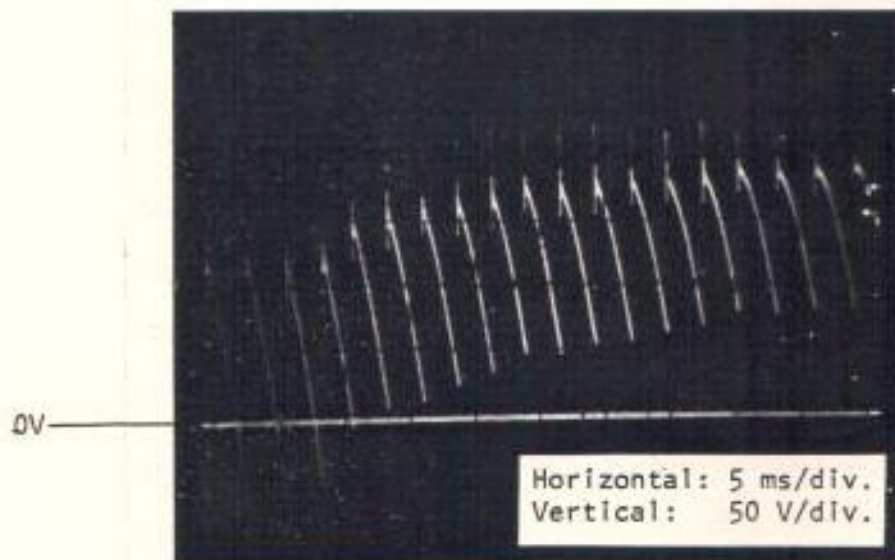


FIGURA 8.7 OSCILOGRAMA DE LA RESPUESTA TRANSITORIA DEL VOLTAJE DE SALIDA DEL CONVERTIDOR PARA UN CAMBIO ESCALON EN EL NIVEL DE CORRIENTE DESEADO ($K_p=1/8$, $K_i=1/8$, $T_{filt} = 5$ ms), α VARIA DE 80° A 30°

lo de cebado de los tiristores del convertidor para las mismas condiciones establecidas anteriormente. El ángulo de cebado varía en forma lenta y progresiva desde 80° a 30° verificándose la capacidad del sistema de modificar este parámetro en el intervalo existente entre el disparo de dos tiristores sucesivos. La discontinuidad de la corriente a través de la carga R-L se debe al alto valor del ángulo de cebado inicial, no obstante, el sistema opera adecuadamente demostrando su confiabilidad. Con corrientes de carga discontinuas, el voltaje de salida del convertidor no varía linealmente con la señal digital proporcionada por el controlador, puesto que la unidad de linealización fue diseñada para operar satisfactoriamente con corrientes de carga continuas.

En la figura 8.8 se muestra el oscilograma de la corriente de carga para: $K_p = 1/2$, $K_i^1 = 1$ y $T_{filt} = 9$ ms y variaciones de corriente deseada entre 0.2 A y 1.8 A. La variable controlada presenta un sobrenivel inicial (overshoot) y oscilación consiguiente alrededor del valor final de estado estable. Un posterior incremento de K_p demostró la pérdida de control del sistema sobre la corriente de carga, observándose la saturación del convertidor debido a que el controlador no se diseñó con control de sobreflujo (overflow) o subflujo (underflow) en su etapa sumadora-sustractora de salida. La oscilación de la corriente de carga y más aún sus sobrenive-

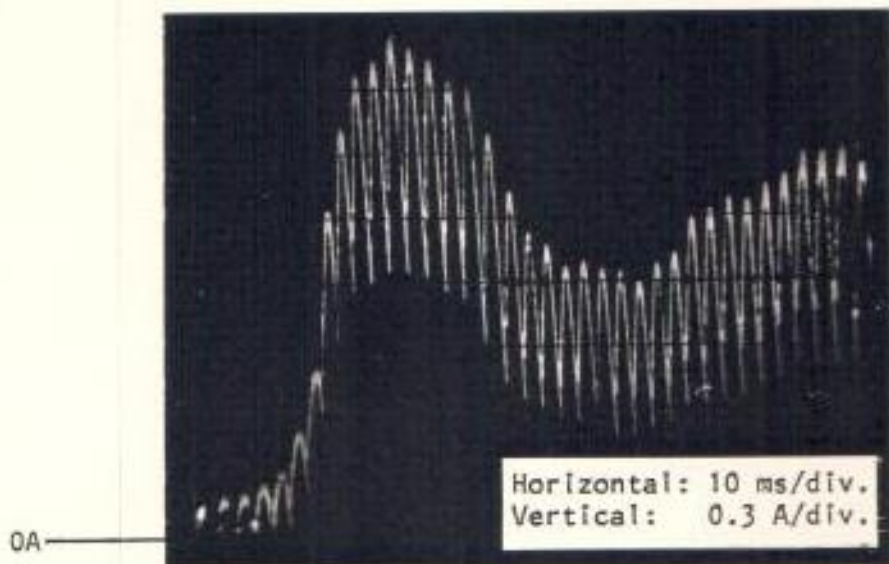


FIGURA 8.8 OSCILOGRAMA DE LA RESPUESTA TRANSITORIA DE LA CORRIENTE A TRAVES DE LA CARGA R-L PARA UN CAMBIO ESCALON EN EL NIVEL DE CORRIENTE DESEADO ($K_p=1/2$, $K_i=1$, $T_{filt} = 9$ ms)

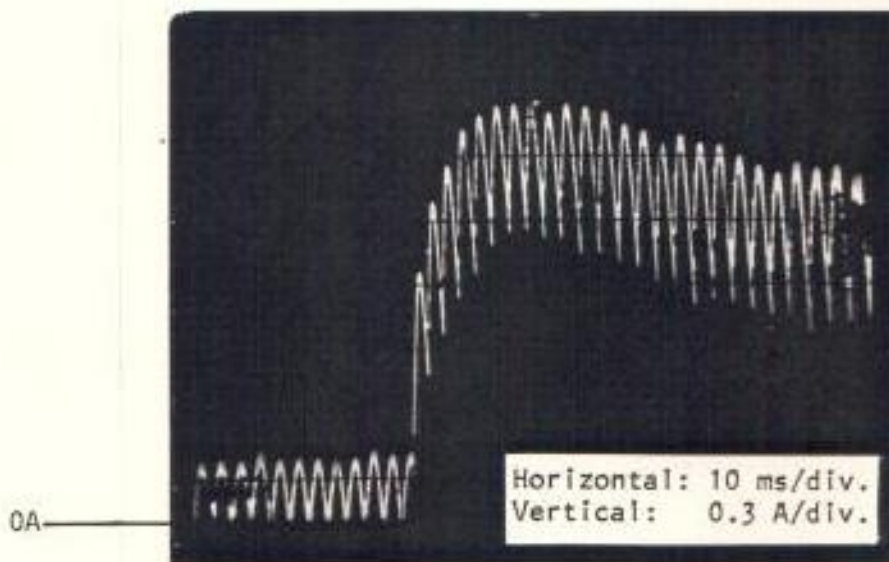


FIGURA 8.9 OSCILOGRAMA DE LA RESPUESTA TRANSITORIA DE LA CORRIENTE A TRAVES DE LA CARGA R-L PARA UN CAMBIO ESCALON EN EL NIVEL DE CORRIENTE DESEADO ($K_p=1/2$, $K_i=1$, $T_{filt} = 4$ ms)

les con respecto a su valor final de estado estable (1.8 A) se deben a los altos valores de las constantes K_p , K_i y T_{filt} ; así, aún cuando la corriente alcanza el valor deseado en el cuarto pulso de corriente, luego del cambio transiente en la colocación pedida, existe un significativo error, puesto que, el detector de error procesa la corriente de carga - luego del retardo impuesto en el filtro de alizamiento del - transductor de corriente. En el sexto pulso de corriente se sensa una corriente mayor que la pedida y se toman las - acciones correctivas, no obstante, nuevamente la corriente - baja a un valor menor que el pedido, debido a que, errores - pequeños producen cambios notables en el ángulo de cebado.

En el oscilograma de la figura 8.9 se ha reducido la constante de tiempo del filtro de realimentación a $T_{filt} = 4$ ms, eliminándose el factor oscilatorio. Sin embargo la respuesta presenta un sobrenivel inicial, dadas las altas ganancias K_p y K_i con respecto a T_{filt} .

En la figura 8.10 se muestra el oscilograma de la corriente de carga para: $K_p = 1/2$, $K_i = 1/4$, $T_{filt} = 2.2$ ms y variaciones en el nivel de corriente deseado entre 0.9 A y 1.95 A. - El aumento de la colocación inicial de la corriente deseada, elimina la discontinuidad de la misma y asegura la operación óptima de la unidad de linealización. Con los parámetros -

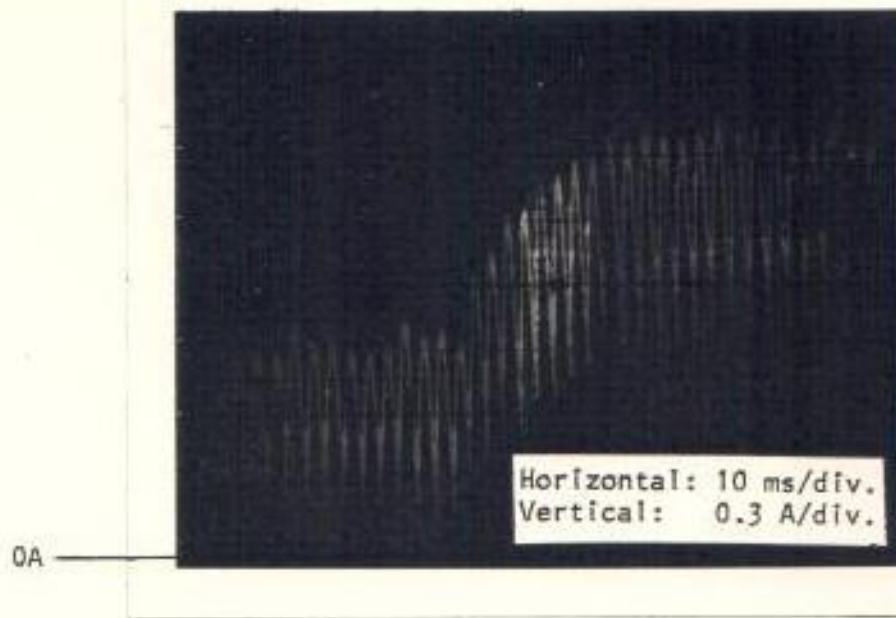


FIGURA 8.10 OSCILOGRAMA DE LA RESPUESTA TRANSITORIA DE LA CORRIENTE A TRAVES DE LA CARGA R-L PARA UN CAMBIO ESCALON EN EL NIVEL DE CORRIENTE DESEADO ($K_p=1/2$, $K_i=1/4$, $T_{filt} = 2.2$ ms)

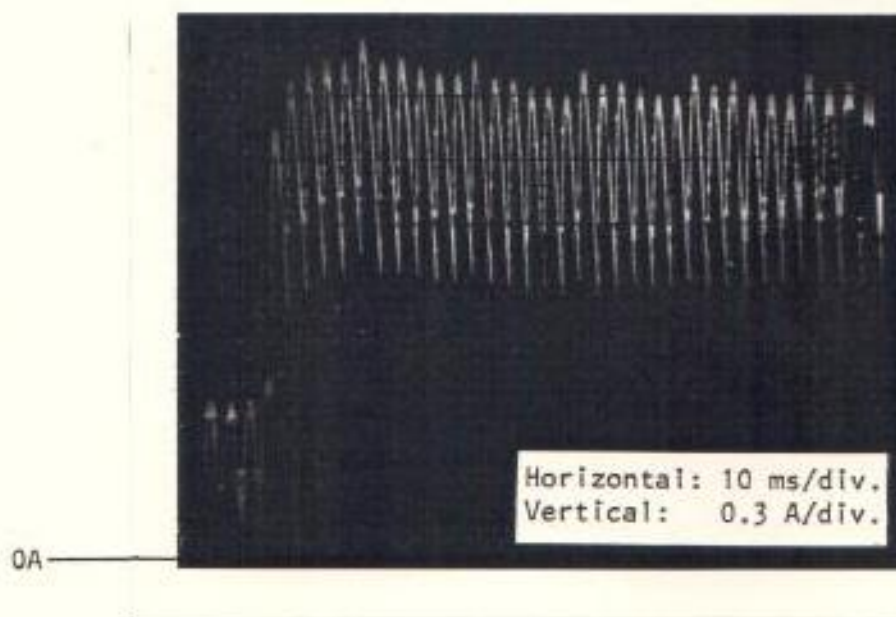


FIGURA 8.11 OSCILOGRAMA DE LA RESPUESTA TRANSITORIA DE LA CORRIENTE A TRAVES DE LA CARGA R-L PARA UN CAMBIO ESCALON EN EL NIVEL DE CORRIENTE DESEADO ($K_p=1$, $K_i=1$, $T_{filt} = 1.5$ ms)

mencionados se observa un período transiente de la variable bajo control sin sobreniveles ni oscilación. Este tipo de respuesta es demasiado lenta, puesto que la corriente final de estado estacionario se establece luego de nueve pulsos de corriente (20 ms), cabe recordar que la duración de cada pulso de corriente, en condiciones transientes, difiere de su valor de estado estable (2.7 ms).

Finalmente en la figura 8.11 los parámetros se variaron a: $K_p = 1$, $K_i = 1$, $T_{filt} = 1.5$ ms para variaciones en el nivel de corriente deseado entre 0.60 A y 1.95 A. La respuesta transiente de la corriente de carga no contiene términos oscilatorios ni sobrecolocación inicial y su período transiente es de 8 ms. El sistema requiere tan solo la variación del ángulo de cebado de dos tiristores sucesivos (dos pulsos de corriente) para colocar la nueva corriente pedida. Este tipo de respuesta es lo suficientemente rápida para asegurar la protección del sistema ante eventuales cortocircuitos en la carga, cabe indicar que muchos tiristores pueden soportar una corriente de falla pico no repetitiva de típicamente 15 a 20 veces su corriente nominal durante un ciclo de la alimentación trifásica (16.7 ms).

8.4 OPERACION CON EL MOTOR D.C COMO CARGA

8.4.1 Fuente de voltaje controlado

Para estas pruebas se utilizó un motor D.C de excitación separada de 1.5 H.P (datos de placa especificados en el capítulo II) acoplado a un generador D.C de excitación independiente, este último provisto de un tacogenerador D.C que proporciona 24 V D.C a 1000 r.p.m (18).

El voltaje en el secundario del autotransformador de alimentación al convertidor de fase controlada se ajustó a 141 V - (entre líneas), con el propósito de obtener la operación del motor con los datos de placa nominales para un ángulo de cebado de 30°. Este esquema inhibe al sistema de posibles fallas en el controlador P.I, bajo el modo de operación como fuente de corriente controlada, en el caso de que se produzca una reducción instantánea del torque de carga, con el motor funcionando con la corriente y velocidad nominal.

Durante las pruebas con el grupo motor-generador se presentó una falla ocasional sobre la unidad de linealización debido al daño del EPROM de la misma; el EPROM luego del daño mantuvo sus salidas a nivel lógico bajo para grupos alternos de localidades de memoria. Con todas las salidas de la unidad

de linealización a nivel lógico bajo la unidad de disparo y secuencéo impone un ángulo de cebado de aproximadamente cero grados a la unidad de fuerza; para luego, en forma aleatoria modificar este ángulo, debido a la desincronización del cebado de los tiristores por la incapacidad del sistema de operar satisfactoriamente con $\alpha = 0^\circ$ (Capítulo II). El efecto de la falla mencionada, sobre el grupo motor-generador, es el incremento de su velocidad a niveles peligrosos. Con la carga nominal sobre el motor se observó velocidades de hasta 3000 r.p.m; aumentándose la velocidad hasta 3800 r.p.m para cargas del 11% de la nominal.

Se consideraron dos soluciones al problema presentado, que permitirían probar el diseño del sistema de control mientras se buscaba la eliminación total de la molestia en la unidad de linealización:

- 1.- Reducir el nivel del voltaje de alimentación al convertidor de fase controlada.
- 2.- Aumentar la corriente de campo del motor, sin llegar a la saturación de su circuito magnético.

La primera solución fue eliminada, puesto que, se necesitaba probar la capacidad de los circuitos de protección de la uni

dad de fuerza con una tensión de alimentación de 141 V. Por consiguiente, se escogió la segunda alternativa, aumentándose la corriente de campo en un 20% con respecto a su valor nominal; limitándose la velocidad del grupo a 3200 r.p.m con cargas sobre el motor del 11% de la nominal (se actuó sobre el reóstato Rosm, en el circuito de campo del motor).

En estas condiciones y con el propósito de verificar las características funcionales de la unidad de linealización del sistema, se obtuvo la curva de la velocidad n , del grupo motor-generator, en función de la señal digital CVM, expresada por su valor decimal. Las pruebas se realizaron manteniendo la corriente de armadura del motor constante (5.0 A), de tal forma que la velocidad del motor sea determinada exclusivamente por el voltaje aplicado a su armadura (Ecuación 8.19). Para mantener la corriente de armadura del motor (i_a) constante, a las diferentes velocidades, se actuó sobre el reóstato Rosg del circuito de campo del generador y sobre su carga eléctrica RL; de esta forma es posible el ajuste exacto de i_a . La variación de n con CVM, mostró un comportamiento lineal (Figura 8.12) para el rango de n entre 100 r.p.m y 2550 r.p.m. Para valores de n menores de 100 r.p.m., la curva muestra una característica no lineal debido a la discontinuidad de la corriente de armadura del motor por el alto valor del ángulo de cebado (80°).

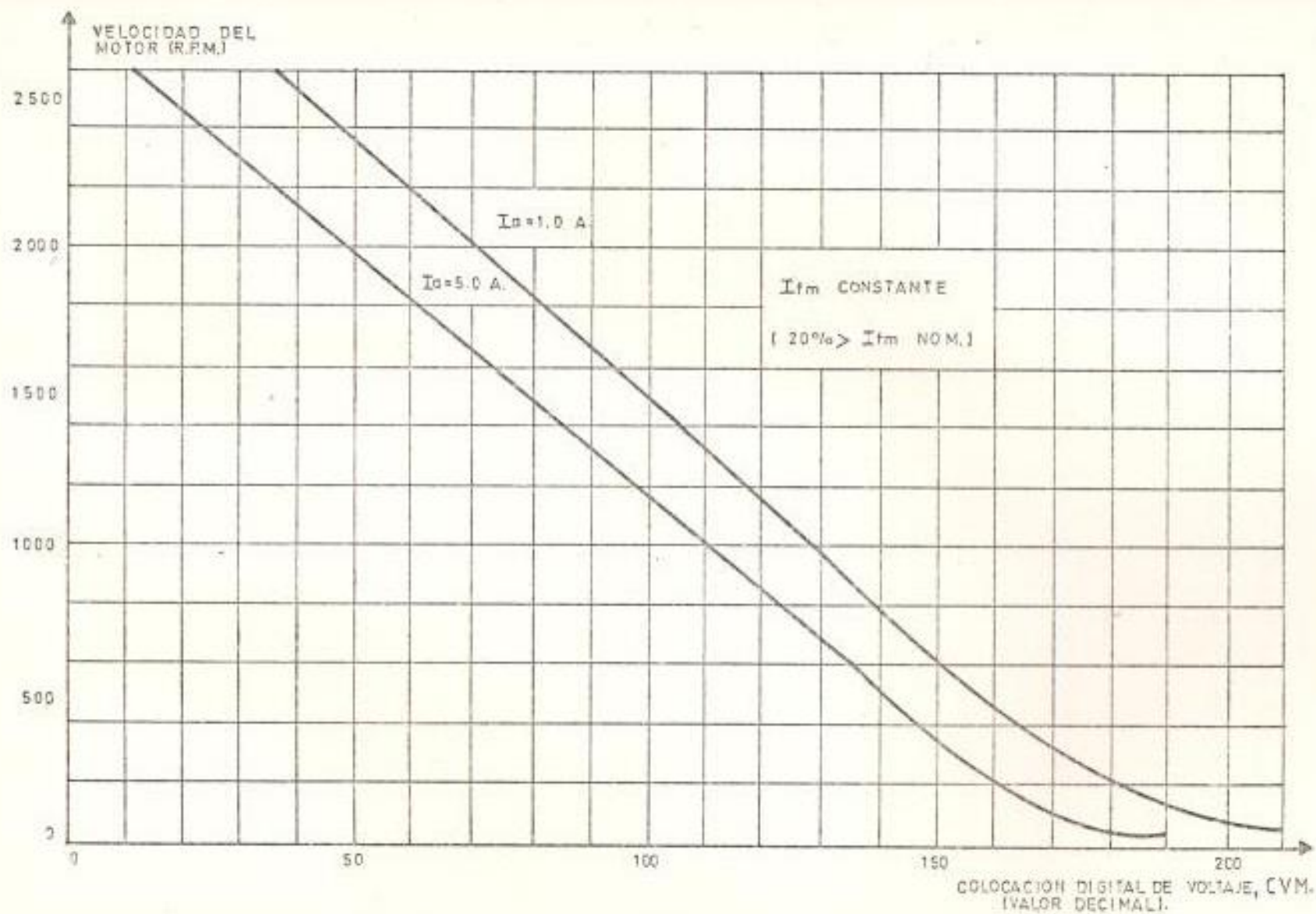


FIGURA 8.12. VELOCIDAD DEL MOTOR EN FUNCION DE LA COLOCACION DIGITAL DE VOLTAJE PARA CORRIENTE DE ARMADURA CONSTANTE.

El mismo tipo de pruebas se realizó para diferentes niveles de corriente en la armadura del motor. Para $I_a = 1 \text{ A}$ la variación de n con CVM (Figura 8.12) muestra la pérdida de linealidad para un ángulo de cebado de 77° ; sin embargo, el control no es perdido para ángulos de cebado menores de 95° .

En la figura 8.13 se muestra el oscilograma del voltaje de salida del convertidor de fase controlada para una corriente de armadura de 5 A y una velocidad de 1200 r.p.m. En las condiciones dadas el ángulo de cebado es de 60° , observándose indirectamente la existencia de corriente de armadura con tínua.

La discontinuidad de la corriente de armadura, para ángulos de cebado mayores de 80° , puede ser observada mediante el os cilograma del voltaje de salida del convertidor para: $I_a = 5 \text{ A}$, $\omega_m = 40 \text{ r.p.m}$ (Figura 8.14).

Una condición extrema de discontinuidad de la corriente de armadura puede observarse a través del oscilograma del volta je de salida del convertidor para: $I_a = 1.0 \text{ A}$, $\omega_m = 30 \text{ r.p.m}$ (Figura 8.15).

Para pruebas con corrientes de armadura relativamente altas se observó el efecto de superposición (overlap) durante la -

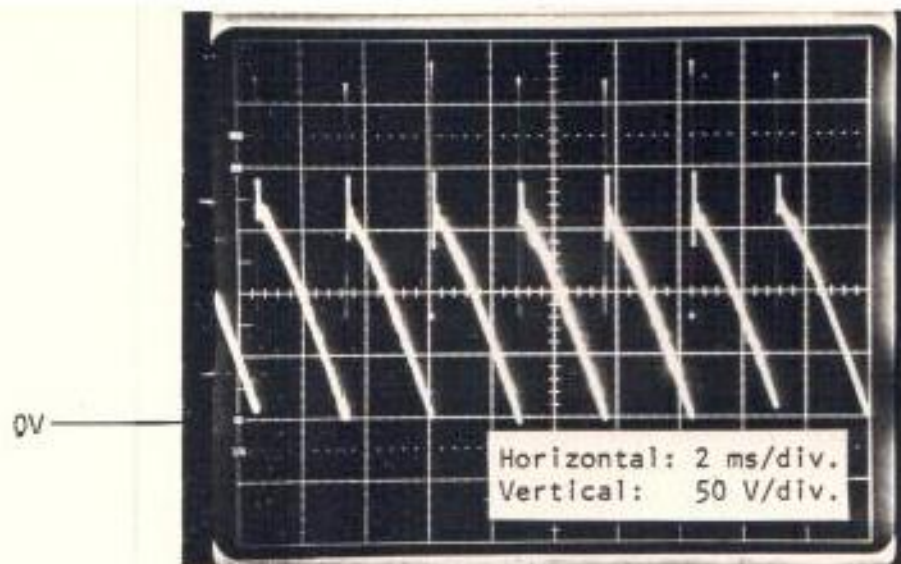


FIGURA 8.13 OSCILOGRAMA DEL VOLTAJE DE SALIDA DEL CONVERTIDOR CON EL SISTEMA OPERANDO COMO FUENTE DE VOLTAJE CONTROLADO ($I_a = 5.0 \text{ A}$, $\omega_m = 1200 \text{ r.p.m}$, $CVM = 96$)

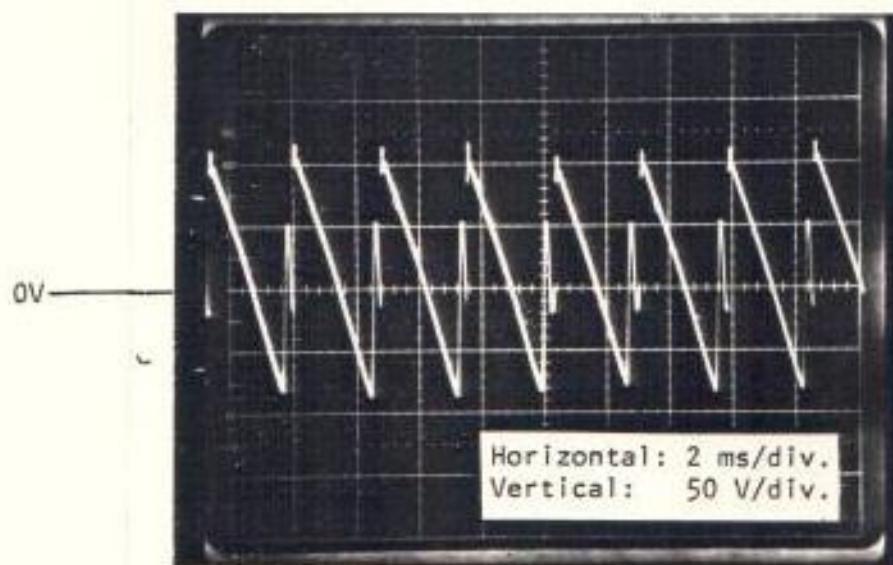


FIGURA 8.14 OSCILOGRAMA DEL VOLTAJE DE SALIDA DEL CONVERTIDOR CON EL SISTEMA OPERANDO COMO FUENTE DE VOLTAJE CONTROLADO ($I_a = 5.0 \text{ A}$, $\omega_m = 40 \text{ r.p.m}$, $CVM = 191$)

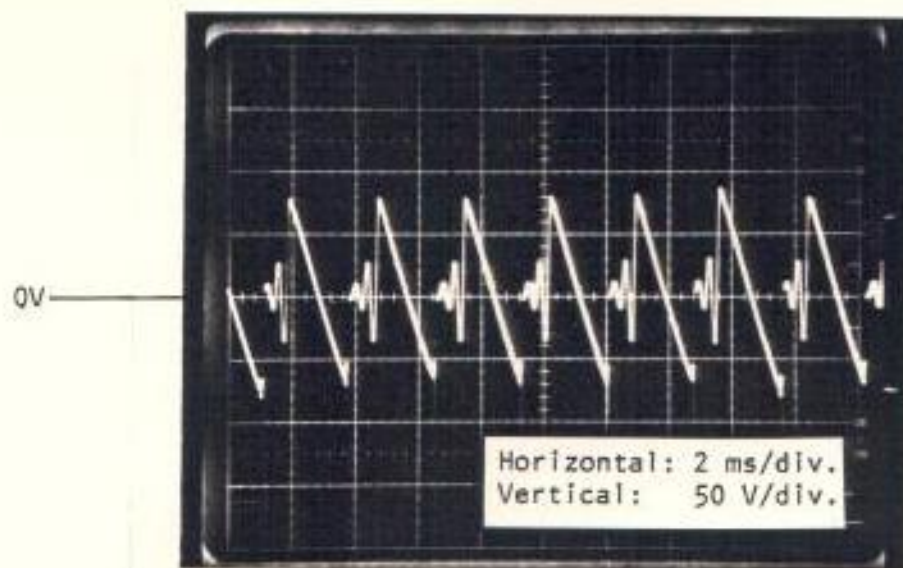


FIGURA 8.15 OSCILOGRAMA DEL VOLTAJE DE SALIDA DEL CONVERTIDOR CON -
 EL SISTEMA OPERANDO COMO FUENTE DE VOLTAJE CONTROLADO -
 ($I_a = 1.0 \text{ A}$, $\omega_m = 40 \text{ r.p.m}$, $CVM = 209$)

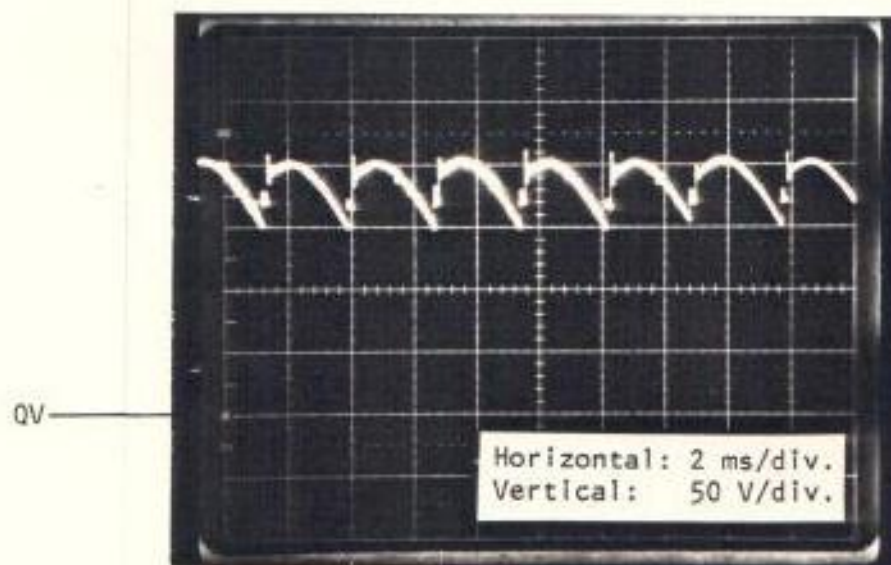


FIGURA 8.16 OSCILOGRAMA DEL VOLTAJE DE SALIDA DEL CONVERTIDOR CON -
 EL SISTEMA OPERANDO COMO FUENTE DE VOLTAJE CONTROLADO -
 ($I_a = 9.0 \text{ A}$, $\omega_m = 2400 \text{ r.p.m}$, $CVM = 8$)

conmutación (Figura 8.16). Sin embargo, la linealidad de la curva entre n y CVM continuó conservándose debido al efecto despreciable del fenómeno anotado sobre el voltaje de salida promedio.

8.4.2 Fuente de corriente controlada

8.4.2.1 Respuesta de estado estable

Estas pruebas se realizaron con el grupo motor-generador, imponiendo al motor una corriente de armadura deseada de 5 A a través de la señal digital SCO. Las variaciones de la carga eléctrica RL, del generador, se obtuvo a través de dos bancos de resistencias de 3000 W y 220 V cada uno.

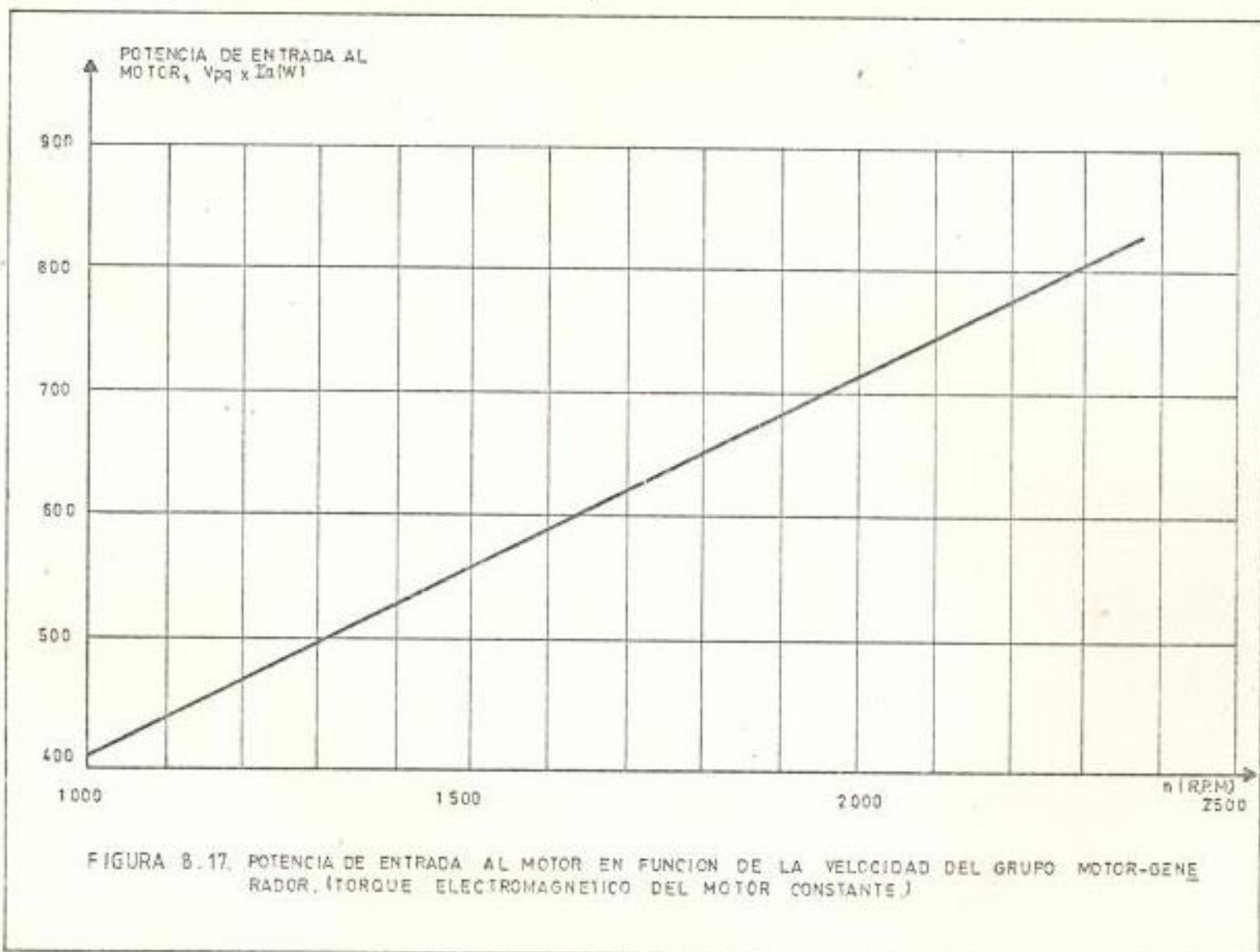
Los resultados obtenidos (Tabla 8.1) demuestran que la corriente de armadura del motor, y por tanto, su torque electromagnético, se mantienen constantes para variaciones de velocidad entre 1040 y 2370 r.p.m en tanto el ángulo de cebado disminuye de 60° a 25° de manera automática y en correspondencia con las variaciones de carga (RL) del generador. Para variaciones de velocidad fuera del rango establecido (1040 r.p.m a 2370 r.p.m) se observó cierta inesta-

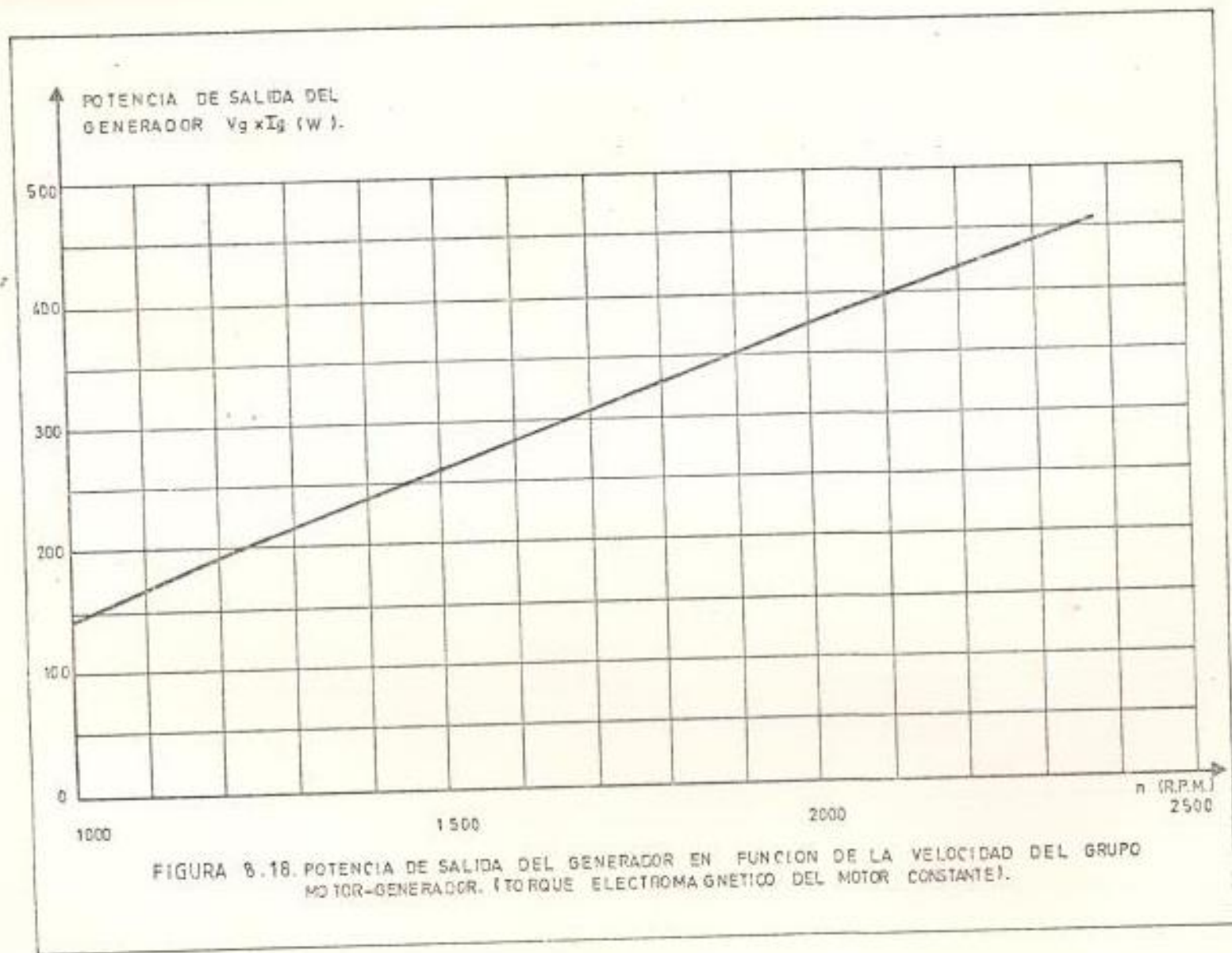
bilidad de tipo transiente en la.

En las figuras 8.17 y 8.18 se muestra la variación de la potencia de entrada ($V_{pq} \times I_a$) y la potencia de salida ($V_g \times I_g$) con la velocidad del grupo. La eficiencia del sistema (Figura 8.19) muestra un máximo (54,4%) a la mayor velocidad (2370 r.p.m), demostrando que, las pérdidas de potencia se incrementan con el rizado del voltaje de alimentación de manera apreciable.

8.4.2.2 Respuesta transiente

Con el objeto de relieves las características de la respuesta transitoria de la fuente de corriente, aplicada al control del torque electromagnético del motor D.C, se realizó una prueba en lazo abierto (fuente de voltaje controlado). Mediante la señal CVM se impuso un voltaje de salida fijo en el convertidor, obteniéndose para la carga particular del generador, una corriente de 2.0 A en la armadura del motor. Con las condiciones anotadas se varió bruscamente la carga del generador, observándose (Figura 8.20) el aumento gradual de I_a al nuevo valor (4.0 A). Este efecto muestra la relativamente





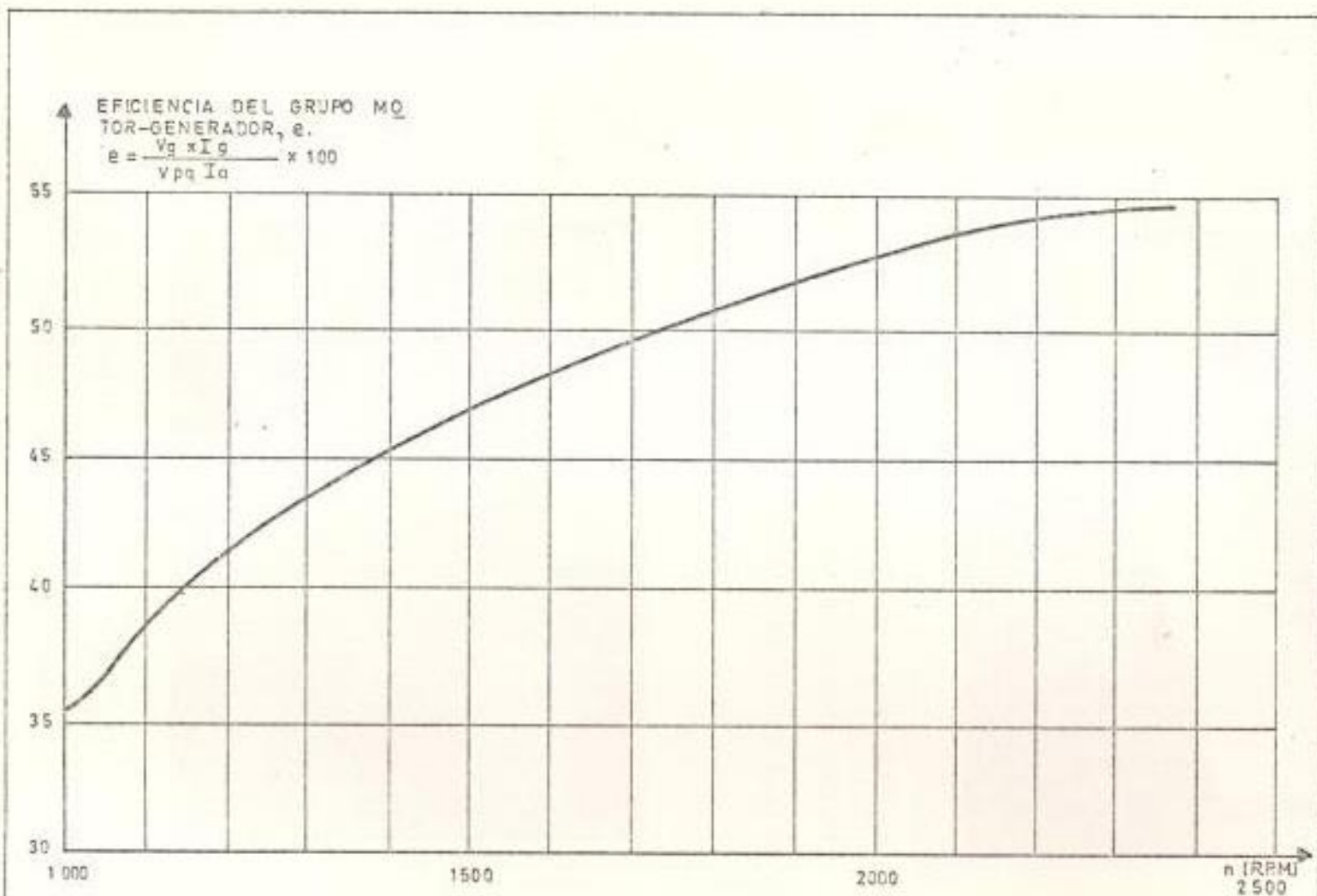


FIGURA 8.19. EFICIENCIA DEL GRUPO MOTOR-GENERADOR EN FUNCION DE SU VELOCIDAD. (TORQUE ELECTROMAGNETICO DEL MOTOR CONSTANTE).

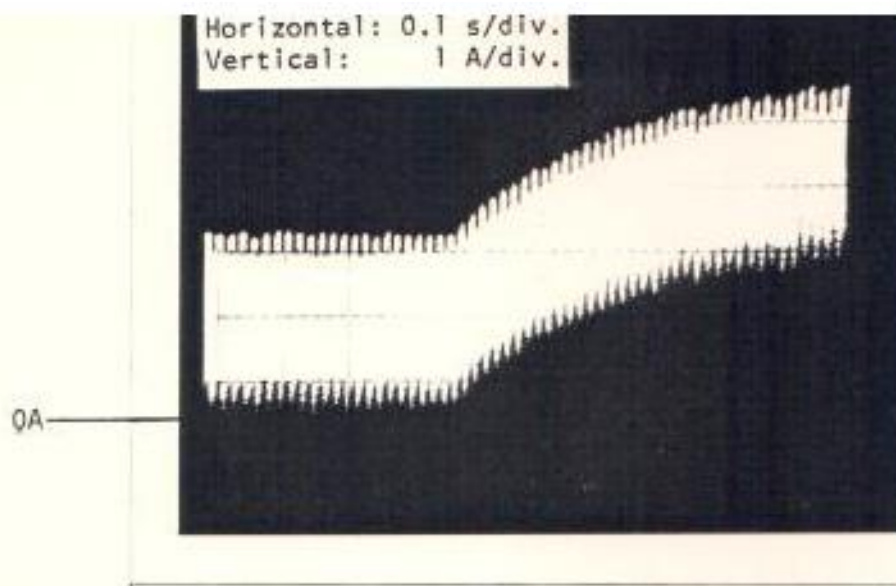


FIGURA 8.20 OSCILOGRAMA DE LA RESPUESTA TRANSITORIA DE LA CORRIENTE DE ARMADURA DEL MOTOR PARA UN AUMENTO INSTANTANEO DEL TORQUE DE CARGA Y UN VOLTAJE DE SALIDA FIJO EN EL CONVERTIDOR

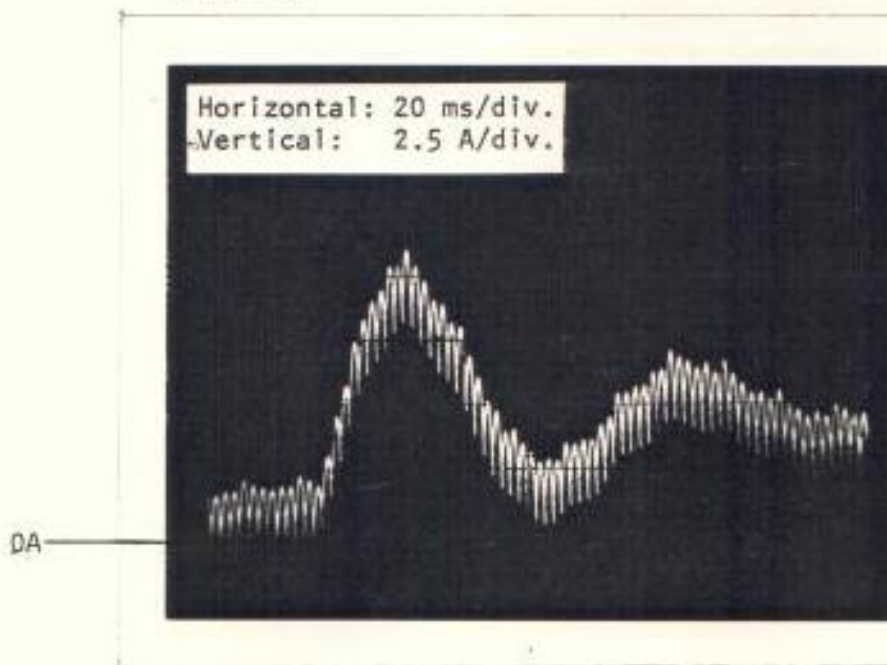


FIGURA 8.21 OSCILOGRAMA DE LA RESPUESTA TRANSITORIA DE LA CORRIENTE DE ARMADURA DEL MOTOR PARA UN CAMBIO ESCALON EN EL NIVEL DE CORRIENTE DESEADO ($k_p = 1/4$, $k_i = 1/8$, $T_{filt} = 15$ ms)

lenta variación de la velocidad del grupo motor-generador y por consiguiente la; la nueva corriente es establecida luego de 0.4 segundos después de iniciado el cambio en la carga del generador.

En la figura 8.21 se muestra el oscilograma de la corriente de armadura del motor para: $K_p = 1/4$, $K_i' = 1/8$, $T_{filt} = 15$ ms. La corriente deseada (e indirectamente el torque) se varió de 1.6 A a 5.0A para velocidades del grupo entre 335 r.p.m y 1260 r.p.m. El tipo de respuesta, altamente oscilatoria, no es de interés práctico, puesto que, representa efectos nocivos para el motor.

En el oscilograma de la figura 8.22 los parámetros se cambiaron a: $K_p = 1/8$, $K_i' = 1/16$, $T_{filt} = 15$ ms y el mismo rango de variaciones de la corriente y velocidad del motor. La respuesta oscilatoria se modificó por el tipo de respuesta con sobrenivel, debido principalmente a la reducción de la ganancia integral, K_i' .

Finalmente en el oscilograma de la figura 8.23 se redujo la constante T_{filt} a 8 ms, obteniéndose una respuesta sin sobrecolocación ni términos oscilato

rios y con un período transiente de 20 ms.

CONCLUSIONES Y RECOMENDACIONES

Se puede establecer las siguientes conclusiones:

- 1.- Para la elaboración y conclusión del presente trabajo de tesis, uno de los factores de mayor importancia y que gravitó negativamente en el mismo fue el factor económico.
- 2.- Existen, en el comercio local, enormes dificultades para la obtención de dispositivos y componentes electrónicos diversos. Este factor ha incidido negativamente en los trabajos de tesis realizados - hasta la presente fecha.
- 3.- Los proyectos de tesis de utilidad práctica en el campo de Controles Industriales Electrónicos son generalmente extensos y complejos prueba de esta afirmación es el presente trabajo.
- 4.- Los trabajos de tesis que conllevan realizaciones prácticas presuponen un tiempo de ejecución considerable, más aún, si se consideran las limitaciones existentes en nuestro medio. Este factor reduce - apreciablemente la posibilidad de que, el estudiante que ha terminado su curriculum de estudios, trabajé a tiempo completo y concluya su tesis en un tiempo razonable, de manera simultánea.
- 5.- Existe enorme dificultad para obtener información actualizada de ma

nuales y revistas de carácter técnico en el campo de Controles Industriales Electrónicos.

- 6.- Durante el diseño y pruebas con la fuente de corriente controlada - se precisó de: un voltímetro que mida el verdadero valor eficaz de señales con independencia de su forma, un analizador lógico de por lo menos ocho canales y 1000 bits de memoria por canal, programador de EPROM universal.

- 7.- La fuente de corriente controlada ha sido diseñada, construida y - probada, obteniéndose resultados satisfactorios, por consiguiente, está lista para ser utilizada en un sistema de control de velocidad por métodos digitales.

En vista de lo anterior se puede finalizar con las siguientes recomendaciones:

- 1.- Tratar en lo posible de establecer las relaciones necesarias con la industria, de tal forma que los trabajos de tesis sean dirigidos a solucionar sus problemas y, por consiguiente, con su respaldo económico. Solo de esta forma se podrán realizar proyectos de verdadero valor práctico y acordes con la capacidad e ingenio del estudiante.

- 2.- Establecer un medio seguro, ágil y flexible, para la obtención de e lementos y dispositivos electrónicos, que permita un sustancial ah

rro de tiempo en la elaboración de trabajos prácticos.

- 3.- Organizar los proyectos de tesis que por su naturaleza, extensión o complejidad así lo precisen, en subproyectos a realizarse simultáneamente; o en su defecto, modificar el actual criterio de elaboración de tesis individual.
- 4.- Considerar la posibilidad de crear cargos a nivel de instructores a medio tiempo (en laboratorios que así lo permitan), para los estudiantes que, habiendo terminado su curriculum de estudios, estén elaborando su tesis con realización práctica. La selección podría hacérsela de acuerdo a la experiencia académica (ayudantías) o aprovechamiento (promedio), según sea el caso. Este sistema permitirá examinar y proveer un entrenamiento académico previo, a los estudiantes que en el futuro prestarán sus servicios a la Institución, luego del entrenamiento especializado en el exterior (becas).
- 5.- Asignar parte del presupuesto para la compra de manuales actualizados (de los diversos fabricantes de componentes electrónicos) y colecciones completas de revistas tales como las de la IEEE (en los campos de mayor interés para nuestro medio). O en su defecto, dar mayor agilidad al Almacén Politécnico para la consecución de la información requerida.
- 6.- Equipar los laboratorios de Controles Industriales Electrónicos, Di

giales y Microprocesadores con instrumentos de medición y dispositivos electrónicos de uso frecuente y especializado, pensando en sa tisfacer las necesidades actuales y futuras.

7.- Ensamblar en forma conveniente todas las tarjetas electrónicas de las diferentes unidades de control (de la fuente de corriente), con el propósito de proyectar una tesis futura que cubra los siguientes puntos:

a.- Evaluación teórica de las características transientes de la fuente de corriente y grupo motor-generador a partir de la modelación matemática del sistema.

b.- Diseño y construcción del lazo externo de regulación de velocidad en base de las conclusiones obtenidas mediante la modelación del sistema.

Este equipo será de gran utilidad en las prácticas del Laboratorio de Controles Industriales Electrónicos.

BIBLIOGRAFIA

1. AROCKIASAMY R. AND DORAIPANDY S., A novel scheme for sustained triggering of SCR, IEEE Transactions on Industrial Electronics and Control Instrumentation, May 1975.
2. AVILEZ CASTILLO J., Programador de EPROMS y aplicación a un controlador de tráfico, Escuela Superior Politécnica del Litoral, Guayaquil, 1982.
3. BIBBERO P. J., Microprocessors in instruments and control, John Wiley Interscience, New York, 1977.
4. BOOTH L. TAYLOR, Digital networks and computer systems, John Wiley and Sons, Inc., Indianapolis, 1978.
5. BURR - BROWN, Data acquisition and conversion handbook, Burr-Brown Corporation, Tucson, 1978.
6. DATEL INTERSIL, Data acquisition and conversion handbook, Datal-intersil, Inc., Massachusetts, 1979.
7. DEBOO G. AND BURROUS C., Integrated circuits and semiconductor devices, McGraw-Hill Kogakusha, Ltd., Tokyo, 1977.
8. DEWAN S. AND STRAUGHEN A., Power semiconductor circuits, John-Wiley and Sons, Inc., Indianapolis, 1975.
9. DORF C. RICHARD, Sistemas automáticos de control, Fondo Educativo Interamericano, S.A, México, D.F, 1977.
10. GENERAL ELECTRIC, Semiconductor data handbook third edition, General Electric Company Semiconductor Products Department, New York, 1977.

11. JUNG G. WALTER, IC Converter cookbook, Howard W. Sams and Co., Inc Indianapolis, 1978.
12. JUNG G. WALTER, IC timer cookbook, Howard W. Sams and Co., Inc., - Indianapolis, 1977.
13. KRISHNAN T. AND RAMASWAMI B., Speed control of d.c motor using thyristor dual converter, IEEE Transactions Industrial Electronics - and Control Instrumentations, Vol IECI-23 N^o 4, November 1976.
14. LANDER W. CYRIL, Power electronics, McGraw-Hill Book Company (UK) Limited, London, 1981.
15. LIPO A. THOMAS, Analog Computer simulation of a three-phase full-wave controlled rectifier bridge, IEEE Transactions Power Apparatus and Systems, Vol. 57. pp 2137-2146, Dec. 1969
16. LIWSCHITZ M. AND WHIPPLE C., Máquinas de corriente continúa, Compañía Editorial Continental, S.A, España, 1975.
17. MARTIN D. M., The use of thyristors in converter applications, GEC Journal of Science and Technology, Vol. 41 N^o 1, 1974.
18. MAWDSLEY'S LIMITED, Educational thyristor drive manual, Mawdsley's Limited, London, 1978.
19. MITCHELL C., DIERKER J. AND KEYARTS G., Current sensing, IEEE - Trans. IGA-3 N^o 2, 1978.
20. MULLARD LIMITED, Power engineering using thyristors Vol. 1 Techniques of thyristor power control, Central Technical services, London, 1970.
21. OLIVIER G. AND APRIL G., Optoisolators slash cost of three-phase - detector, Electronics Vol. 51 N^o 24, Nov. 1978.

22. OLIVIER G., STEFANOVIC V. AND JAMIL M., Digitally controlled thyristor current source, IECI'79 Proceedings-Industrial and Control applications of microprocessor, March 1979.
23. PELLY B. R., Thyristor phase-controlled converters and cycloconverters, John Wiley - Interscience, New York, 1971.
24. RAMSHAW RAYMOND, Power electronics, Chapman and Hall Ltd., London, 1977.
25. RCA SOLID STATE, Thyristor and rectifier manual, RCA Corporation, New Jersey, 1975.
26. RCA SOLID STATE, Linear integrated circuits, RCA Corporation, New Jersey, 1978.
27. RICE B. JOHN, Design of snubber circuits for thyristor converters, IEEE Conference record of fourth annual meeting of industry and general applications group, pp. 485-489, 1969.
28. ROBINSON E. CHARLES, Redesign of d.c motors for applications with thyristor power supplies, IEEE trans on industry and general applications Vol. IGA-4, pp 508-514, Sep/Oct, 1968.
29. SEN P. AND MacDONALD M., Thyristorized d.c. drives with regenerative braking and reversal, IEEE Trans. on Industrial Electronics and Control Instrum. Vol. IECI-25 N° 4, 1978.
30. SYLVANIA ECG SEMICONDUCTORS, Master replacement guide, Philips ECG Inc., Williamsport, 1981.
31. TEXAS INSTRUMENTS INCORPORATED, The TTL data book second edition, Texas Instruments? Inc., Dallas, 1976.
32. TEXAS INSTRUMENTS INCORPORATED, Designing with TTL integrated cir-

culits, McGraw-Hill Book Company, New York, 1971.