



D-6541

ESCUELA SUPERIOR
POLITECNICA DEL LITORAL

DEPARTAMENTO DE INGENIERIA ELECTRICA

"PROGRAMADOR DE EPROMS Y APLICACION
A UN CONTROLADOR DE TRÁFICO "

TESIS DE GRADO

Previa a la obtención del Título de:

INGENIERO EN ELECTRICIDAD
ESPECIALIDAD: ELECTRONICA

Presentada por:

JUAN CARLOS AVIÑES CASTILLO

GUAYAQUIL-ECUADOR

1982

A G R A D E C I M I E N T O

Hago público mi agradecimiento a la Comunidad Politécnico, Maestros, compañeros estudiantes y amigos que de una u otra forma colaboraron en la realización del presente trabajo.

Mi agradecimiento de manera especial al ING. PEDRO CARLO mentalizador del Tema y Director de la misma.

DEDICATORIA

Con enfática devoción y justo orgullo dedico este modesto - trabajo, este esfuerzo de es tudiante a mi querida Madre ; quien con sus desvelos, ayuda y apoyo moral ha logrado ha cer de mí algo útil para la sociedad.

A handwritten signature in black ink, appearing to read 'Pedro Carlo Paredes', written in a cursive style. The signature is positioned above a horizontal dotted line.

.....
ING. PEDRO CARLO PAREDES

Director de Tesis

DECLARACION EXPRESA

"La responsabilidad por los hechos, ideas y doctrinas expuestos en esta tesis, me corresponden exclusivamente; y, el patrimonio intelectual de la misma, a la ESCUELA SUPERIOR - POLITECNICA DEL LITORAL".

(Reglamento de Exámenes y Títulos profesionales de la ESPOL).


.....
Nombre y firma del autor

RESUMEN

El uso de las memorias de lectura solamente se ha vuelto fundamental en el diseño moderno de sistemas de control necesitándose por este motivo de circuitos programadores de distintos tipos de EPROMS que ayuden a los diseñadores a lograr sus resultados finales.

Este trabajo ha logrado programadores para los EPROMS 2708 y 8755A utilizando el microcomputador de entrenamiento existente en el laboratorio de microprocesadores del departamento de Ingeniería Eléctrica de la ESPOL.

Como una aplicación de este programador se ha construido un sistema controlador de tráfico utilizando un microcomputador basado en un microprocesador 8085A encontrándose todos los comandos de control grabados en un EPROM 8755A.

INDICE GENERAL

	Pág.
PROLOGO	
RESUMEN	6
LISTA DE FIGURAS	13
LISTA DE TABLAS	18
INTRODUCCION	19
CAPITULO I	
Programador de EPROMS utilizando un microcom putador de entrenamiento.	22
1.1. Objetivos	22
1.2. Diseño del sistema Programador de EPROMS	22
1.2.1. Definición del problema.	22
1.2.2. Consideraciones acerca de la solu ción.	24
1.2.2.1. Programador del EPROM 2708	24
1.2.2.2. Programador del EPROM 8755A	28
1.2.3. Circuito utilizado y breve análi- sis del mismo.	31
1.2.3.1. Circuito para el progra- mador del EPROM 2708.	31

	Pág.
1.2.3.2. Circuito para el programador del EPROM 8755A.	37
1.3. Construcción del sistema.	41
1.3.1. Lista de Materiales.	45
1.3.2. Diseño del circuito impreso.	46
1.3.3. Pequeño programa de prueba.	53
1.4. Programas utilizados para la transferencia de información entre el microcomputador y los dos tipos de EPROMS.	56
1.4.1. Programa verificador de limpieza de la región a grabarse en el EPROM 2708.	56
1.4.1.1. Diagrama de flujo.	57
1.4.1.2. Listado del programa verificador.	62
1.4.2. Software para grabar información en el EPROM 2708.	66
1.4.2.1. Diagrama de flujo.	68
1.4.2.2. Listado del programa grabador.	76
1.4.3. Subrutina CHECK.	79
1.4.3.1. Diagrama de flujo.	80
1.4.3.2. Listado de la subrutina.	80

	Pág.
1.4.4. Programa para comprobación de grabado en el EPROM 2708.	82
1.4.4.1. Diagrama de flujo.	85
1.4.4.2. Listado del programa verificador de grabado.	88
1.4.5. Programa de lectura del EPROM 2708 dirección por dirección.	91
1.4.5.1. Diagrama de flujo.	92
1.4.5.2. Listado del programa de lectura.	94
1.4.6. Programa de verificación de limpieza de la región a grabar se en el EPROM 8755A.	95
1.4.6.1. Diagrama de flujo.	97
1.4.6.2. Listado del programa verificador.	102
1.4.7. Software para grabar información en el EPROM 8755A.	105
1.4.7.1. Diagrama de flujo.	107
1.4.7.2. Listado del programa grabador.	115
1.4.8. Programa para lectura del EPROM 8755A dirección por dirección.	119

	Pág.
1.4.8.1. Diagrama de flujo del programa de lectura del 8755A	120
1.4.8.2. Listado del programa de lectura.	120
1.5. Guía de utilización del programador de EPROMS.	123
1.5.1. Pasos que deben seguirse para el uso del programador del 2708.	123
1.5.2. Pasos que deben seguirse para el uso del programador del 8755A.	127
 CAPITULO II	
Controlador de tráfico.	131
2.1. Objetivos.	131
2.2. Diseño del sistema controlador de tráfico.	
2.2.1. Definición del problema.	131
2.2.2. Circuito utilizado para resolver el problema.	133
2.2.3. Análisis del circuito.	133
2.3. Software grabado en el EPROM 8755A para resolver el problema planteado.	147
2.3.1. Información que puede ser enviada desde una central de tránsito.	147
2.3.2. Programa grabado en el EPROM.	148

	Pág.
2.3.3. Análisis y listado del programa.	163
2.4. Construcción del sistema controlador de tráfico.	205
2.4.1. Lista de Materiales.	205
2.4.2. Diseño del circuito impreso.	206
2.4.3. Prueba.	211
CONCLUSIONES Y RECOMENDACIONES.	213
APENDICES	215
APENDICE A. Estudio breve del microcomputador de entrenamiento y su interfase.	216
a. Configuración del sistema	216
b. Parte de la interfase utilizada en el presente trabajo.	233
c. Subrutinas GETKY, DBYTE, DWORD.	241
APENDICE B. Estudio breve del EPROM 2708 y 8755A.	246
a. EPROM 2708. Diagrama de terminales, modo de operación y características.	246
b. EPROM 8755A. Diagrama de terminales, modo de operación y características.	256

	Pág.
rísticas.	
APENDICE C. Estudio breve del microprocesador 8085A y del circuito integrado 8155.	269
a. Microprocesador 8085A. Diagrama de terminales, aplicaciones y ca- racterísticas.	269
b. Circuito integrado 8155. Diagrama de terminales y modo de operación.	285
BIBLIOGRAFIA.	300

INDICE DE FIGURAS

- FIG.
- 1.1 Diagrama de bloques del programador del EPROM 2708.
 - 1.2 Diagrama de bloques del programador del EPROM 8755A.
 - 1.3 Circuito programador para el EPROM 2708.
 - 1.4 Circuito lógico para manejar un transistor.
 - 1.5 Circuito lógico ideal.
 - 1.6 Circuito programador para el EPROM 8755A.
 - 1.7 Circuito programador del EPROM 2708 y 8755A.
 - 1.8 Fuentes de poder.
 - 1.9 Circuito impreso para el programador.
 - 1.10 Ubicación de los elementos del programador de EPROMS sobre la tarjeta impresa.
 - 1.11 Microcomputador de entrenamiento e interfase.
 - 1.12 Vista frontal del programador de EPROMS.
 - 1.13 Vista posterior del programador de EPROMS.
 - 1.14 Sistema programador de EPROMS.
 - 1.15 Programa sencillo de prueba.
 - 1.16 Lectura del EPROM 2708.
 - 1.17 Diagrama de flujo para el programa verificador de limpieza.
 - 1.18 Diagrama de flujo desarrollado para el verificador de limpieza.
 - 1.19 Curvas de programación del EPROM 2708.

FIG.

- 1.20 Diagrama de flujo del programa grabador de información en el 2708.
- 1.21 Diagrama de flujo desarrollado del programa grabador.
- 1.22 Diagrama de flujo de la subrutina CHECK.
- 1.23 Diagrama de flujo del programa verificador de una correcta programación.
- 1.24 Diagrama de flujo desarrollado del programa verificador de correcta programación.
- 1.25 Diagrama de flujo del programa de lectura del EPROM 2708.
- 1.26 Lectura de EPROM, escritura y lectura de I/O.
- 1.27 Verificador de limpieza para el EPROM 8755A.
- 1.28 Diagrama de flujo desarrollado del programa verificador de limpieza del EPROM 8755A.
- 1.29 Formas de Onda de programación y verificación del EPROM 8755A.
- 1.30 Programa grabador y verificador para el 8755A.
- 1.31 Programa grabador y verificador desarrollado.
- 1.32 Diagrama de flujo del programa de lectura del 8755A.
- 2.1 Circuito del controlador de tráfico.
- 2.2 Reloj externo del sistema controlador de tráfico.
- 2.3 Formas posibles de movimiento vehicular.
- 2.4 Semáforo con 5 luces por lado.

- FIG.
- 2.5 Ciclo completo.
 - 2.6 Región de sincronización.
 - 2.7 Diagrama de flujo de sincronización y cambio de lu
ces.
 - 2.8 Diagrama de flujo desarrollado.
 - 2.9 Sistema desincronizado.
 - 2.10 Primer paso de sincronización.
 - 2.11 Segundo paso de sincronización.
 - 2.12 Interrupción RST 5.5
 - 2.13 Secuencia de amarillo y rojo intermitente.
 - 2.14 Circuito impreso del controlador de tráfico.
 - 2.15 Disposición de los elementos sobre la tarjeta del
controlador de tráfico.
 - 2.16 Vista posterior del controlador de tráfico.
 - 2.17 Vista frontal de controlador de tráfico.
 - A-1 Configuración del microcomputador de entrenamiento
 - A-2 Controlador del sistema.
 - A-3 Direccionamiento de memoria.
 - A-4 Lógica de selección de circuitos integrados.
 - A-5 El MTS.
 - A-6 Sistema de interfase del MTS.
 - A-7 Periférico 8255 # 1.
 - A-8 Periférico 8255 # 2.
 - A-9 La interfase.

- FIG.
- B-1 Diagrama del terminales del EPROM 2708.
 - B-2a Corriente suministrada VS temperatura.
 - B-2b Tiempo de acceso VS temperatura.
 - B-3 Lectura de información en el 2708.
 - B-4 Curvas de programación del 2708.
 - B-5a Configuración de terminales (8755A).
 - B-5b Diagrama de bloques (8755A).
 - B-6 Forma de Onda de entrada para pruebas A.C.
 - B-7 Especificaciones de Reloj para 8755A.
 - B-8 Curvas de lectura de EPROM, lectura y escritura de puertos de entrada-salida.
 - B-9 Curvas de transferencia de información por las - puertas de entrada/salida.
 - B-10 Curva para el estado de espera (READY = 0).
 - B-11 Curvas de programación para el EPROM 8755A.
 - C-1 Diagrama del bloque funcional del 8085A.
 - C-2 Configuración de terminales.
 - C-3 Sistema mínimo 8085A. Técnica entrada-salida normal.
 - C-4 Sistema mínimo MCS-85. Puertos de entrada-salida mapeadas por memoria.
 - C-5 Instrucción de búsqueda, lectura de memoria y ciclo de escritura a puertos de E/S.

FIG.

- C-6 Onda de entrada para pruebas A.C.
- C-7 Reloj del sistema.
- C-8 Operación de lectura.
- C-9 Operación de escritura.
- C-10 Operación de lectura con ciclo de lectura.
- C-11 Operación de sostenimiento.
- C-12 Curvas de interrupción y de sostenimiento.
- C-13a Configuración de terminales.
- C-13b Diagrama de bloques.
- C-14 Registros internos del 8155/8156.
- C-15 Ciclo de lectura/escritura para el 8155/8156.
- C-16 Asignamiento de bits para el registro de comando.
- C-17 Asignamiento de bits en el registro de estado.
- C-18 Esquema de direccionamiento del temporizador y -
puertas I/O.
- C-19 Curvas de salida del temporizador.
- C-20 Onda cuadrada asimétrica de salida resultante de
cuenta de 9 (IMPAR).

INDICE DE TABLAS

- 2-1 Direccionamiento del sistema controlador.
- 2-2 Tiempos básicos.

INTRODUCCION

Uno de los problemas que encuentra un estudiante que desea trabajar con memorias de lectura solamente en una aplicación determinada es la dificultad de programar los mismos, especialmente en nuestro medio en donde no existen muchas facilidades hasta la presente.

Es en esa dirección hacia donde se orienta la primera parte de éste trabajo, lográndose como resultado programadores para el EPROM 2708 y 8755A.

El sistema programador se conecta a la interfase de un microcomputador de entrenamiento (sistema basado en un microprocesador 8080A) el mismo que controla la programación del EPROM correspondiente.

Puesto que cada tipo de EPROM exige una forma diferente de programación, la primera parte de ésta tesis, esto es, el programador para los dos tipos de EPROMS, se subdividirá en secciones, una para cada tipo de EPROM y una sección final de construcción y pruebas.

Cada sección consta en primer lugar de un programa verifi-

cador que revisa la sección de memoria donde se va grabar y verifica que esté libre de toda programación anterior , en segundo lugar el programa grabador propiamente dicho y finalmente un programa verificador que comprueba que todo el programa haya quedado perfectamente grabado en el EPROM.

Todos estos pequeños programas han quedado grabados en un 2708 y formando parte de la memoria del microcomputador de tal suerte que pueden ser usados como subrutinas.

La segunda y última parte de éste trabajo se orienta hacia una aplicación del programador en un sistema controlador - de tráfico basado en un micropocesador 8085A en una configuración mínima.

Se ha pensado en un semáforo con 5 luces por lado, capaz de sincronizarse con un pulso externo y de recibir órdenes de cambio de secuencia por control remoto.

Puesto que no es parte de éste trabajo la recepción de órdenes externas por control remoto se simulará las mismas utilizando uno de los pines de interrupción y una puerta de entrada de uno de los circuitos integrados.

Es importante que el lector esté familiarizado con el micro

computador de entrenamiento y su interfase para una mejor comprensión del presente trabajo.

CAPITULO I

PROGRAMADOR DE EPROMS UTILIZANDO UN MICROCOMPUTADOR DE ENTRENAMIENTO.

1.1. OBJETIVOS

Desarrollo del hardware y software necesarios para un sistema programador de dos tipos de EPROMS (2708 y 8755A).

1.2. DISEÑO DEL SISTEMA PROGRAMADOR DE EPROMS

1.2.1. Definición del problema

Utilizando un microcomputador de entrenamiento diseñar un sistema capaz de programar un EPROM 2708 y un EPROM 8755A.

El sistema primero debe verificar si efectivamente la región donde se va a colocar el programa está limpia de toda grabación anterior, es decir, perfectamente borrada; si es así enviar un mensaje de GOOD a la unidad de despliegue visual del MTS (microcomputa -

dor de entrenamiento) y continuar con la segunda parte; si no es así colocar en la unidad de despliegue visual tanto la dirección como la información en esa dirección y deshabilitar el teclado del MTS.

El programa a grabarse puede comenzar en - cualquier dirección y terminar así mismo en cualquier dirección. Lógicamente estas direcciones deben ser las mismas que las direcciones de principio y fin utilizados para el programa verificador de limpieza anterior.

Una vez grabado el programa, el sistema puede verificar si éste ha quedado perfectamen- te grabado; si es así enviar un mensaje de GOOD a la unidad de despliegue visual y terminar la programación; si no es así mostrar en la unidad de d.v. la dirección y dato del EPROM donde existe el problema. Luego aplastando una tecla de comando del microcomputa- dor sacar en la unidad d.v. la dirección y dato que debía estar grabado en el EPROM y que lógicamente todavía se encuentra en la memoria RAM del MTS.

1.2.2. Consideraciones acerca de la solución

1.2.2.1. Programador del EPROM 2708

Las características del EPROM 2708 y del microcomputador de entrenamiento se encuentran al final de este escrito y se recomienda que sean revisados por el lector que no esté familiarizado con las mismas (APENDICES A y B).

En la figura 1.1 se plantea el diagrama de bloques para trabajar con el EPROM 2708.

Solamente tenemos acceso a las puertas 1A, 1C y 2A presentes en dos zócalos en la interfase del microcomputador (ITS) y son los únicos que necesitamos para nuestro trabajo.

Por las puertas 1C y 1A generaremos las direcciones que van a ser

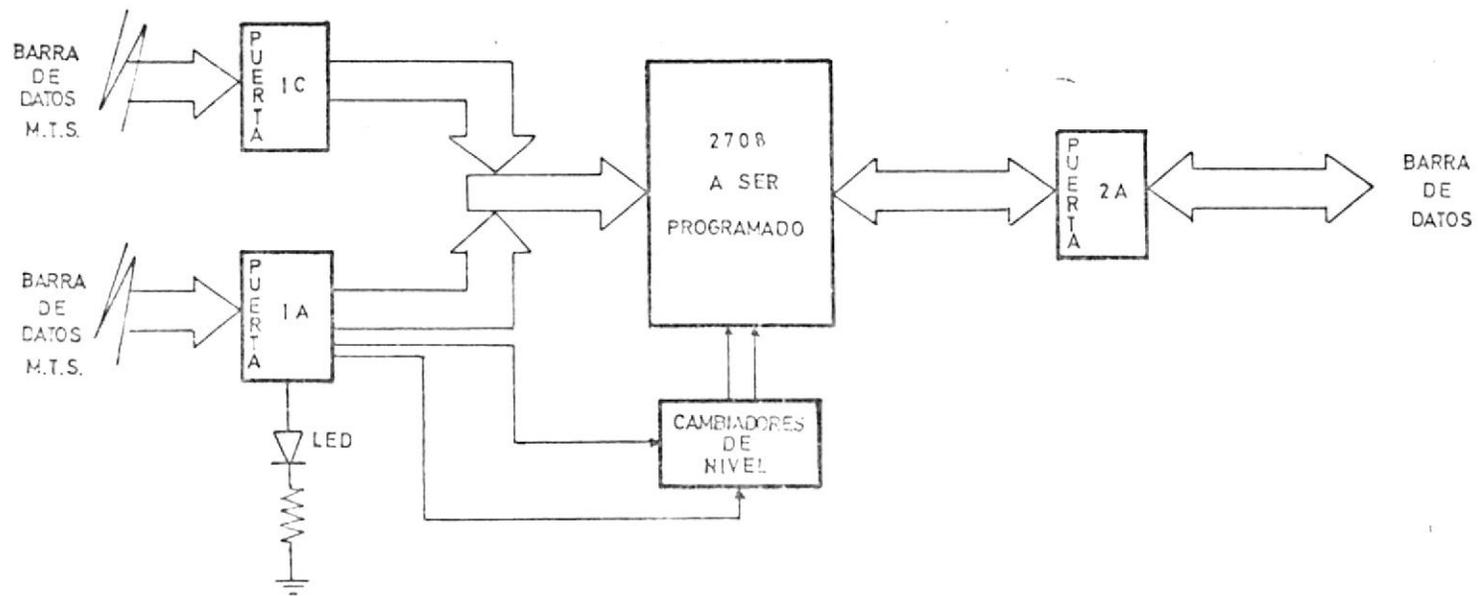


FIG. 1-1 DIAGRAMA DE BLOQUES DEL PROGRAMADOR DEL EPROM 2708

colocados en la barra de direcciones del EPROM (10 líneas) quedando libres 6 líneas de la puerta 1A que servirán para comandar unos cambiadores de nivel y un diodo emisor de luz a fin de cumplir con los requisitos de operación para este circuito integrado tanto para la lectura de información como para la grabación de un programa.

La puerta 2A (8 líneas) nos servirá para la transferencia de información hacia o desde el EPROM 2708.

Es importante notar que en ningún momento estamos utilizando la barra de direcciones del microcomputador para generar direcciones para el circuito sino que todo lo generamos por software, sacando o metiendo información a través de la barra de datos del MTS.

Es necesario también que Ud. tenga

presente que cuando se prende el microcomputador se produce un RESET en éste lo que forza al modo INPUT a todas las puertas programables del 8255 # 1 (1A, 1B, 1C) y 8255 # 2 (2A, 2B, 2C), esto en un sentido lógico aparece como un estado alto en todas las líneas de cada una de las puertas. Recuerde también que cuando se programa una puerta de un 8255 para que ésta sea de entrada o de salida, en primer lugar se debe reprogramar todas las puertas (A, B y C) de ese circuito integrado y en segundo lugar todos los bits de cada una de las puertas estarán en 1 lógico o en 0 lógico antes de que se produzca alguna transferencia de información por medio de ellos.

No se necesitará cambiar de lugar al 2708 para producir la lectura y programación de éste, bastará solamente variar las condiciones en -

los cambiadores de nivel.

1.2.2.2. Programador del EPROM 8755A

Es necesario que el lector revise la información básica acerca del EPROM 8755A, esto es, su forma de lectura y programación (APENDICE B).

Basados en este hecho se plantea el diagrama de bloques mostrados en la Figura 1.2.

Puesto que el 8755A tiene 2K de memoria se necesitan 11 líneas para el direccionamiento de éste. Al igual que para el EPROM 2708 se generan estas direcciones por software y se los envía por medio de la barra de datos a las puertas 1C y 1A.

El 8755A necesita un señal ALE para demultiplexar los 8 bits menos significativos de la barra de di -

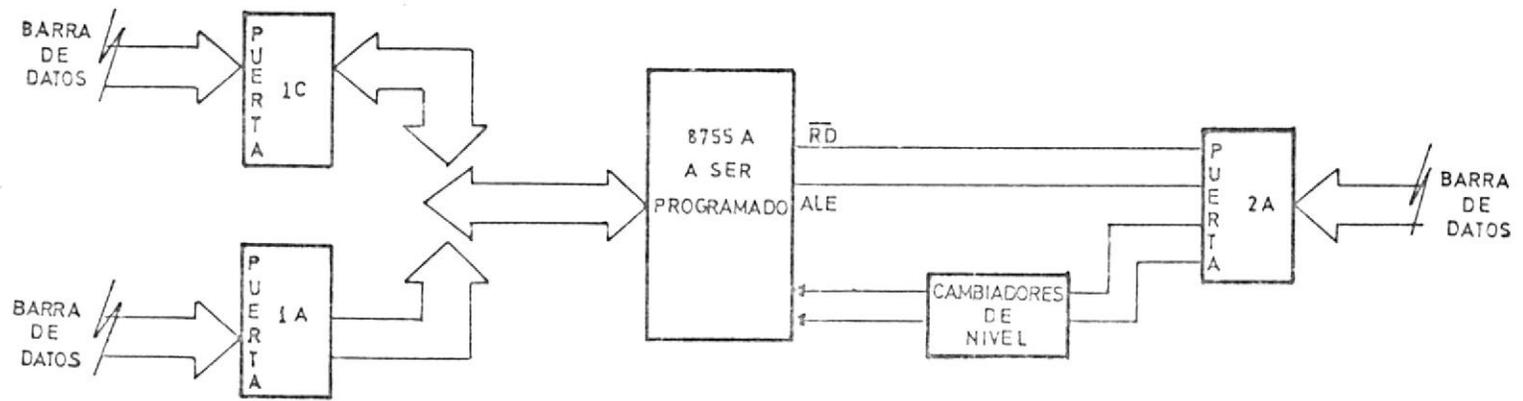


FIG. 1-2 DIAGRAMA DE BLOQUES DEL PROGRAMADOR DEL EPROM 8755 A

recciones de los 8 bits de la barra de datos, mientras ALE está al to la información presente en los terminales ($AD_0 - AD_7$) se lo interpreta como direcciones y en caso contrario se lo interpretará como datos.

Los 8 bits menos significativos de la barra de direcciones del 8755A se conectarán a la puerta 1C por la misma que también fluirá información en un momento determinado, razón por la cual hemos dibujado esta barra como bidireccional. Los 3 bits de direccionamiento restantes los tomaremos de la puerta 1A.

Puesto que la puerta 1C es bidireccional se necesitará programarla para que sea una puerta de salida o una puerta de entrada en determinado momento. Para hacerlo es necesario programar todo el circuito

integrado 8255 # 1, es decir, todas las 3 puertas 1A, 1B, y 1C al mismo tiempo. Recordemos que al programar una puerta determinada todos los bits de esa puerta se ponen en 0 o 1 lógico dependiendo si se programa como puerta de salida o como puerta de entrada. Esto va a ocurrir con todas las 3 puertas y causaría problemas si se colocan los comandos de programación del 8755A en los bits no utilizados de la puerta 1A. Más fácil es colocar estos comandos en la puerta 2A y esto es lo que se ha hecho.

1.2.3. Circuito utilizado y breve análisis del mismo

1.2.3.1. Circuito para el programador del EPROM 2708.- Figura 1.3

Como podemos observar en la figura 1.3, los 8 bits menos significativos de direccionamiento del EPROM

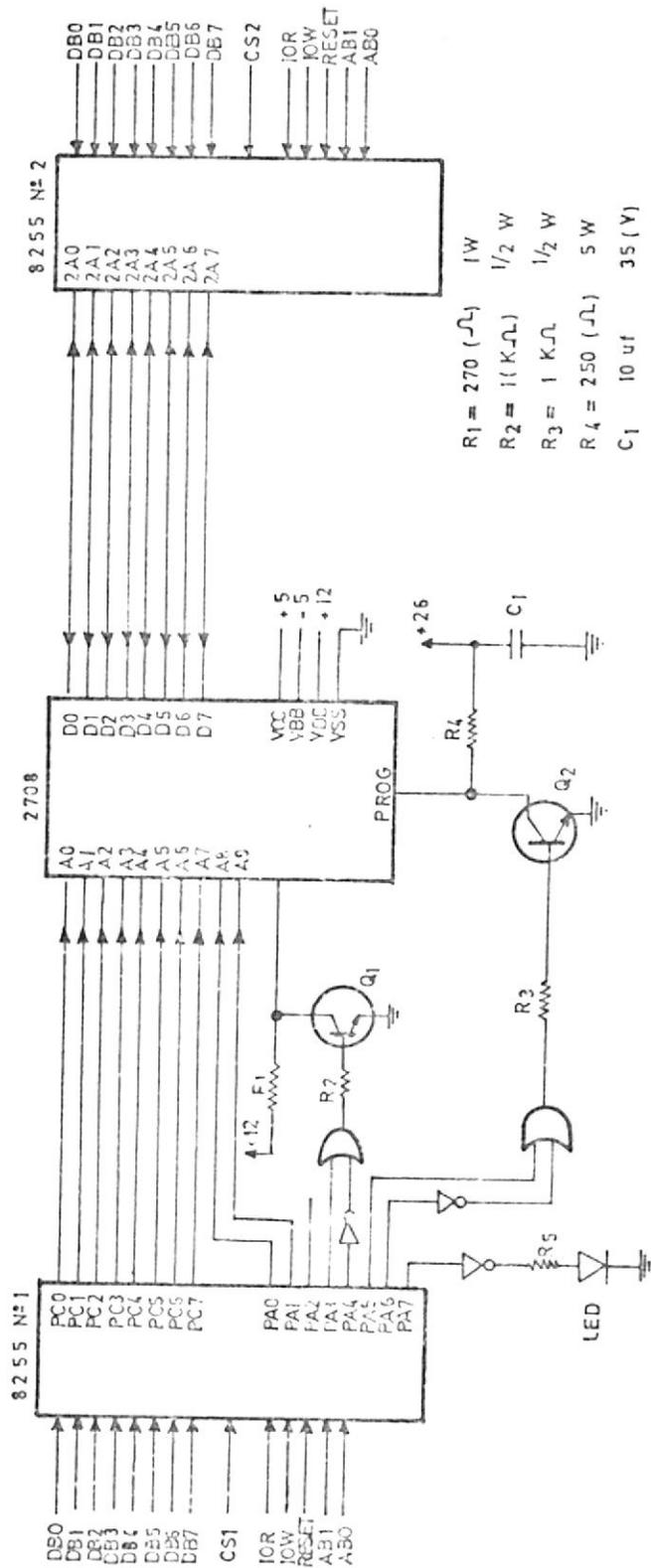


FIG. 1-3 CIRCUITO PROGRAMADOR PARA EL EPROM 2708

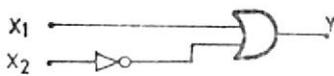
se los toma de la puerta 1C y los dos bits restantes más significativos de la puerta 1A. De la misma forma los 8 bits de datos se toman de la puerta 2A.

Es necesario tener presente que los pulsos de +12 v y +26 v a los terminales \overline{CS}/WE y PROG. respectivamente se deben aplicar en un momento preciso y no en cualquier tiempo por muy pequeño que éste sea.

Cuando se programa una puerta para que ésta sea de salida o entrada todos los bits de esa puerta serán ceros o unos antes de que se transfiera información por esa puerta. Es precisamente en estos pequeños tiempos en donde uno debe estar seguro de que no se aplica simultáneamente ambos pulsos (+12 v y +26 v) en forma involuntaria y se graba en alguna dirección informa-

ción indeseable.

Por esta razón y de forma separada (para una mayor seguridad de que no se apliquen los pulsos al mismo tiempo) se ha utilizado el circuito de la figura 1.4 para manejar a los transistores Q_1 y Q_2



X_1	X_2	Y
0	0	1
0	1	0
1	0	1
1	1	1

FIG. 1-4 CIRCUITO LOGICO PARA MANEJAR UN TRANSISTOR

A menos que las entradas X_1 y X_2 sean baja y alta respectivamente no se aplicará pulso al terminal correspondiente.

Si utilizáramos 3 hilos la tabla de verdad sería la siguiente:

PA ₆	PA ₄	PA ₃	Y ₁	Y ₂
0	0	0	1	1
0	0	1	1	1
0	1	0	0	0
0	1	1	0	1
1	0	0	1	1
1	0	1	1	1
1	1	0	1	0
1	1	1	1	1

$$Y_1 = (PA_6 \vee \overline{PA_4} \vee PA_3) (PA_6 \vee \overline{PA_4} \vee \overline{PA_3})$$

$$Y_1 = PA_6 \vee \overline{PA_4}$$

$$Y_2 = (PA_6 \vee \overline{PA_4} \vee PA_3) (\overline{PA_6} \vee \overline{PA_4} \vee PA_3)$$

$$Y_2 = PA_3 \vee \overline{PA_4}$$

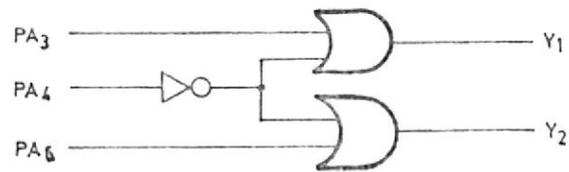


FIG. 1-5 CIRCUITO LOGICO IDEAL

Como vemos en la figura 1.5 se ahorraría una línea y un inversor, pero supongamos que, mientras se está programando una puerta como puerta de salida o grabando un programa determinado se quema el inversor, esto ocasionaría la aplicación simultánea de los pulsos de +12 v y +25 v al 2708 de una forma descontrolada dañándose la programación totalmente. Es por este motivo que se ha preferido seguridad más que ahorro de elementos.

Es posible realizar la conexión de la figura 1.4 en el tablero del circuito impreso con solo variar la posición de unos puentes disponibles.

El inversor que se ahorraría en la simplificación del circuito sencillamente no se utiliza en ninguna otra parte.

Para aprovechar los inversores libres se ha utilizado uno de ellos como excitador para el led indicador de fin de programación ubicado en el bit más significativo de la puerta 1A.

Las resistencias R_2 y R_3 sirven para limitar las corrientes de base de los transistores Q_1 y Q_2 los mismos que actúan como interruptores: Se usan transistores 2N3904 (200 MHz) para asegurar la correcta operación de conmutación de és

tos.

De acuerdo a los valores dados de las resistencias se tiene que las máximas corrientes que circularán por los transistores serán $12/270 = 40 \text{ ma}$ para Q_1 y $26/250 = 104$ (ma) para Q_2 , valores que están muy por debajo de la corriente máxima de colector del transistor.

Las potencias consumidas por las resistencias son:

$$PR_1 = 12^2/270 = 0,54 \text{ (W)}$$

$$PR_2 = 26^2/250 = 2,70 \text{ (W)}$$

Se han colocado resistencias de 1 (W) y 5 (W) respectivamente para cumplir con las condiciones de potencia de las mismas.

1.2.3.2. Circuito para el programador del EPROM 8755A. Figura 1.6

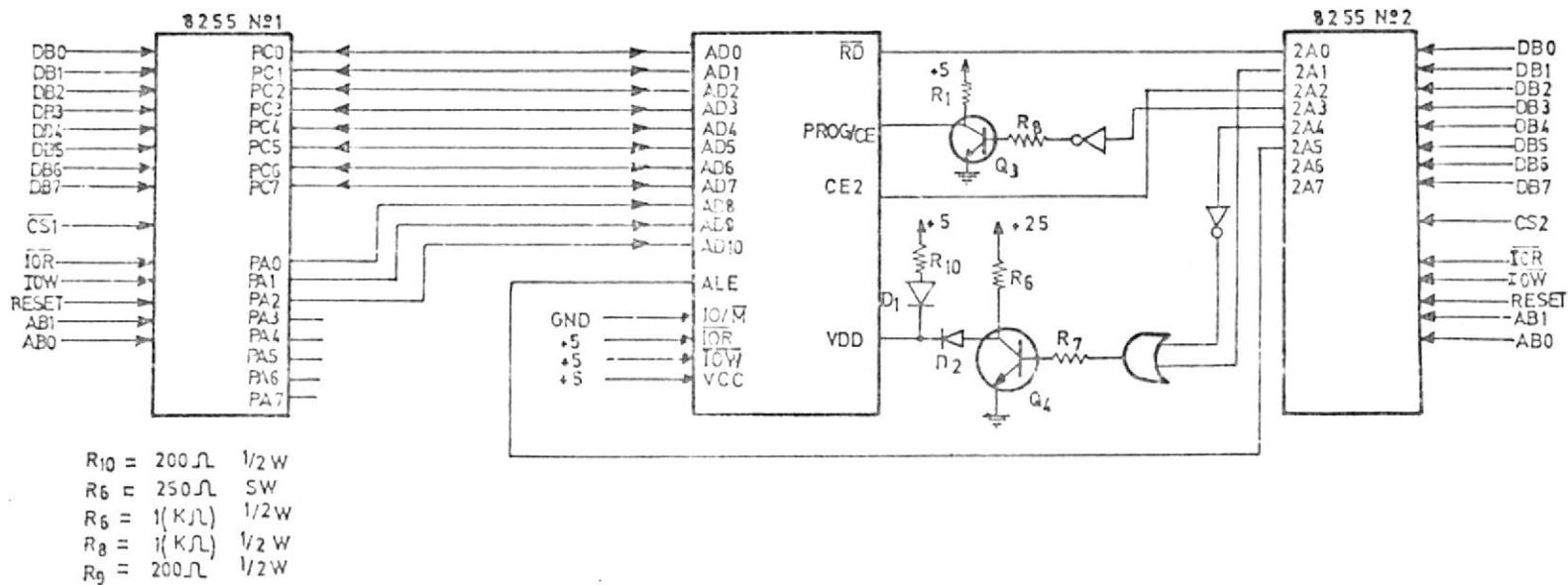


FIG. 1-6 CIRCUITO PROGRAMADOR PARA EL EPROM 8755A

Observemos los que explicábamos en la sección anterior.

Los 8 bits menos significativos se toman de la puerta 1C, los 3 bits más significativos de la puerta 1A y los comandos de control de programación del 8255A de la puerta 2A.

El circuito que se conecta al terminal $\text{PROG}/\overline{\text{CE}}_1$ puede eliminarse tranquilamente y conectarse directamente al terminal $2A_3$.

El circuito que se conecta al terminal V_{DD} hace que se aplique +5 v o +25 v a este terminal según sea que se esté leyendo información o programando.

Cuando el transistor Q_4 conduce, D_2 se polariza inversamente y D_1 directamente y tendremos +5 v aplicados a V_{DD} . Cuando Q_4 no conduce,

D_2 se polariza directamente y D_1 - inversamente, entonces tendremos - +25 v aplicados a V_{DD} .

Se usan transistores 2N3904 para a - asegurar la correcta operación de - conmutación de los mismos.

Las máximas corrientes de colector que circularán por los transisto - res serán $5/200 = 25$ (ma) para Q_3 y $25/250 = 100$ (ma) para Q_4 , valo - res que están dentro del trabajo - normal de estos.

Las potencias consumidas por las - resistencias de colector serán las siguientes:

$$PR_6 = (25)^2 / 250 = 2,5 \text{ (w)}$$

$$PR_9 = (5)^2 / 200 = 125 \text{ (mw)}$$

Se han colocado resistencias con - una capacidad de disipación mayor que la necesitada para evitar pro-

blemas de calentamiento excesivo.

Las resistencias de 1K en la base de los transistores nos limitan la corriente de base en los mismos.

1.3. CONSTRUCCION DEL SISTEMA

Los dos circuitos utilizados para los programadores se han colocado en una sola tarjeta impresa. La unión de los dos circuitos anteriores se lo puede apreciar en la figura 1.7.

El sistema necesita 4 tipos diferentes de voltajes :
+5 v , -5 v , +12 v y +24 v.

El transformador utilizado tiene 3 devanados secundarios teniéndose 3 circuitos independientes. (Figura 1.8). Uno de ellos alimenta a los reguladores de - +12 v y +5 v teniendo éstos como tensión de entrada $18 \times \sqrt{2} = 25$ v pico, valor suficientemente alto para producir las salidas muy bien reguladas y que están muy por debajo de los 35 v máximos que pueden apli - carse a las entradas de estos reguladores.

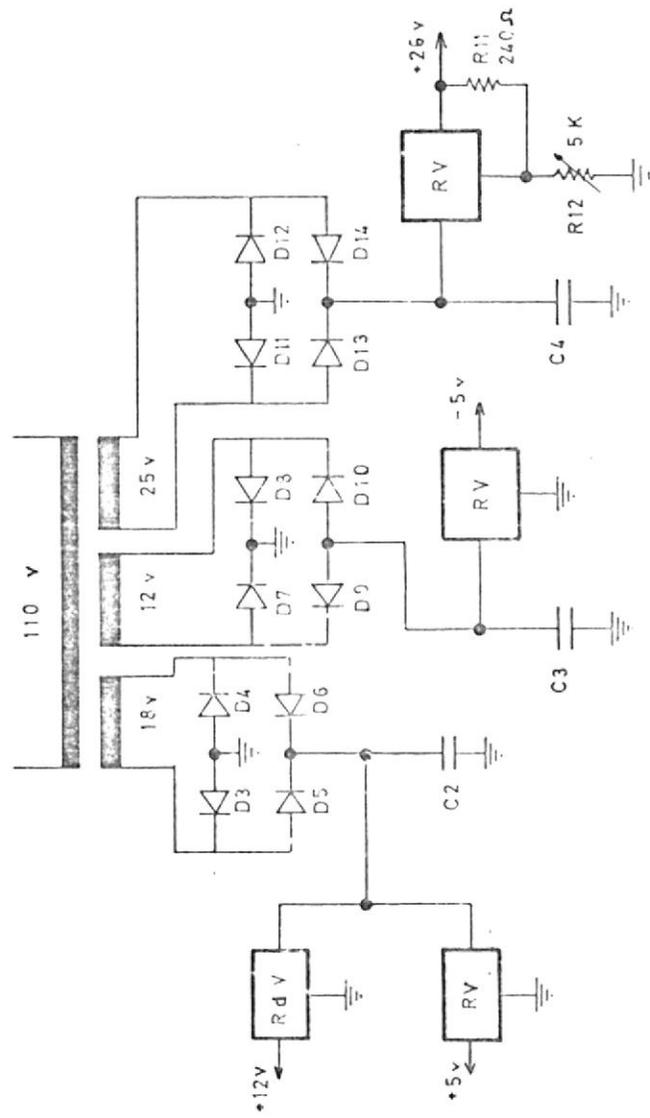


FIGURA 1-8 FUENTE DE PODER

El regulador de -5 v tiene como tensión de entrada -
 $12 \times \sqrt{2} = 16,97$ v pico y el regulador ajustable -
 $25 \times \sqrt{2} = 35,35$ v pico.

El cálculo de los capacitores se lo ha hecho basados
 en la siguiente ecuación:

$$C_{\min} = \frac{I_{\max} \left[\frac{1}{4f} + \frac{1}{2\pi f} \arcsin \left(\frac{V_{\min}}{V_{\max}} \right) \right]}{V_{\max} - V_{\min}}$$

Donde:

f = frecuencia de la línea en Hertz.

V_{\max} = El valor del voltaje pico aplicado al capacitor.

V_{\min} = El voltaje mínimo permitido a la entrada de los reguladores de voltaje.

Por lo tanto los capacitores mínimos necesarios son:

$C_{4\min} =$	952,92 (uf)	$I_{\max} =$	0,75 (A)	$V_{\min} =$	30 (V)
$C_{2\min} =$	250,0 (uf)	$I_{\max} =$	0,50 (A)	$V_{\min} =$	13 (V)
$C_{3\min} =$	177,2 (uf)	$I_{\max} =$	0,25 (A)	$V_{\min} =$	9 (V)

Se han colocado capacitores mayores para una opera -

ción satisfactoria.

1.3.1. Lista de Materiales

- 14 diodos $D_1 - D_{14}$ 1 (A)
- 2 capacitores C_3, C_2 250 (uf), 50 (v)
- 1 capacitor C_4 , 1000 (uf), 35 v
- 1 capacitor C_1 , 10 (uf) , 40 v
- 1 transformador, 3 devanados secundarios
- 1 zócalo para EPROM 2708
- 1 zócalo para EPROM 8755A
- 4 transistores $Q_1 - Q_4$ 2N3904
- 3 reguladores RV1 - RV3 , 7805, 7905 y
7812
- 1 regulador ajustable RV4 LM317
- 1 LED ROJO
- 3 Porta fusibles F1 - F3
- 1 circuito integrado de inversores 7404
- 1 circuito internado de puertas OR 7432
- 4 zócalos de 16 terminales
- 4 resistencias 1K , 1/2W (R3, R2, R7, R8)
- 2 resistencias 200 , 1/2W (R9, R10)
- 2 resistencias 250 , 5W (R4, R6)
- 1 resistencia 270 , 2W (R1)

- 2 resistencia 240 , 1/2 W (R11, R5)
- 1 reostato 5K (R12)
- 3 disipadores de calor.

1.3.2. Diseño del circuito impreso

Una vez conformado el circuito final que se va a utilizar en el sistema se procede a di se ñar la disposición de las pistas de la tar jeta sobre la cual van a ir montados los ele mentos del circuito (Figura 1.9).

Las pistas más anchas se las utiliza para - las fuentes de voltaje y su alimentación a los diferentes circuitos existentes; las más finas para direccionamiento y transferencia de información hacia o desde los EPROMS.

Por las pistas que tienen un ancho intermedio circulan las corrientes de colector de los transistores.

El procedimiento para obtener el circuito im preso es el siguiente:

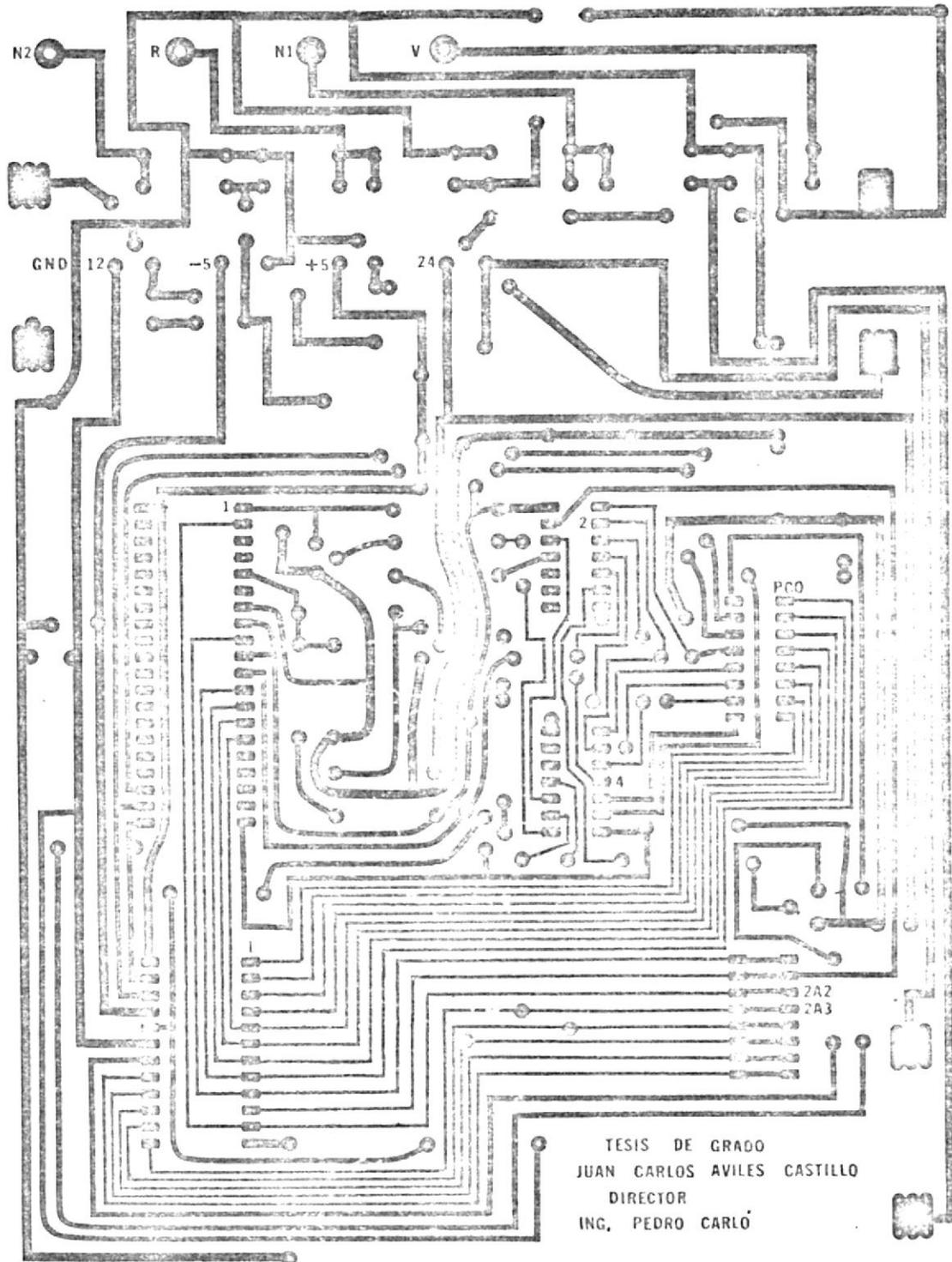


FIGURA 1.3 CIRCUITO IMPRESO PARA EL PROGRAMADOR

Trabajando en un cuarto oscuro se elimina el óxido de cobre que se forma sobre la tarjeta utilizando una lija o un limpiador apropiado. Se calienta la tarjeta en un horno hasta 120°F , se la acuesta y se cubre la misma con una capa ligera, continúa y uniforme de esmalte sensibilizador, DATAK. Una vez terminada esta operación se la coloca en un horno a 140°F y se la seca por 20 minutos.

Una vez seco el esmalte sensibilizador sobre la tarjeta se toma el negativo de la figura 1.9 y se lo coloca encima de la tarjeta, se expone el conjunto a luz ultravioleta por espacio de 3 ó 4 minutos. Se retira luego el negativo de la tarjeta y se introduce ésta última en un revelador DATAK ER-8 por un tiempo de 1-2 minutos moviéndolo ligeramente.

Se enjuaga la tarjeta y si todo el procedimiento ha sido correcto se deberá observar muy claramente el patrón del circuito sobre la tarjeta. Finalmente, se la introduce en cloruro férrico para eliminar el cobre utilizado.

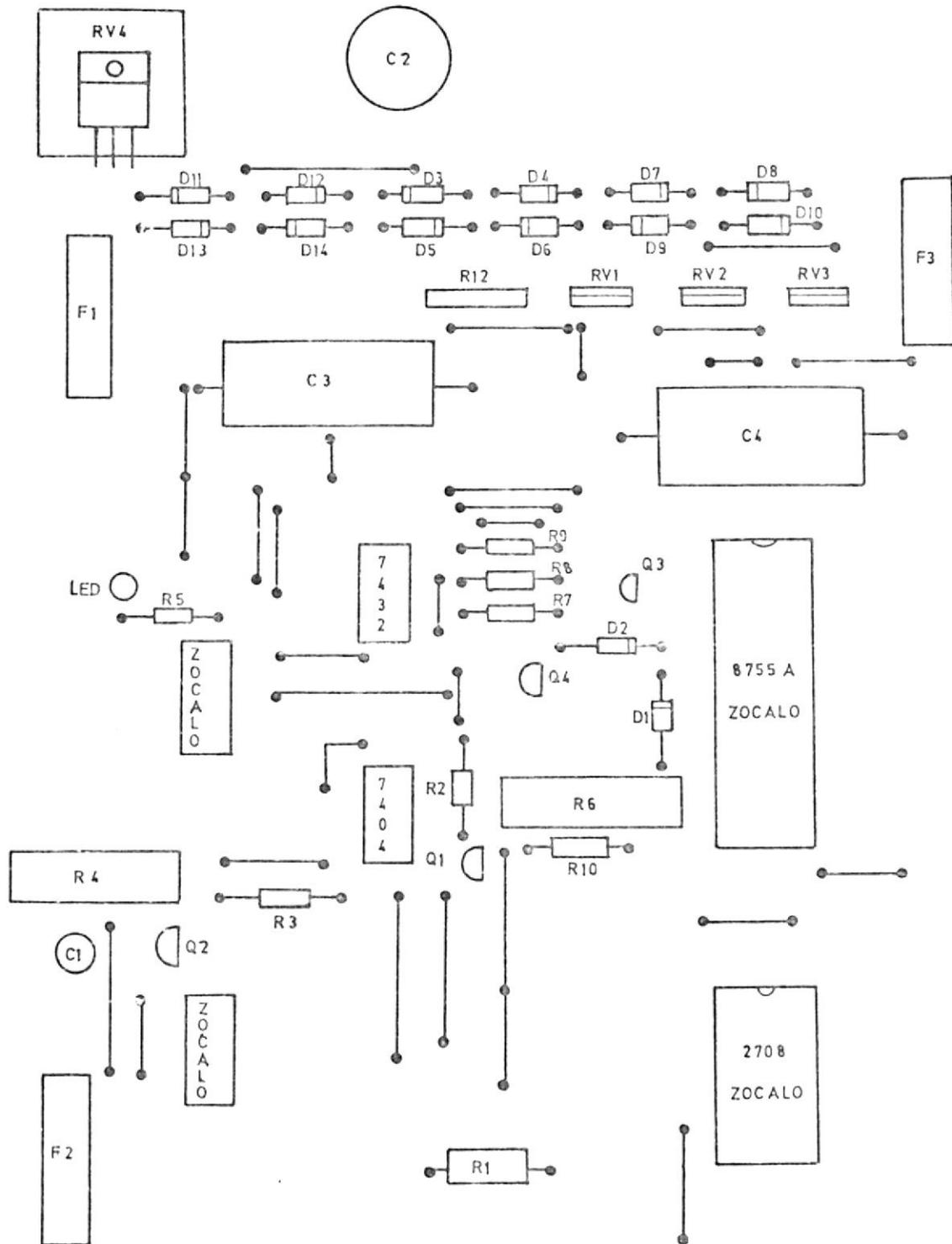


FIG 1-10 UBICACION DE LOS ELEMENTOS DEL PROGRAMADOR DE EPROMS SOBRE LA TARJETA IMPRESA

La ubicación de los elementos del circuito - sobre la tarjeta se indica en la figura 1.10.

La figura 1.11, nos muestra el microcomputador de entrenamiento utilizado para la programación de los EPROMS junto a la interfase.

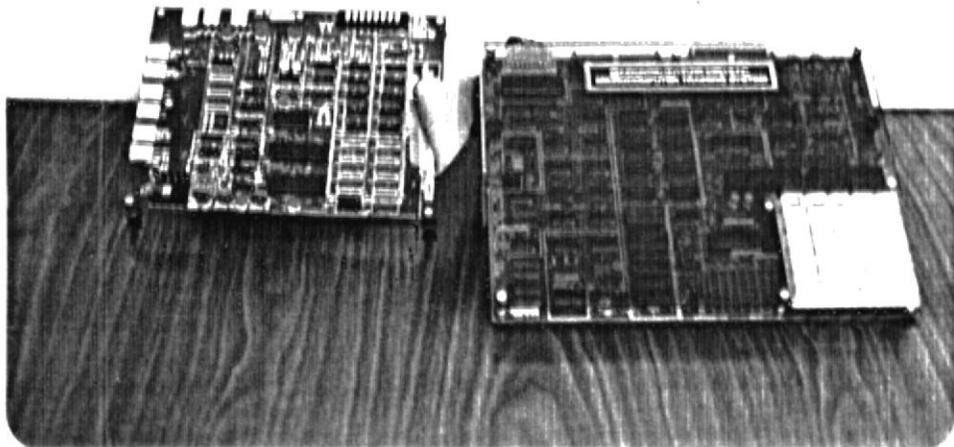


FIGURA 1.11 MICROCOMPUTADOR DE ENTRENAMIENTO
E INTERFASE

Las figuras 1.12 y 1.13, nos muestran el programador de EPROMS terminado tanto en su parte frontal como posterior.

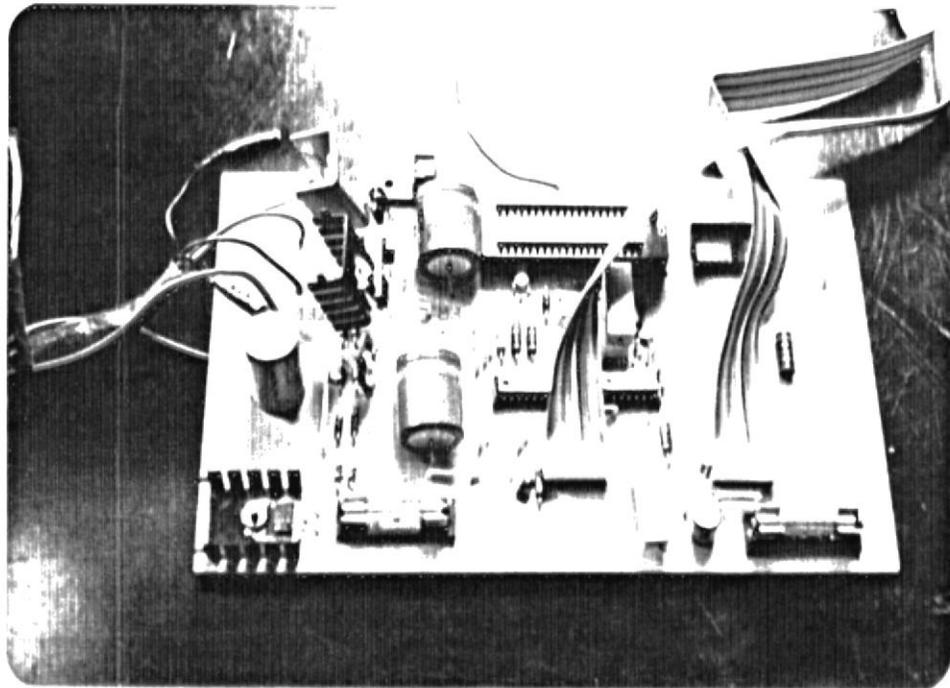


FIGURA 1.12 VISTA FRONTAL DEL PROGRAMADOR DE -
EPROMS

Finalmente, la figura 1.14 nos muestra como está conectado el programador de EPROMS al -
microcomputador de entrenamiento.

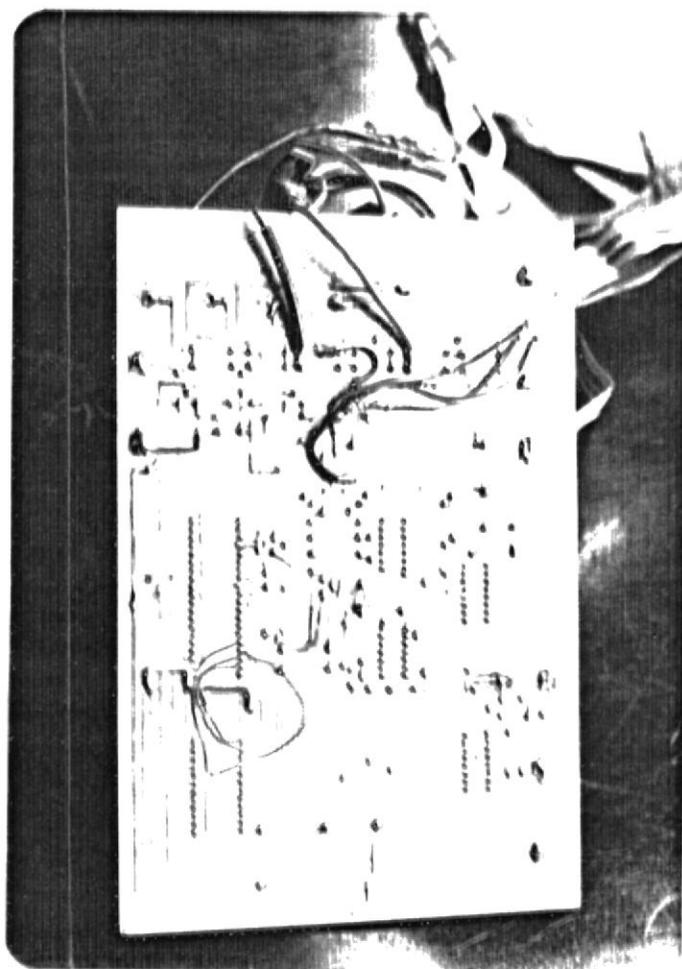


FIGURA 1.13 VISTA POSTERIOR DEL
PROGRAMADOR DE EPROMS

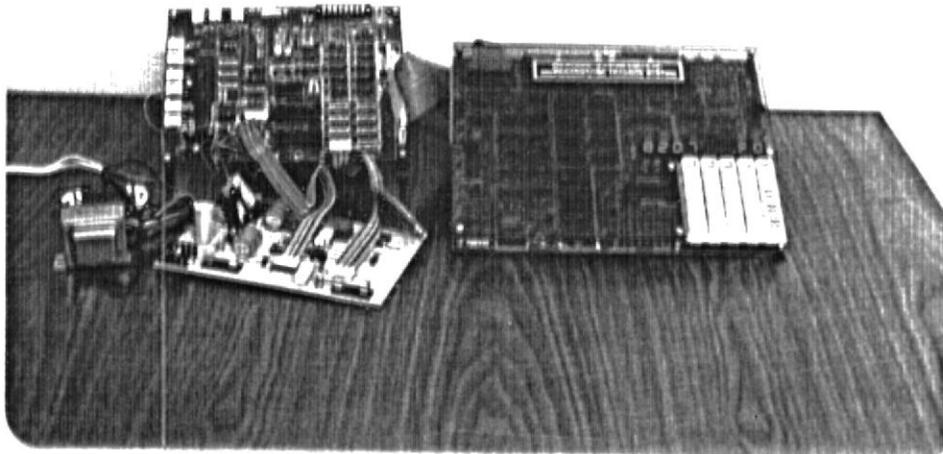


FIGURA 1.14 SISTEMA PROGRAMADOR DE EPROMS

1.3.3. Pequeño programa de prueba

Lo único que se necesita comprobar es la llegada de las señales apropiadas tanto al zócalo donde se va a colocar el EPROM 2708 como al zócalo donde se va a colocar el EPROM 8755A.

Se puso información en cada una de las puertas (8255 # 1 puertas A,C y 8255 # 2 puerta A)

y con un voltímetro se chequeó el voltaje en cada uno de los terminales de los dos zócalos para comprobar que se tenía las condiciones apropiadas de acuerdo al circuito utilizado.

El diagrama de flujo de este programa sencillo/se lo muestra en la figura 1.15.

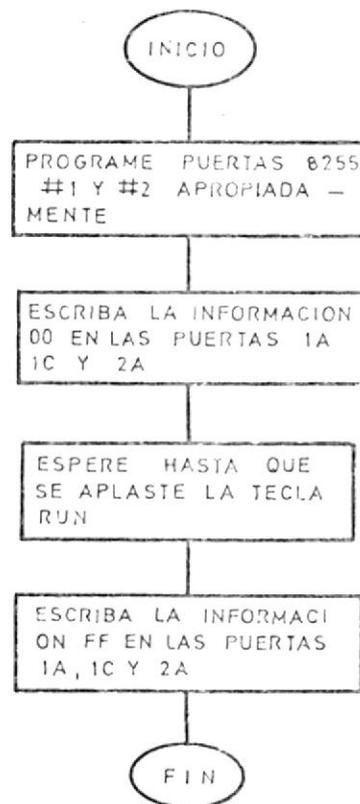


FIG. 1-15 PROGRAMA SENCILLO DE PRUEBA

El listado del programa propiamente se lo ex
pone a continuación.

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
8200	3E	MVI A, 80	Programe 8255 # 1
8201	80		Asalida Bsalida Csa-
8202	D3	OUT CNT1	lida
8203	07		Programe 8255 # 1
8204	D3	OUT CNT2	Asalida Bsalida Csa-
8205	0F		lida
8206	31	LXI SP, ADDRESS	Defina el señalador
8207	00		de pila
8208	86		
8209	3E	MVI A, 00	Escriba la informa -
820A	00		ción 00 en las puer-
820B	D3	OUT a puerta 1A	tas 1A, 1C y 2A
820C	04		
820D	D3	OUT a puerta 1C	
820E	06		
820F	D3	OUT a puerta 2A	GETKY es una de las
8210	0C		subrutinas del moni-
8211	CD	CALL GETKY	tor del microcomputa
8212	3D		dor de entrenamiento.
8213	02		
8214	FE	CPI 14	Espere hasta que se
8215	14		aplaste la tecla RUN
8216	C2	JNZ, ADDRESS (8211)	
8217	11		
8218	82		
8219	3E	MVI A, FF	Escriba la informa -
821A	FF		ción FF en las puer-
821B	D3	OUT a puerta 1A	tas 1A, 1C y 2A.
821C	04		
821D	D3	OUT a puerta 1C	
821E	06		
821F	D3	OUT a puerta 2A	
8220	0C		
8221	CD	CALL GETKY	Espere hasta que se
8222	3D		aplaste la tecla RUN
8223	02		
8224	FE	CPI 14	
8225	14		
8226	C2	JNZ, ADDRESS (8221)	

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
8227	21		
8228	82		
8229	3E	MVI A, 50	Escriba la informa -
822A	50		ción 50 en la puerta
822B	D3	OUT a puerta 1A	1A y la información
822C	04		18 en la puerta 2A.
822D	3E	MVI A, 18	
822E	18		
822F	D3	OUT a puerta 2A	
8230	0C		
8231	76	HLT	PARE

1.4. PROGRAMAS UTILIZADOS PARA LA TRANSFERENCIA DE INFORMA
CION ENTRE EL MICROCOMPUTADOR Y LOS DOS TIPOS DE -
 EPROMS.

1.4.1. Programa verificador de limpieza de la región
a grabarse en el EPROM 2708

El método apropiado para leer información des
 de una dirección determinada de la memoria -
 2708 consiste en: polarizar correctamente el
 circuito integrado, mantener los estados lógi
 cos de los terminales PROG y $\overline{CS}/\overline{WE}$ en bajo y
 direccionar el EPROM para leer la información.

Esto lo podemos corroborar con la figura 1.16
 dada también el apéndice B.

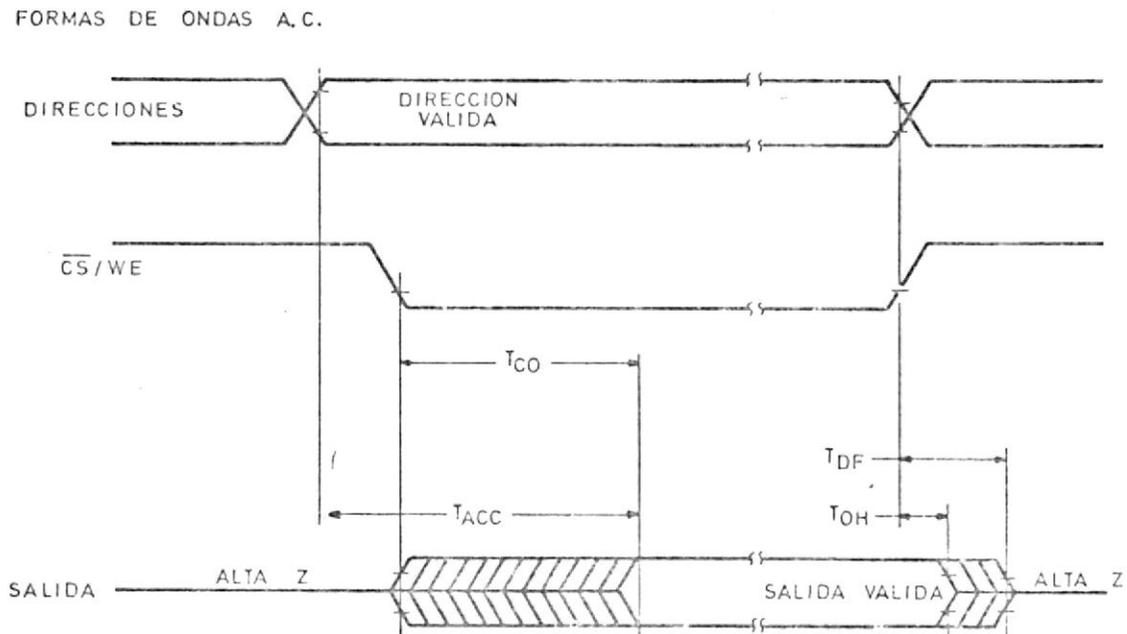


FIGURA 1.16 LECTURA DEL EPROM 2708

1.4.1.1. Diagrama de Flujo (Figura 1.17)

Este diagrama de flujo nos muestra que cada una de las direcciones dentro de la región donde se va a grabar el programa es comparada con FF para averiguar si está libre de programación anterior.

La región a grabarse puede comenzar y terminar en cualquier parte den -

tro de los 1024 direcciones disponibles del 2708.

Si se encuentra alguna dirección que tiene cierta información diferente de FF se deshabilita el teclado y se indica en la unidad de despliegue visual tanto en la dirección como la información en esa dirección que - existe en el EPROM. De lo contrario se envía un mensaje de GOOD a la unidad d.v. y se espera que el usuario pase a la grabación propiamente del programa dentro del circuito integrado presionando el comando RUN.

Es necesario aquí indicar el tipo de información que el usuario debe poner a partir de la dirección 8200 hasta 820B.

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
8200	31	LXI SP. ADDRESS	Defina la ubicación del indicador de pila.
8201		SP. ADDRESS LOW	
8202		SP. ADDRESS HIGH	
8203	11	LXI D. ADDRESS	Dirección del EPROM donde va a colocarse la 1 ^{ra} instrucción a grabarse.
8204		LOW ADDRESS	
8205		HIGH ADDRESS	
8206	01	LXI B, ADDRESS	Dirección de la última instrucción a grabarse.
8207		LOW ADDRESS	
8208		HIGH ADDRESS	
8209	CD	CALL SUBROUTINA	Llame a la subrutina apropiada.
820A			A partir de esta dirección se coloca el programa que va a grabarse en el EPROM.
820B			
820C		PROGRAMA	
820D			
820E			
820F			
8210			

Solamente por comodidad se colocará el diagrama de flujo anterior - desarrollado de tal manera que se pueda realizar una verificación rápida de la lógica si es que existe alguna duda al respecto (Figura - 1.18).

Para efectos de una mayor comprensión utilizaremos la siguiente notación.

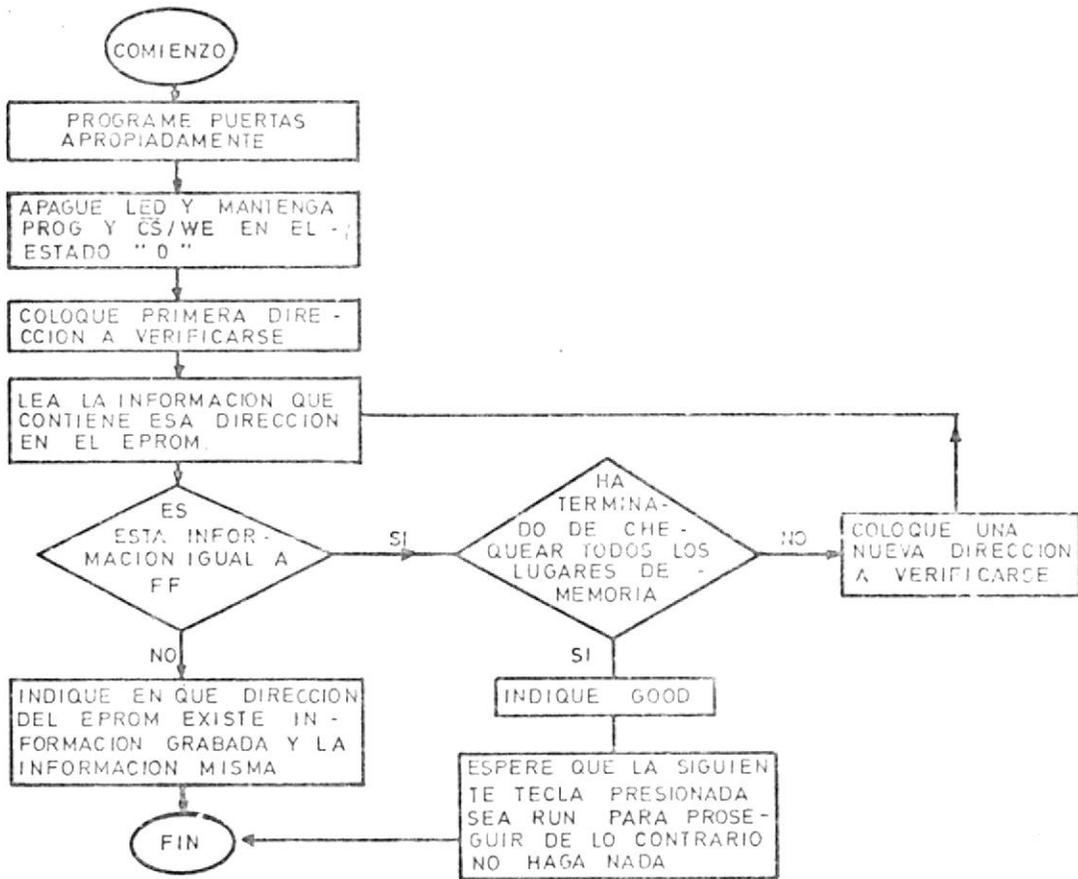


FIGURA 1.17

DIAGRAMA DE FLUJO PARA
EL PROGRAMA VERIFICADOR
DE LIMPIEZA

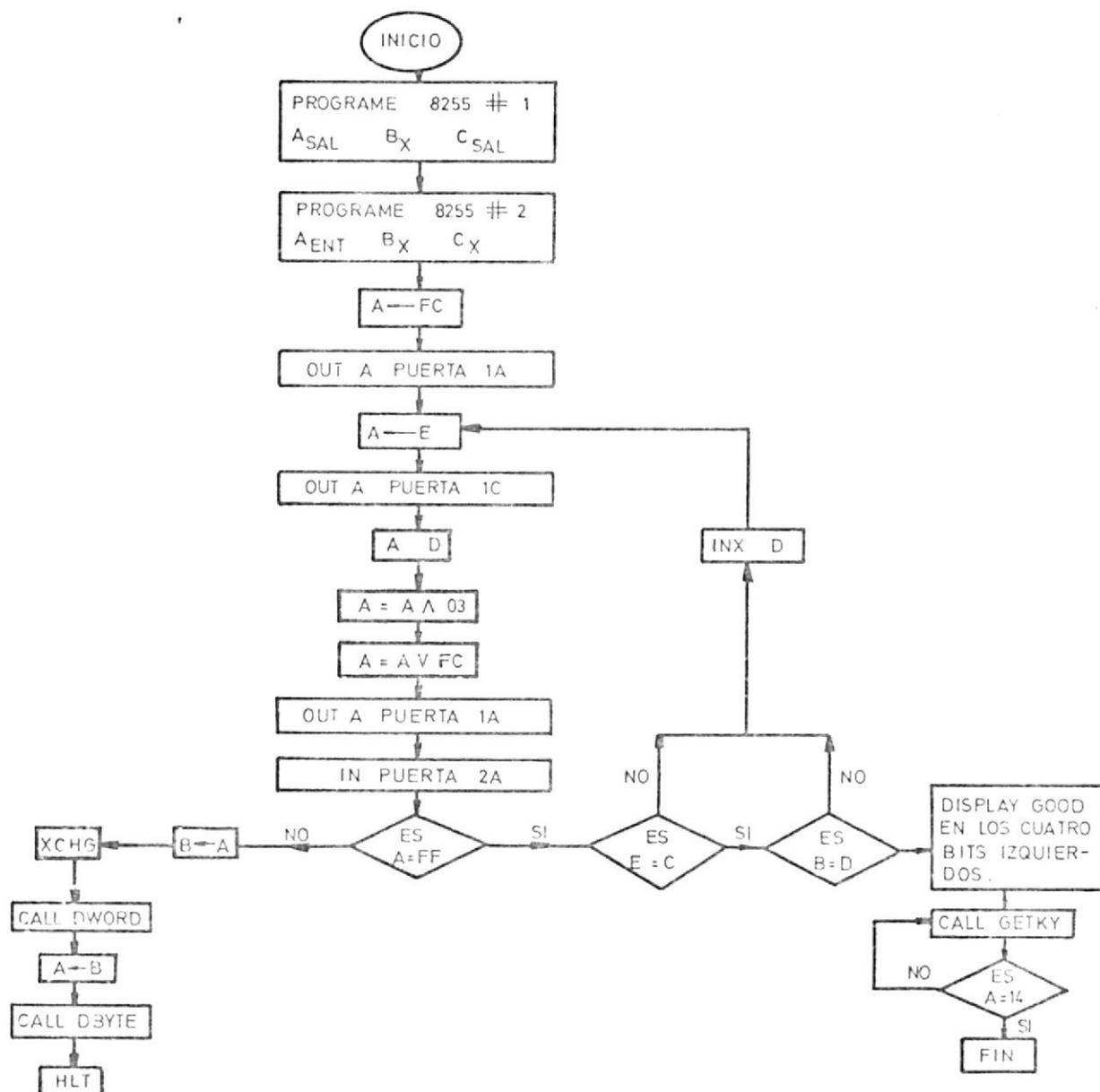


FIGURA 1.18 DIAGRAMA DE FLUJO DESARROLLADO PARA EL VERIFICADOR DE LIMPIEZA

Reg A = A	Reg D = D
Reg B = B	Reg E = E
Reg C = C	Reg H = H
	Reg L = L

Este programa se lo utilizará como una subrutina y formará parte de la memoria del microcomputador de entrenamiento a partir de la dirección 0400.

La razón de esta dirección la comprenderemos con la siguiente sección cuando revisemos la distribución de la memoria en el microcomputador.

1.4.1.2. Listado del programa verificador

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
0400	3E	MVI A, 80	Programe 8255 # 1
0401	80		Asalida Bsalida Csalida.
0402	D3	OUT CNT1	
0403	07		
0404	3E	MVIA, 90	Programe 8255 # 2
0405	90		Aent Bsal Csal
0406	D3	OUT CNT2	
0407	0F		Puerta 1A
0408	3E	MVI A, FC	1 1 1 1 1 1 0 0
0409	FC		
040A	D3	OUT a puerta 1A	Con este paso se ten -

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
040B	04		drá LED apagado.
040C	7B	MOV A, E	Recordar que de la -
040D	D3	OUT a puerta 1C	información que se -
040E	06		escribe desde la di -
040F	7A	MOV A, D	rección 8200 hasta -
0410	E6	ANI 03	820B se tiene que
0411	03		los registros D y E
0412	F6	ORI FC	tienen la primera di -
0413	FC		rección del EPROM -
0414	D3	OUT a puerta 1A	donde se va a grabar
0415	04		instrucciones y los
0416	DB	IN puerta 2A	registros B y C la
0417	0C		última dirección.
0418	FE	CPI FF	Observar que parte -
0419	FF		de la primera direc -
041A	C2	JNZ, ADDRESS (0446)	ción almacenada en
041B	46		el registro D (HIGH
041C	04		BYTE) se ve limitada
041D	7B	MOV A, E	a solo los 2 bits me -
041E	B9	CMP C	nos significativos.
041F	C2	JNZ, ADDRESS (0442)	Acto seguido se agre -
0420	42		ga información que -
0421	04		debe salir por esa -
0422	7A	MOV A, D	misma puerta para -
0423	B8	CMP B	mantener el LED apa -
0424	C2	JNZ, ADDRESS 0442	gado, CS/WE y PROG -
0425	42		en el estado lógico
0426	04		0.
0427	21	LXI H, 83F8	En la unidad de des -
0428	F8		pliegue visual apare -
0429	83		cerá la palabra GOOD
042A	3E	MVI A, 7D	si es que todo está
042B	7D		completamente limpio
042C	77	MOV M, A	de programación. Ob -
042D	23	INX H	servar que GOOD sale
042E	3E	MVI A, 5C	en los cuatro prime -
042F	5C		ros LEDS.
0430	77	MOV M, A	
0431	23	INX H	
0432	77	MOV M, A	
0433	23	INX H	
0434	3E	MVI A, 5E	
0435	5E		
0436	77	MOV M, A	
0437	CD	CALL GETKY	GETKY es una subruti -

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
0438	3D		na del monitor del mi
0439	02		crocomputador que es
043A	FE	CPI 14	pera que sea presiona
043B	14		da una tecla del MTS
043C	C2	JNZ, ADDRESS (0437)	para regresar al pro
043D	37		grama principal (Apén
043E	04		dice A).
043F	C3	JMP, ADDRESS (0450)	Como usted debe notar
0440	50		es tecla debe ser -
0441	04		RUN ya que estamos ve
0442	13	INX D	rificando con 14, que
0443	C3	JMP, ADDRESS (040C)	es el número asignado
0444	0C		a esta tecla.
0445	04		
0446	47	MOV B, A	
0447	EB	XCHG	
0448	CD	CALL DWORD	DWORD es una subruti
0449	D1		na del monitor del
044A	02		MTS que saca en los
044B	78	MOV A, B	cuatro dígitos izquier
044C	CD	CALL DBYTE	dos de la unidad d.v.
044D	95		el contenido de los
044E	02		registros H y L.
044F	76	HLT	DBYTE es una subruti
0450	00	NOP	na del monitor del -
0451	00	NOP	MTS que saca en los -
0452	00	NOP	dos dígitos derechos
0453	00	NOP	de la unidad d.v. el
0454	00	NOP	contenido del acumula
0455			dor.

Está claro entonces que si se encuentra alguna información grabada en la región donde se supone que todo debe estar borrado ya no se podrá seguir adelante con la programación del EPROM porque esto conduci

ría a grabar sobre información ya grabada con el consecuente error.

Lo procedente en este caso será borrar toda la información grabada en el EPROM y programarla nuevamente.

Antes de pasar al programa grabador de información en el 2708 es necesario conocer la distribución de la memoria en el microcomputador de entrenamiento. Esta se da a continuación:

0000	MONITOR PROM
03FF	
0400	
07FF	ROM NO OCUPADO POSICION 1
0800	
0BFF	ROM NO OCUPADO POSICION 2
0C00	
0FFF	ROM NO OCUPADO POSICION 3
1000	
7FFF	NO SE UTILIZA
8000	
83FF	RAM POSICION 0
8400	
87FF	RAM POSICION 1

8800			
	RAM	NO OCUPADO	POSICION 2
8BFF			
8C00			
	RAM	NO OCUPADO	POSICION 3
8FFF			
9000			
	NO SE	UTILIZA	
FFFF			

83C0 - 83FF (64 Bytes ocupados por el monitor del MTS).

Es importante conocer que las direcciones de memoria comprendidas entre 83C0 y 83FF son usados por las subrutinas del monitor del microcomputador y en consecuencia no deben ser usadas por ningún programa corriente.

1.4.2. Software para grabar información en el EPROM 2708.

La información necesaria para la correcta programación de esta memoria se la encuentra en el Apéndice B de éste escrito.

La figura 1.19 nos indica las señales y el momento en que deben aparecer éstas en los terminales de la memoria 2708.

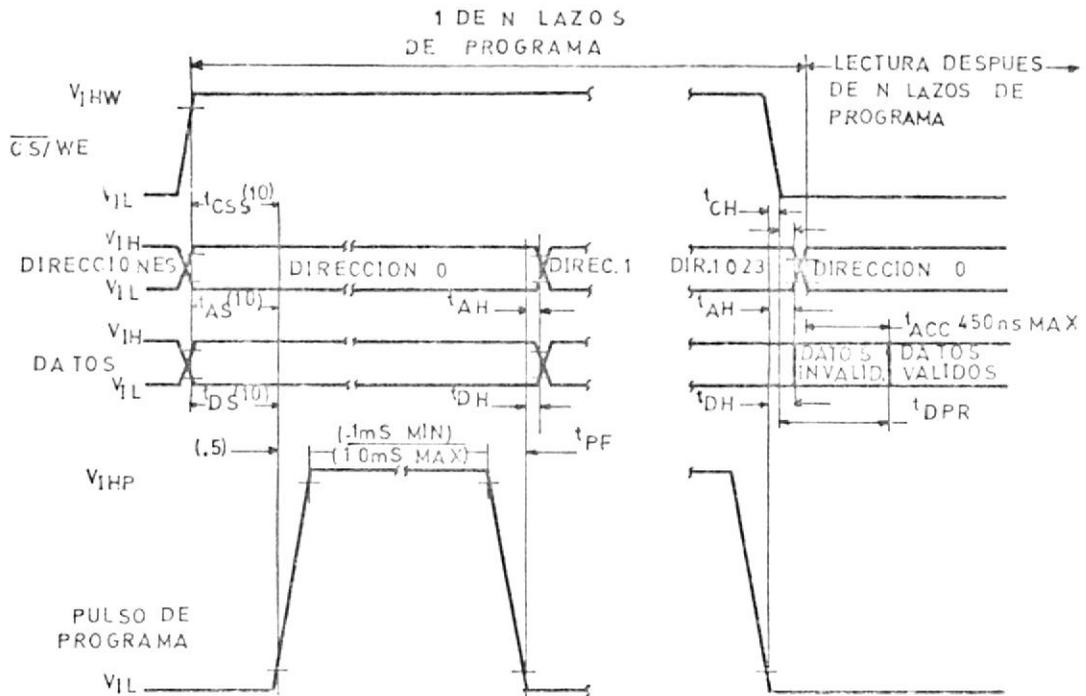


FIGURA 1-19. CURVAS DE PROGRAMACION DEL EPROM 2708

Tal como lo podemos leer en la información dada, después del borrado con una lámpara ultravioleta todos los bits del 2708 se colocan en el estado lógico 1. La programación consiste en cambiar selectivamente de unos a ceros.

Después de que se eleva el voltaje de la línea \overline{CS}/WE a + 12 v, cada byte se programa aplicando la dirección e información a los -

terminales apropiados y luego pulsando la entrada PROGRAM. El método apropiado consiste en pasar a través de todas las direcciones - muchas veces. Cada corrida a través de todas las direcciones se llama un lazo de programa.

Las especificaciones para el 2708 nos dicen que el número de lazos de programa multiplicado por la duración del pulso de programa - deben formar un pulso total de por lo menos 100 mseg. para cada dirección.

El programa se lo utilizará como una subrutina y para satisfacer los requerimientos del 2708 escojo 256 lazos de programa con un pulso de programa de una duración de 0.5 mseg - por lazo lo que me dará un pulso total de - 128 mseg por dirección que me cubre las necesidades presentadas.

1.4.2.1. Diagrama de flujo

Anteriormente se había mencionado que el programa a grabarse en el -

EPROM debía colocarse a partir de la dirección 820C del microcomputador de entrenamiento independientemente de la primera dirección donde se va a grabar en el circuito integrado.

El software que se expone a continuación simplificado en un diagrama de flujo (Figura 1.20) opera de la siguiente manera:

Toma la primera dirección a grabarse en el EPROM de las direcciones 8204 y 8205 y las coloca en la barra de direcciones del EPROM junto con el pulso de + 12 v en el terminal \overline{CS}/WE utilizando las puertas 1A y 1C, luego toma la información correspondiente a esta primera dirección de la ubicación 820C del MTS y la coloca en la barra de datos del EPROM utilizando la puerta 2A para finalmente terminar la programación de ésta di

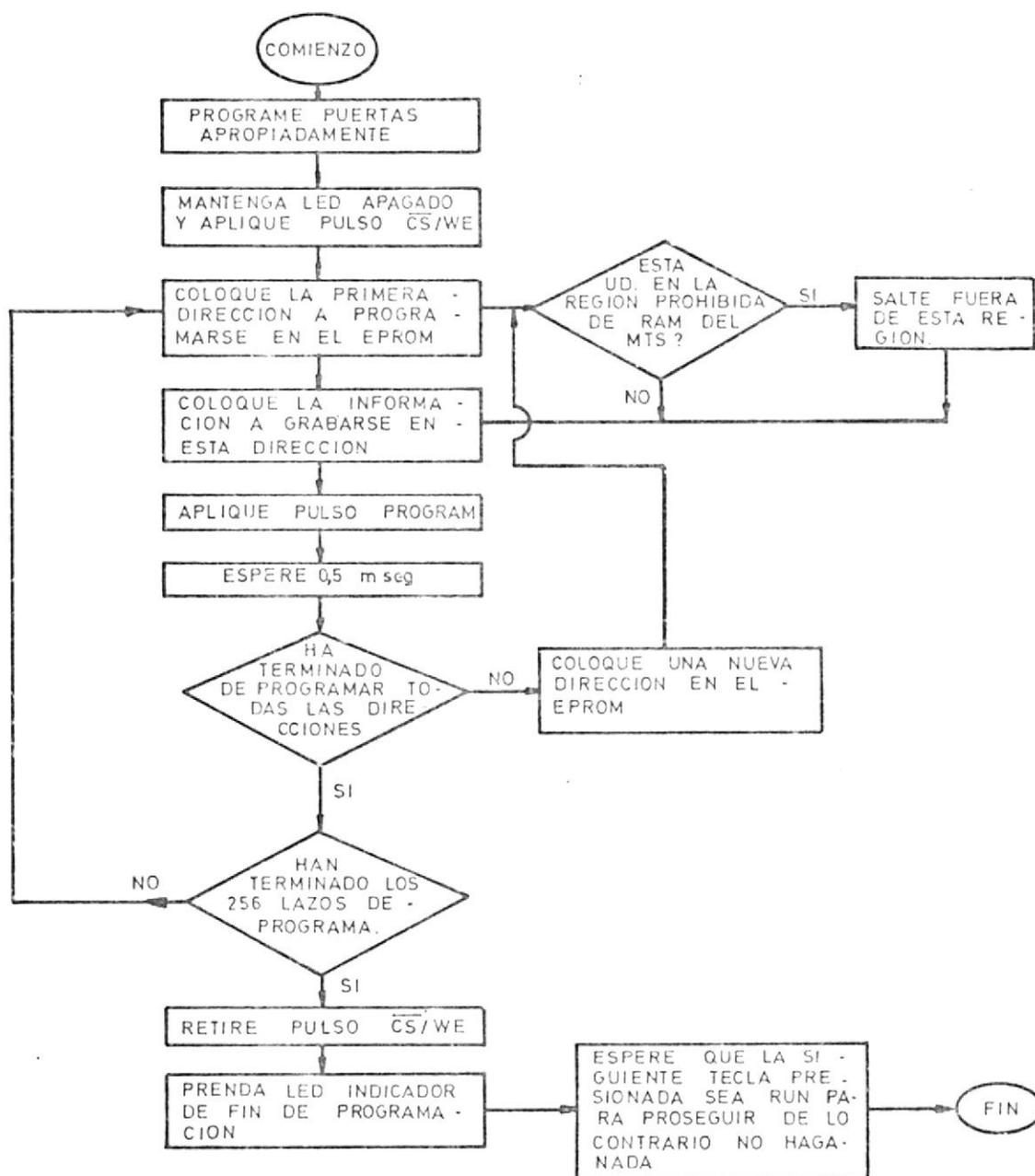


FIGURA 1.20

DIAGRAMA DE FLUJO DEL PROGRAMA GRABADOR DE INFORMACION

rección en lo que respecta al primer lazo de programa aplicando un pulso de + 24 v con una duración de 0.5 mseg en el terminal PROG - del 2708.

Como siguiente paso se incrementa en 1 la dirección en la barra de direcciones del EPROM y se toma para la barra de datos la información contenida en la dirección - 820C incrementada en 1 del microcomputador de entrenamiento para luego proceder de la misma forma que anteriormente. Así se sigue sucesivamente a través de todas - las direcciones del programa a - grabarse hasta alcanzar la última dirección para completar un lazo de programa.

Luego se comienza otro lazo de - programa y se procede exactamente de la misma forma anterior. El - grabado del programa se terminará

cuando se hallan completado 256 la
zos de programa.

Si el programa es tan largo que -
llega a la dirección 83BF en el -
MTS y la sobrepase entonces deberá
ser cortado en esta dirección y
recomenzado en la dirección 8400 -
para saltar la región 83C0 - 83FF
utilizados por el monitor del mi -
crocomputador.

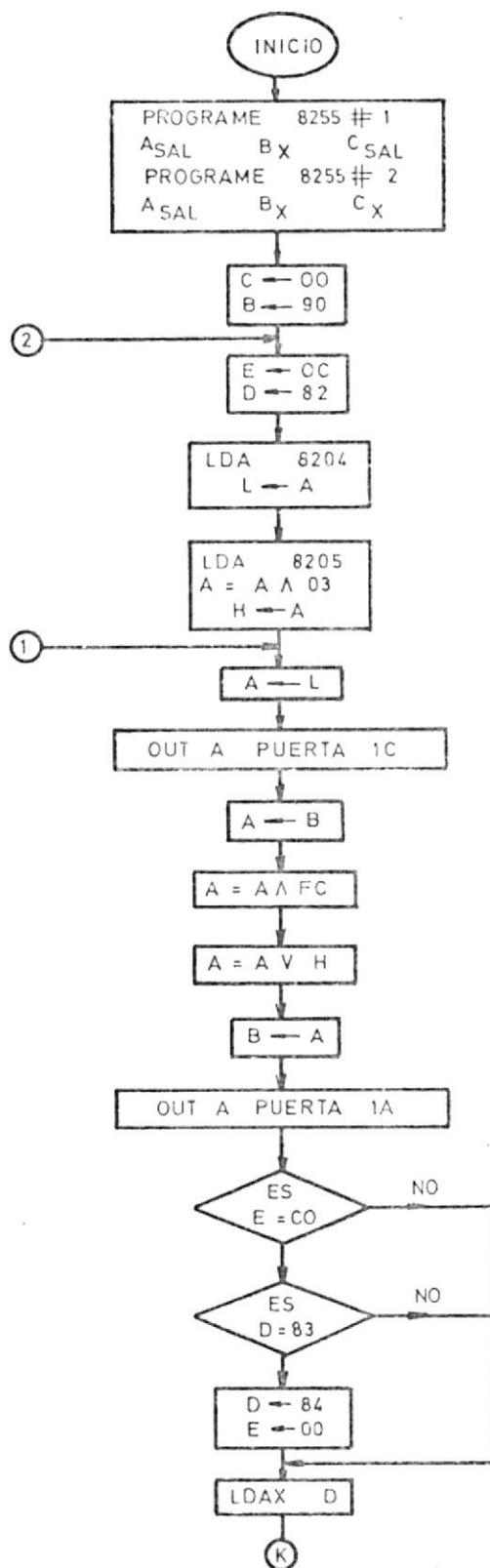
Es por esta razón que antes de co
locar la información correspondiente
a cierta dirección de RAM en la
barra de datos del EPROM se verifica
si esa dirección es igual a -
83C0. Si lo es, la información -
que deberá colocarse no será la re
lacionada con ésta dirección sino
la relacionada con la dirección -
8400 del MTS.

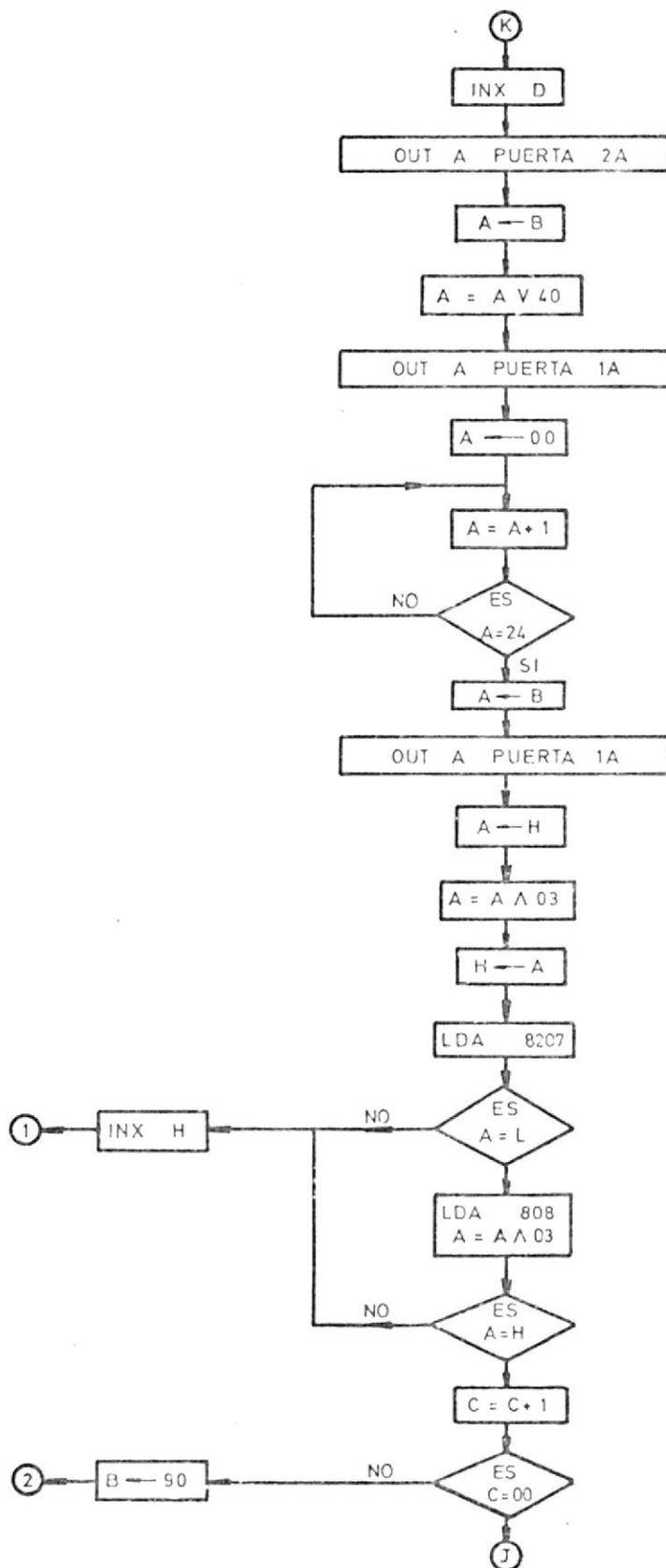
Una vez que se termina la graba -
ción de un programa en el 2708 se

prenderá un LED indicador de fin de programación.

Aquí al igual que en el programa anterior se necesitará que el usuario aplaste la tecla RUN para pasar a la verificación de una grabación correcta de la memoria.

Por motivos de una rápida revisión se ha desarrollado el diagrama de flujo anterior (Figura 1.21). En él vemos que los registros H y L - contienen la dirección que se va a colocar en la barra de direcciones del EPROM y los registros D y E - contienen la dirección de RAM del MTS que posee la información correspondiente. Estos registros se van incrementando a medida que se va grabando dirección por dirección en un lazo de programa y se inicializarán cuando se termine este lazo dando paso al comienzo de otro.





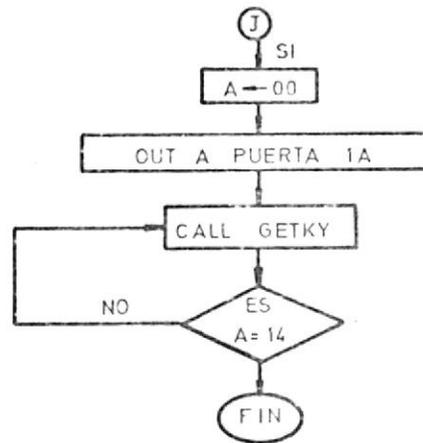


FIGURA 1.21 DIAGRAMA DE FLUJO DESARROLLADO DEL PROGRAMA GRABADOR

Los registros D y E se cargarán - con la dirección 8400 al alcanzar éstos la dirección 83BF para saltar la región utilizada por el monitor tal como lo explicamos anteriormente.

1.4.2.2. Listado del programa grabador

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
0455	3E	MVI A, 80	Programa 8255 # 1
0456	80		Asalida Bsalida
0457	D3	OUT CNT1	Csalida
0458	07		Programe 8255 # 2
0459	D3	OUT CNT2	Asalida Bsalida

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
045A	0F		Csalida
045B	01	LXI B, ADDRESS (9000)	
045C	00		REG B
045D	90		1 0 0 1 0 0 0 0
045E	11	LXI D, ADDRESS (820C)	9 0
045F	0C		
0460	82		
0461	3A	LDA 8204	Si consideramos que ésta información va a salir por la puerta 1A en su momento oportuno tendremos que el LED está apagado y se aplica un pulso de + 12 v al terminar CS/WE.
0462	04		
0463	82		
0464	6F	MOV L, A	
0465	3A	LDA 8205	
0466	05		
0467	82		
0468	E6	ANI 03	
0469	03		En los registros H,L vamos a mantener la dirección del EPROM.
046A	67	MOV H, A	
046B	7D	MOV A, L	
046C	D3	OUT a puerta 1C	Ponga los 8 bits menos significativos de direccionamiento del EPROM.
046D	06		
046E	78	MOV A, B	
046F	E6	ANI FC	
0470	FC		
0471	B4	ORA H	
0472	47	MOV B, A	Ponga los dos bits restantes de direccionamiento + CS/WE estando el LED apagado.
0473	D3	OUT a puerta 1A	
0474	04		
0475	7B	MOV A, E	
0476	FE	CPI C0	
0477	C0		Pregunta si se ha llegado a la región prohibida 83C0-83FF ocupada por las subrutinas del monitor.
0478	C2	JNZ, ADDRESS (0484)	
0479	84		
047A	04		
047B	7A	MOV A, D	
047C	FE	CPI 83	Si es así salte a la dirección 8400.
047D	83		
047E	C2	JNZ, ADDRESS (0484)	
047F	84		
0480	04		
0481	11	LXI D, ADDRESS (8400)	
0482	00		
0483	84		
0484	1A	LDAX D	
0485	13	INX D	
0486	D3	OUT a puerta 2A	Meta la información

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
0487	0C		a programarse en la di
0488	78	MOV A, B	rección dada.
0489	F6	ORI 40	
048A	40		
048B	D3	OUT a puerta 1A	Ponga pulso PROGRAM.
048C	04		
048D	AF	XRA A	Espera 0.5 mseg
048E	3C	INR A	
048F	FE	CPI 33	
0490	33		
0491	C2	JNZ, ADDRESS (048E)	
0492	8E		
0493	04		
0494	78	MOV A, B	
0495	D3	OUT a puerta 1A	
0496	04		
0497	AF	XRA A	
0498	00	NOP	
0499	CD	CALL CHECK (0660)	CHECK verifica si ya
049A	60		se ha llegado a la úl
049B	06		tima dirección dentro
049C	FE	CPI 00	de la región que se -
049D	00		está programando. Su
049E	C2	JNZ, ADDRESS (04A5)	listado y su diagrama
049F	A5		de flujo se encontra-
04A0	04		rá al final de este
04A1	23	INX H	programa.
04A2	C3	JMP, ADDRESS (046B)	
04A3	6B		
04A4	04		
04A5	0C	INR C	
04A6	00	NOP	
04A7	00	NOP	
04A8	CA	JZ, ADDRESS (04B0)	
04A9	B0		
04AA	04		
04AB	06	MVI B, 90	
04AC	90		
04AD	C3	JMP, ADDRESS (045E)	
04AE	5E		
04AF	04		
04B0	AF	XRA A	
04B1	D3	OUT a puerta 1A	
04B2	04		
04B3	CD	CALL GETKY	

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
04B4	3D		
04B5	02		
04B6	FE	CPI 14	Pregunte si la tecla
04B7	14		aplastada es la te
04B8	C2	JNZ, ADDRESS (04B3)	cla RUN.
04B9	B3		
04BA	04		
04BB			
04BC			

1.4.3. Subrutina CHECK

La razón por la que hemos utilizado esta subrutina de verificación de terminación de un lazo de programa es porque será usada también para el programador del 8755A con el consecuente ahorro de pasos de memoria como notaremos posteriormente.

Dentro de la subrutina hacemos una operación ANI 03 en un caso y ANI 07 en otro. La razón es la siguiente:

Cuando el usuario introduce tanto la primera dirección a grabarse como la última, el mete estas direcciones referidas a su hard

ware (16 bits), pero lo que realmente nos interesa son solamente los 10 bits menos significativos para el caso del 2708 y los 11 bits menos significativos para el caso del 8755A. El resto no nos interesa por lo tanto se lo elimina con la instrucción antes mencionada.

La selección para un caso u otro se lo hace introduciendo un valor en el acumulador antes de llamar a la subrutina.

Esta subrutina termina con un valor de 01 en el acumulador si es que se ha terminado el lazo de programa de lo contrario retornará con un valor de 0 en el acumulador.

1.4.3.1. Diagrama de flujo (Figura 1.22)

1.4.3.2. Listado de la subrutina

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
0660	FE	CPI 00	
0661	00		
0662	C2	JNZ, ADDRESS (067A)	
0663	7A		

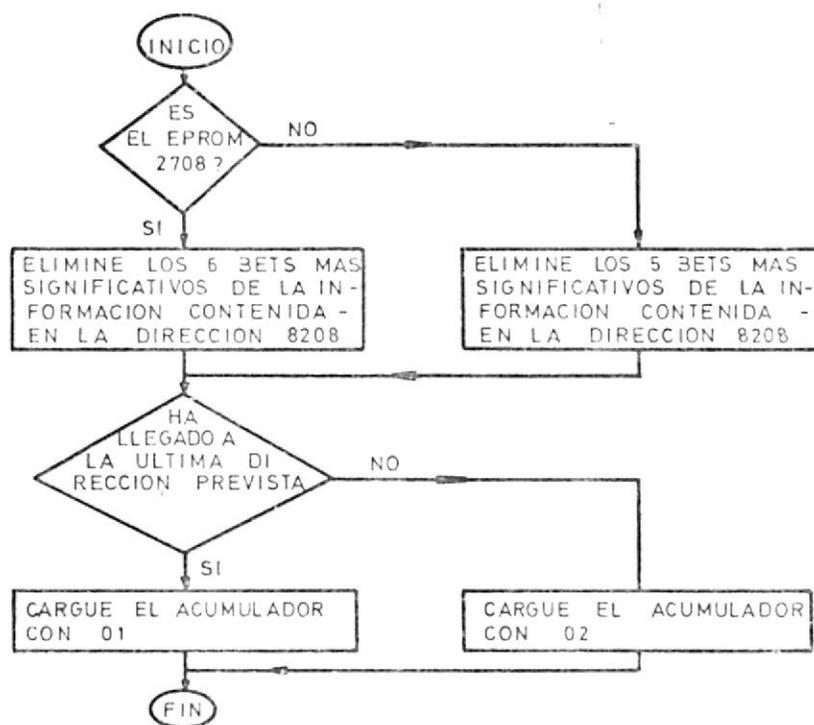


FIGURA 1.22 DIAGRAMA DE FLUJO DE LA SUBROUTINA CHECK

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
0664	06		
0665	3A	LDA 8208	
0666	08		
0667	82		
0668	E6	ANI 03	
0669	03		
066A	BC	CMP H	
066B	C2	JNZ, ADDRESS (0678)	
066C	78		
066D	06		
066E	3A	LDA 8207	
066F	07		
0670	82		
0671	BD	CMP L	
0672	C2	JNZ, ADDRESS (0678)	
0673	78		

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
0674	06		
0675	3E	MVI A, 01	
0676	01		
0677	C9	RETURN	
0678	AF	XRA	
0679	C9	RETURN	
067A	3A	LDA 8208	
067B	08		
067C	82		
067D	E6	ANI 07	
067E	07		
067F	C3	JMP, ADDRESS (066A)	
0680	6A		
0681	06		
0682			

1.4.4. Programa para comprobación de grabado en el EPROM 2708

Una vez que el EPROM ha sido grabado es necesario comprobar si ésta grabación ha sido correctamente hecha. Para ello es necesario comparar el programa grabado en el EPROM con el programa que se encuentra en la memoria del microcomputador dirección por dirección.

Si no se encuentra error algunos un mensaje de GOOD aparecerá en la unidad d.v. completándose con ello la programación -

1.4.4.1 Diagrama de Flujo

Tal como se lo ha hecho anteriormente se desarrollará el diagrama de flujo de la figura 1.23 por motivos de comodidad de revisión (figura 1.24).

Al igual que en el programa de grabado anterior se verifica si la dirección de RAM del MTS contenida en los registros D y E entran en la región utilizada por el monitor del MTS, sino es así carga en el acumulador la información contenida en esta dirección para luego compararla con la información sacada del EPROM, en caso contrario se salta inmediatamente a la dirección 8400 y es esta información que se utiliza y no la correspondiente a la dirección 83C0.

Se usa la instrucción PUSH B para guardar la información contenida

del EPROM de lo contrario obtendremos la dirección del EPROM (lugar donde se ha producido un error) en los LEDS izquierdos de la unidad d.v. y la información contenida en esta dirección en los dos LEDS de la derecha .

Si se desea hacer una comparación con la información contenida en la memoria RAM del microcomputador correspondiente a esa direc - ción de EPROM solo se necesita aplastar cual quier tecla de comando obteniéndose la direc ción de RAM sobre los cuatro LEDS izquierdos y la información sobre los dos LEDS del ex - tremo derecho.

Es importante tener presente que la informa - ción que se encuentra en el microcomputador a partir de la dirección 820C es la correcta y es la que debería aparecer en el EPROM una vez terminada la grabación de éste.

Conociendo las condiciones de lectura del - EPROM 2708 se plantea el diagrama de flujo - correspondiente tal como lo indica la figura 1.23.

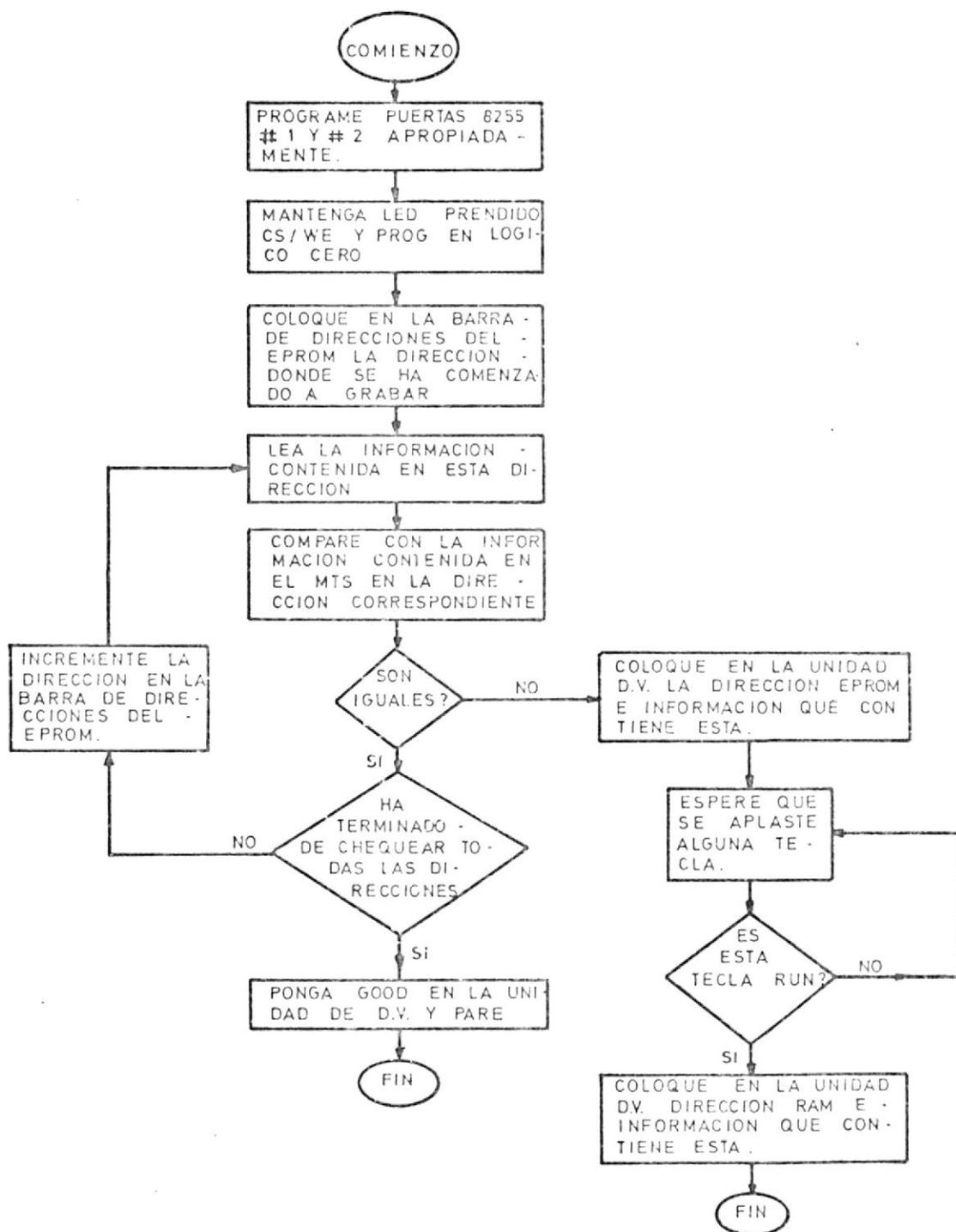
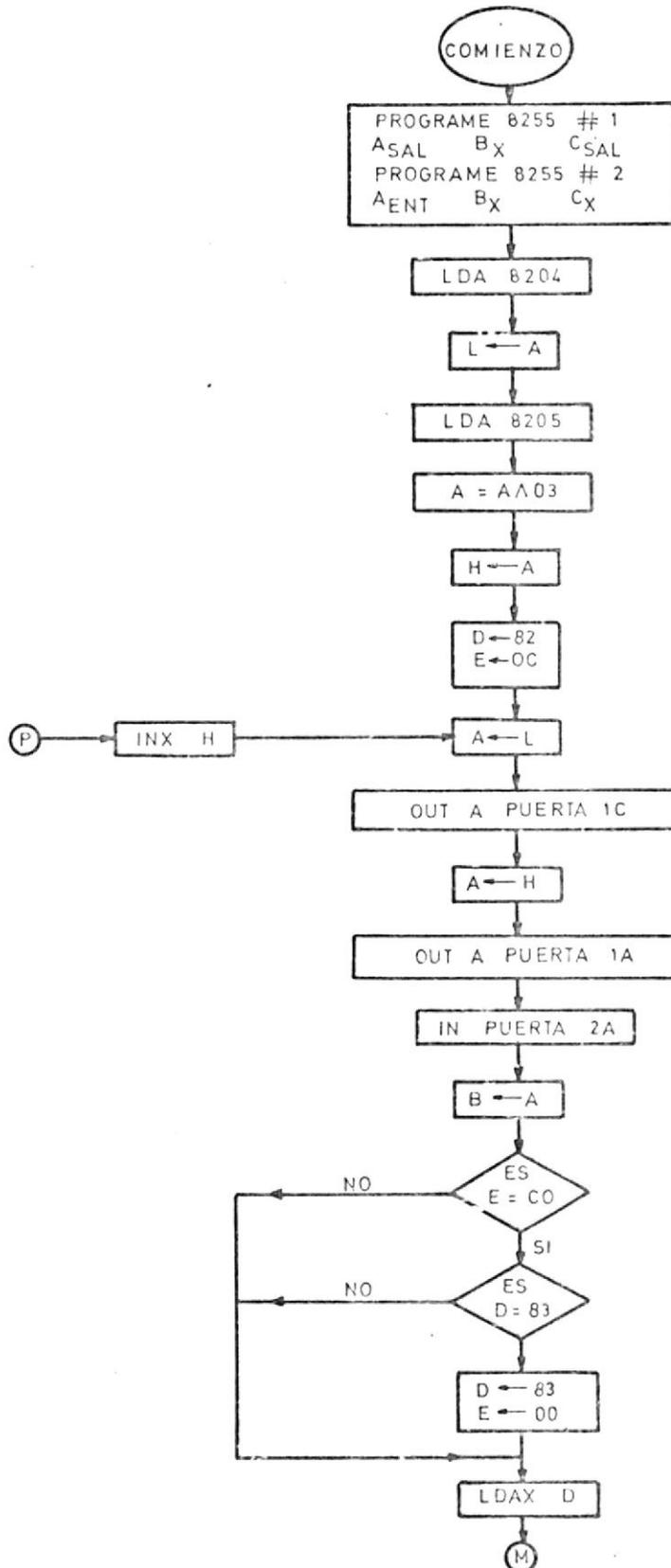


FIGURA 1.23

DIAGRAMA DE FLUJO DEL PROGRAMA VERIFICADOR DE UNA CORRECTA PROGRAMACION



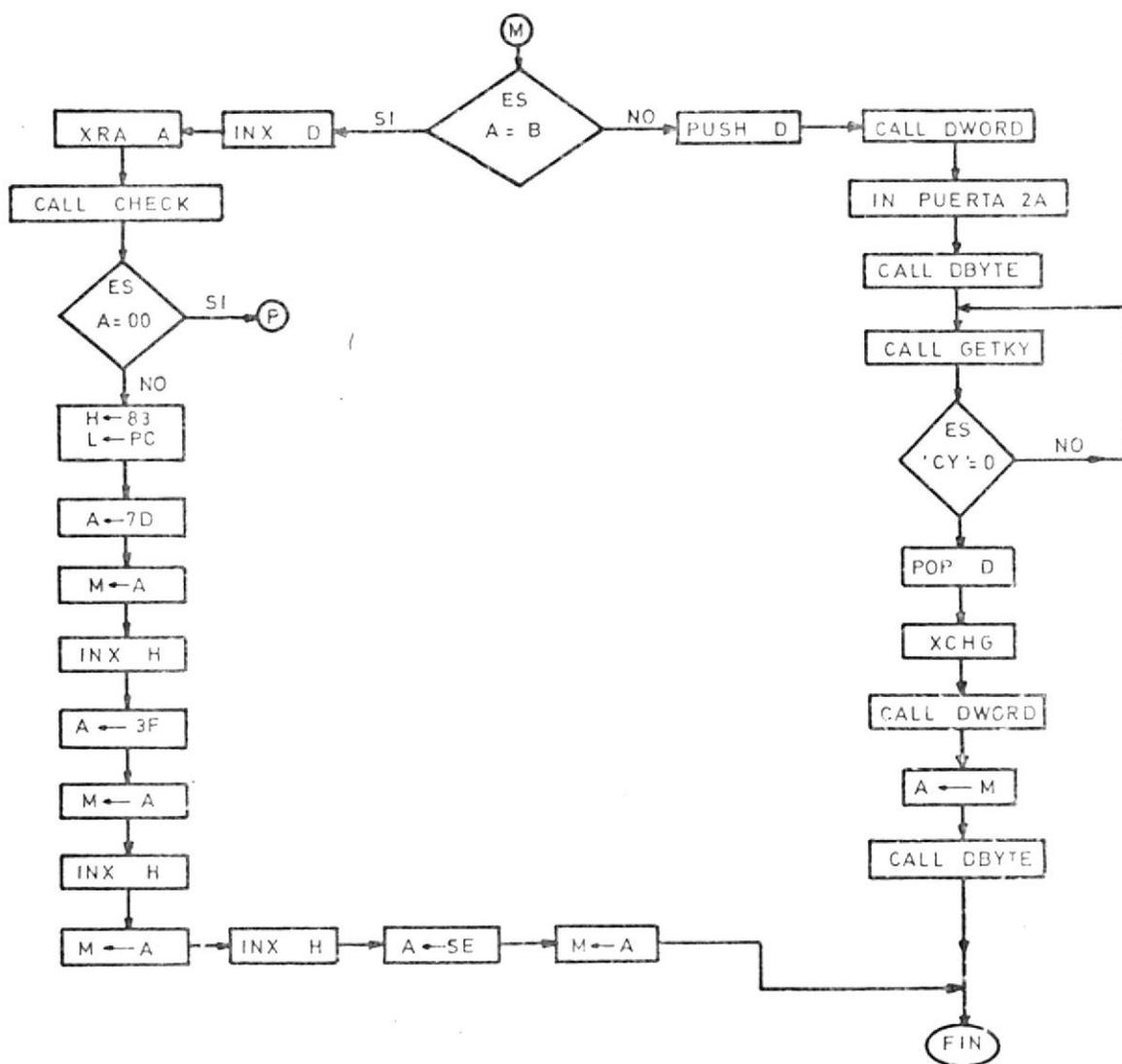


FIGURA 1.24

DIAGRAMA DE FLUJO DESARROLLADO
DEL PROGRAMA VERIFICADOR DE
CORRECTA INFORMACION.

en los registros D y E ya que de no hacerlo se perdería al utilizar la subrutina DWORD.

Cuando una tecla de comando es presionada la bandera de CARRY se hace 1 y es justamente lo que verificamos después de llamar a la subrutina GETKY para poder diferenciar entre las teclas de comando y las teclas numéricas.

El listado del programa se lo expone a continuación.

1.4.4.2. Listado del programa verificador de grabado

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
04BB	3E	MVI A, 90	Programe puertas 8255
04BC	90		# 2
04BD	D3	OUT CNT 2	Aent Bx Cx
04BE	0F		No hay necesidad de -
04BF	3A	LDA 8204	reprogramar las puer
04C0	04		tas del 8255 # 1
04C1	82		Ponga primera instruc
04C2	6F	MOV L, A	ción a leerse.
04C3	3A	LDA 8205	

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
04C4	05		
04C5	82		
04C6	E6	ANI 03	
04C7	03		
04C8	67	MOV H, A	
04C9	11	LXI D, ADDRESS (820C)	
04CA	0C		
04CB	82		
04CC	7D	MOV A, L	Ponga los 8 bits me -
04CD	D3	OUT a puerta 1C	nos significativos en
04CE	06		la barra de direccio -
04CF	7C	MOV A, H	nes del EPROM.
04D0	F6	ORI 7C	
04D1	7C		
04D2	D3	OUT a puerta 1A	Ponga los 2 bits res -
04D3	04		tantes en la barra de
04D4	DB	IN puerta 2A	direcciones del EPROM.
04D5	0C		
04D6	47	MOV B, A	En este momento el re -
04D7	7B	MOV A, E	gistro B tiene la in -
04D8	FE	CPI 00	formación leída desde
04D9	C0		el EPROM para la di -
04DA	C2	JNZ, ADDRESS (04E6)	rección particular -
04DB	E6		que se está verifican -
04DC	04		do.
04DD	7A	MOV A, D	
04DE	FE	CPI 83	
04DF	83		
04E0	C2	JNZ, ADDRESS (04E6)	
04E1	E6		
04E2	04		
04E3	11	LXI D, ADDRESS (8400)	
04E4	00		
04E5	84		
04E6	1A	LDAX D	
04E7	B8	CMP B	
04E8	C2	JNZ, ADDRESS (050C)	
04E9	0C		
04EA	05		
04EB	13	INX D	
04EC	AF	XRA A	
04ED	CD	CALL CHECK (0660)	Llame a CHECK para -
04EE	60		preguntar si es que -
04EF	06		se ha terminado de -
04F0	00	NOP	chequear todas las di -
04F1	FE	CPI 00	recciones.

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
04F2	00		
04F3	C2	JNZ, ADDRESS (04FA)	
04F4	FA		
04F5	04		
04F6	23	INX H	
04F7	C3	JMP, ADDRESS (04CC)	
04F8	CC		
04F9	04		
04FA	21	LXI H, ADDRESS (83FC)	Observar que GOOD saldrá en los cuatro LEDs derechos, del d. v. del MTS.
04FB	FC		
04FC	83		
04FD	3E	MVI A, 7D	
04FE	70		
04FF	77	MOV M, A	
0500	23	INX H	
0501	3E	MVI A, 5C	
0502	5C		
0503	77	MOV M, A	
0504	23	INX H	
0505	77	MOV M, A	
0506	23	INX H	
0507	3E	MVI A, 5E	
0508	5E		
0509	77	MOV M, A	
050A	76	HLT	
050B	00	NOP	
050C	D5	PUSH D	
050D	CD	CALL DWORD	
050E	D1		
050F	02		
0510	DB	IN puerta 2A	En vez de volver a leer la puerta 2A se pudo utilizar la instrucción A B.
0511	0C		
0512	CD	CALL DBYTE	
0513	95		
0514	02		
0515	CD	CALL GETKY	
0516	3D		
0517	02		
0518	DA	JC, ADDRESS (0515)	Pregunte si es que una tecla de comando ha sido presionada.
0519	15		
051A	05		
051B	D1	POP D	
051C	EB	XCHG	
051D	CD	CALL DWORD	
051E	D1		

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
051F	02		
0520	7E	MOV A, M	
0521	CD	CALL DBYTE	
0522	95		
0523	02		
0524	76	HLT	

Con esto termina la programación y verificación del EPROM 2708.

La forma de utilización del circuito y su correcto uso se lo especificará posteriormente.

1.4.5. Programa de Lectura del EPROM 2708 dirección por dirección

Aún cuando se redunda en el mismo tipo de programación se ha elaborado un programa para leer datos dirección por dirección a partir de una dirección metida en los registros D y E.

Esto será de mucha ayuda cuando se desea saber qué programas contiene un circuito de memoria determinado y cuál es su función.

1.4.5.1. Diagrama de flujo

El programa tiene la siguiente secuencia:

- a) Lee la información que existe en una dirección de memoria de terminada por el contenido de los registros D y E.
- b) Coloca tanto la dirección como la información en la unidad de despliegue visual.
- c) Espera a que se aplaste la tecla NEXT. De lo contrario no hace nada.
- d) Al presionarse la tecla NEXT - se incrementa en 1 la dirección contenida en los registros D y E y se ejecuta nuevamente los pasos a, b, y c.
- e) Cuando se lee la última dirección (1023) se deshabilita el teclado del MTS. (Fig. 1.25)

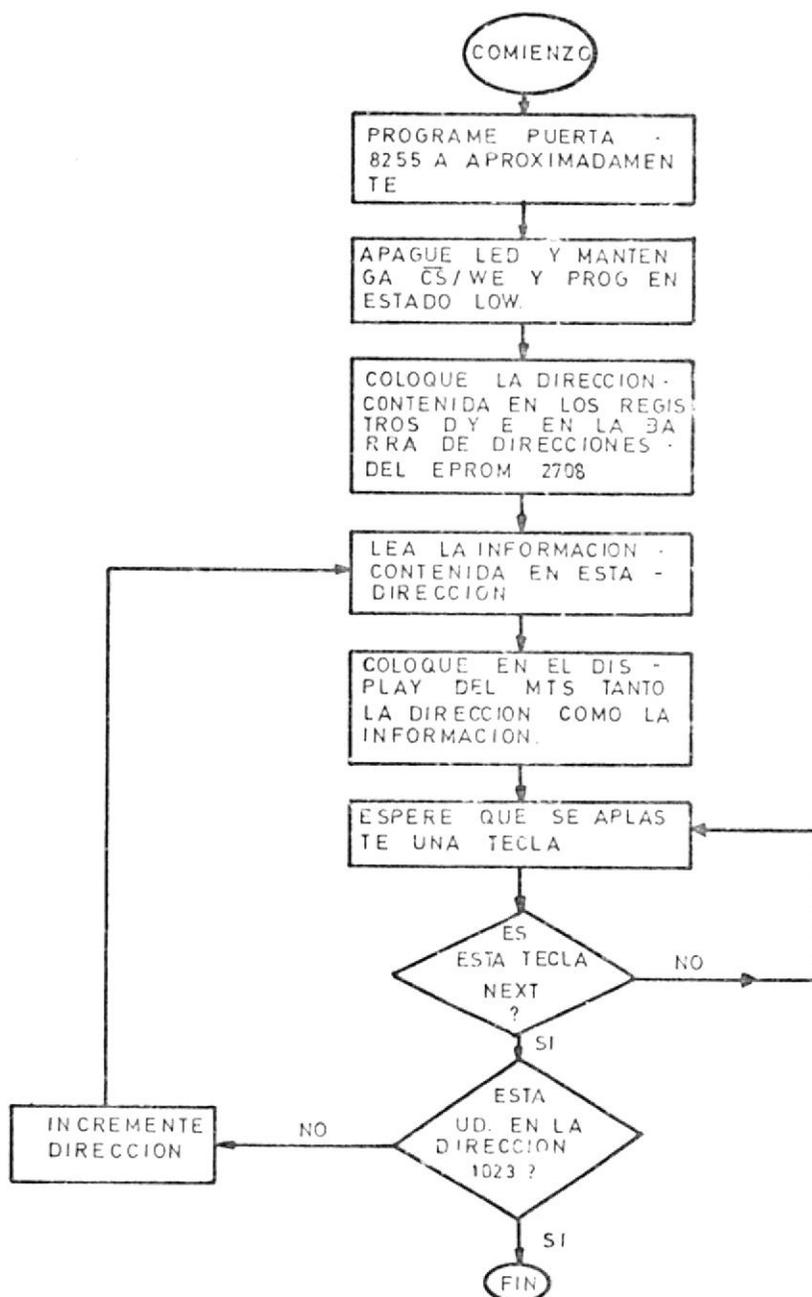


FIGURA 1.25

DIAGRAMA DE FLUJO DEL PROGRAMA DE LECTURA DEL EPROM 2708

1.4.5.2. Listado del programa de lectura

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
0682	3E	MVI A, 80	Programa 8255 # 1
0683	80		Asalida Bsalida
0684	D3	OUT CNT1	Csalida
0685	07		
0686	3E	MVI A, 90	Programa 8255 # 2
0687	90		Aent Bsal Csal
0688	D3	OUT CNT2	
0689	0F		
068A	3E	MVI A, FC	
068B	FC		
068C	D3	OUT a puerta 1A	
068D	04		
068E	7B	MOV A, E	
068F	D3	OUT a puerta 1C	
0690	06		
0691	7A	MOV A, D	
0692	E6	ANI 03	
0693	03		
0694	F6	ORI FC	
0695	FC		
0696	D3	OUT a puerta 1A	
0697	04		
0698	DB	IN puerta 2A	Lea la información co
0699	0C		rrespondiente a ésta
069A	47	MOV B, A	dirección.
069B	D5	PUSH D	
069C	EB	XCHG	
069D	CD	CALL DWORD	
069E	D1		
069F	02		
06A0	78	MOV A, B	
06A1	CD	CALL DBYTE	
06A2	95		
06A3	02		
06A4	CD	CALL GETKY	
06A5	3D		
06A6	02		
06A7	FE	CPI 15	Averigüe si la tecla
06A8	15		aplastada es NEXT.
06A9	C2	JNZ, ADDRESS (06A4)	
06AA	A4		

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
06AB	06		
06AC	D1	POP D	
06AD	00	NOP	
06AE	7B	MOV A, E	
06AF	FE	CPI FF	
06B0	FF		
06B1	C2	JNZ, ADDRESS (06BD)	
06B2	BD		
06B3	06		
06B4	7A	MOV A, D	
06B5	E6	ANI 03	
06B6	03		
06B7	FE	CPI 03	
06B8	03		
06B9	C2	JNZ, ADDRESS (06BD)	
06BA	BD		
06BB	06		
06BC	76	HLT	
06BD	13	INX D	
06BE	C3	JMP, ADDRESS (068E)	
06BF	8E		
06C0	06		
06C1	00		
06C2	00		

1.4.6. Programa de verificación de limpieza de la - región a grabarse en el EPROM 8755A

De la misma manera como lo hicimos para el 2708 es necesario verificar que la región - donde se va a grabar esté totalmente limpia de información anterior.

La figura 1.26 toma parte de la información

que se encuentra al final de éste trabajo - (Apéndice B) y nos indica las señales y el momento que deben aparecer para efectuar tanto la lectura del EPROM como la escritura y

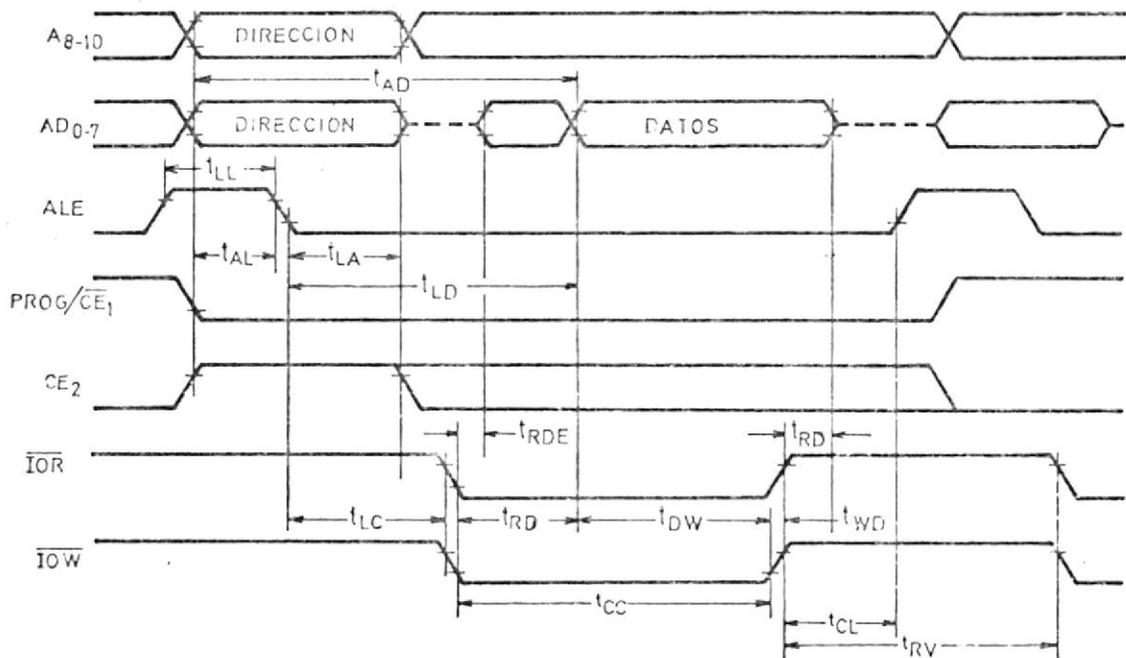


FIG. I-26 LECTURA DE EPROM, ESCRITURA Y LECTURA DE I/O

lectura de las puertas de entrada/salida.

\overline{CE}_1 debe permanecer bajo en todo el ciclo, - CE_2 puede mantenerse alto durante todo el ciclo si así se desea de lo contrario debe man

tenerse alto solamente hasta que se direcciona al EPROM.

Se aplica el pulso de ALE para que la dirección presente en la barra de direcciones sea agarrada internamente. En el momento que este pulso desaparece los 8 bits menos significativos de la barra de direcciones se transforman en barra de datos.

Para poder leer la información correspondiente a esta dirección se necesita que \overline{RD} sea bajo y se tendrán datos válidos después de un tiempo t_{RD} (170 nseg).

1.4.6.1. Diagrama de flujo (Figura 1.27)

La puerta 1C es programada primero como puerta de salida para colocar las direcciones y luego como puerta de entrada para leer la información, esto es, la misma puerta es programada 2 veces por cada dirección chequeada.

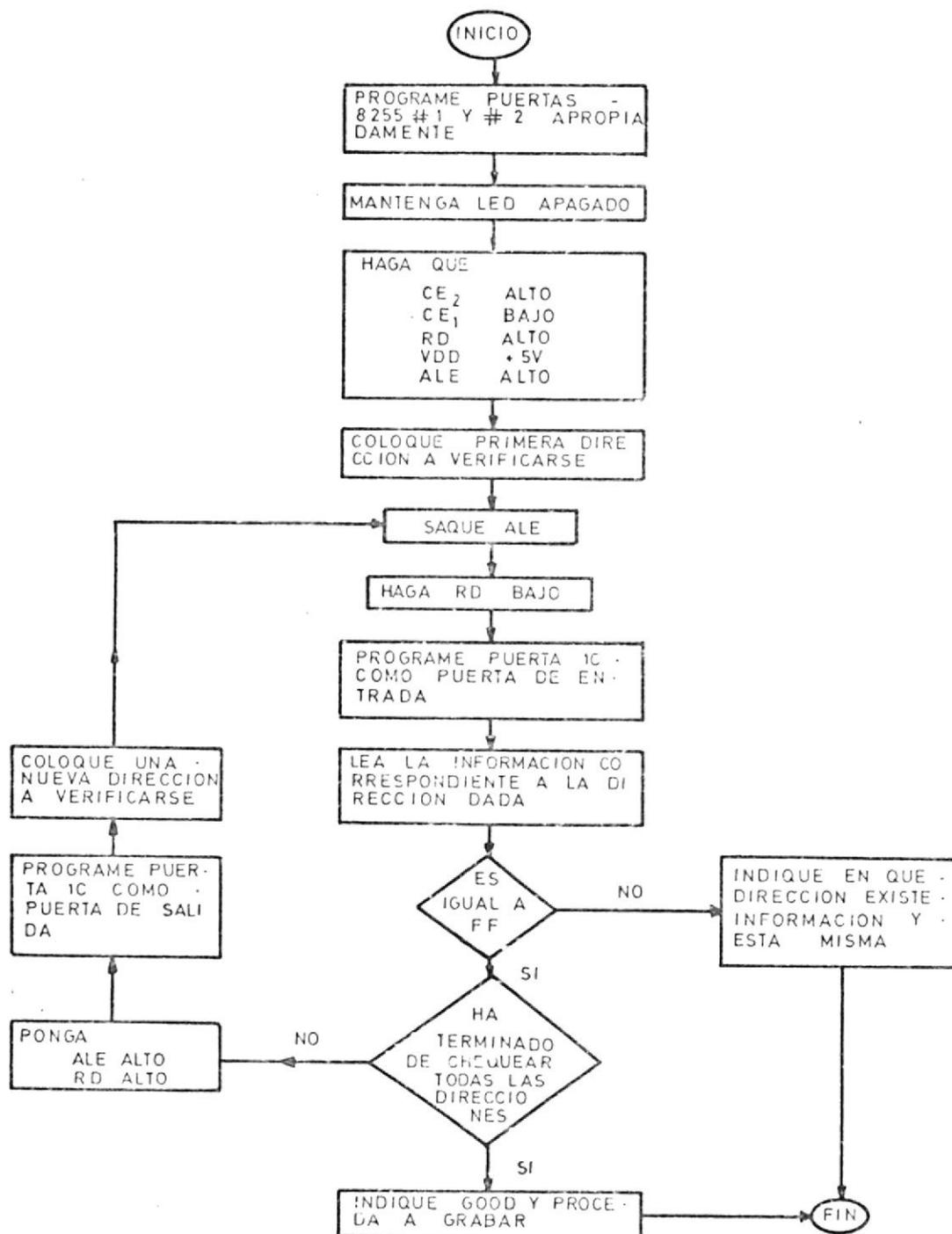


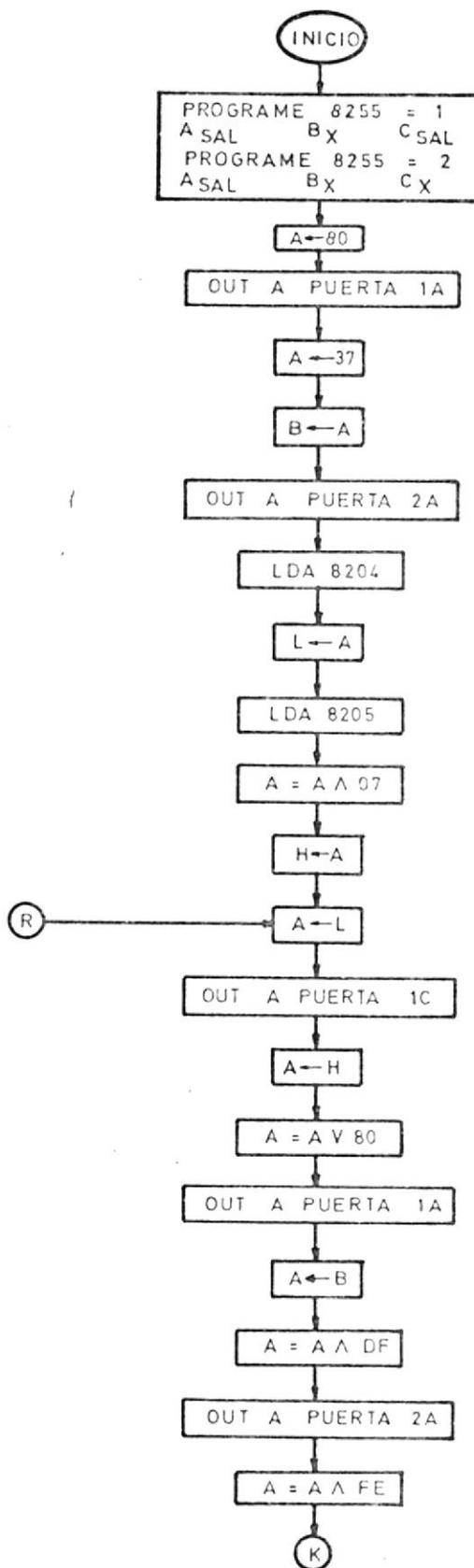
FIGURA 1.27

VERIFICADOR DE LIMPIEZA PARA
EL EPROM 8755 A

El diagrama de flujo nos muestra claramente que el procedimiento se guido es generar los comandos nece sarios para colocar los pulsos tal como aparecen en la información de lectura del 8755A dada anteriormen te.

Tal como se lo ha hecho anterior - mente se desarrolla el diagrama de flujo planteado (Figura 1.28).

Al igual que la subrutina de bús - queda de alguna información grabada en la región a programarse del - 2708, esta subrutina se detiene to talmente cuando se encuentra alguna dirección conteniendo informa - ción diferente de FF. En ese mo - mento saca a la unidad d.v. esta - dirección y su información corres - pondiente. Si toda la región está limpia de programas, esta subrutina saca a la unidad d.v. la pala - bra GOOD y se hace necesario pre -



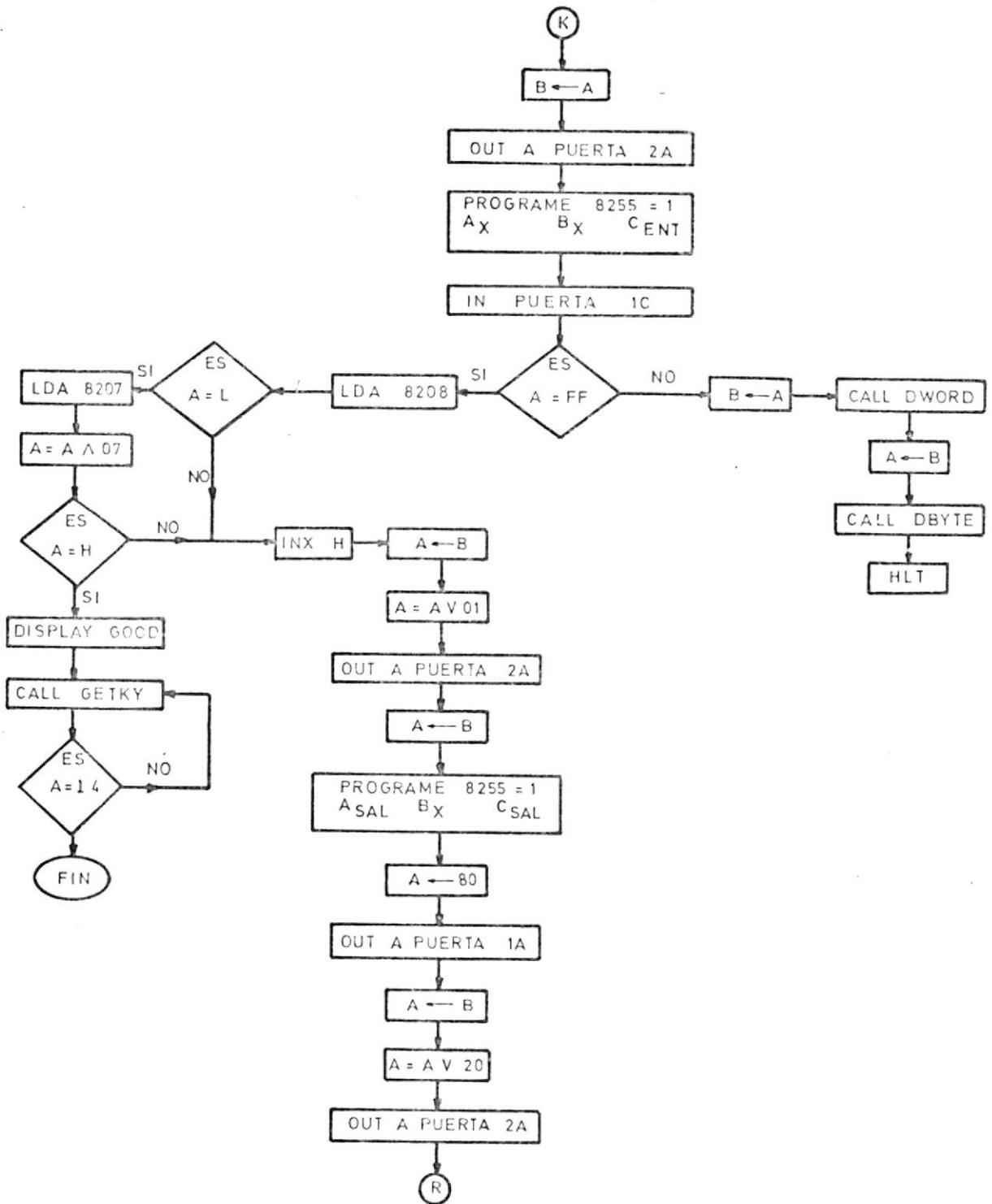


FIGURA 1.28

DIAGRAMA DE FLUJO DESARROLLADO DEL PROGRAMA VERIFICADOR DE LIMPIEZA DEL EPROM 8755 A

isionar la tecla RUN para continuar con la programación del circuito de memoria.

1.4.6.2. Listado del programa verificador

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
0526	3E	MVI A, 80	Programe 8255 # 1 y 8255 # 2
0527	80		
0528	D3	OUT CNT1	Asalida Bsalida
0529	07		Csalida
052A	D3	OUT CNT2	
052B	0F		
052C	D3	OUT a puerta 1A	Apague led indicador
052D	04		
052E	3E	MVI A, 37	Al sacar Reg A = 37 - por la puerta 2A <u>esta</u>
052F	37		
0530	47	MOV B, A	mos poniendo \overline{CE}_2 , \overline{RD} ,
0531	D3	OUT a puerta 2A	VDD y \overline{ALE} en estado -
0532	0C		alto y \overline{CE} , en bajo.
0533	3A	LDA 8204	
0534	04		
0535	82		
0536	6F	MOV L, A	Cargar el registro H y L con el contenido de las direcciones -
0537	3A	LDA 8205	
0538	05		8204 y 8205 del MTS ,
0539	82		esto es, cargue en -
053A	E6	ANI 07	los registros H y L
053B	07		la primera dirección
053C	67	MOV H, A	a verificarse.
053D	7D	MOV A, L	Coloque los 8 bits me- nos significativos de
053E	D3	OUT a puerta 1C	
053F	06		direccionamiento del
0540	7C	MOV A, H	EPROM 8755A.
0541	F6	ORT 80	Coloque los 3 bits - restantes para direc- cionamiento del EPROM
0542	80		
0543	D3	OUT a puerta 1A	y mantenga led apaga- do.
0544	04		
0545	78	MOV A, B	
0546	E6	ANI DF	
0547	DF		

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
0548	D3	OUT a puerta 2A	Saque $\overline{\text{ALE}}$
0549	0C		$\overline{\text{CE}}_2, \overline{\text{RD}}, \text{VDD}$ alto
054A	E6	ANI FE	$\overline{\text{CE}}_1, \text{ALE}$ bajo
054B	FE		
054C	47	MOV B, A	
054D	D3	OUT a puerta 2A	Haga $\overline{\text{RD}}$ bajo ($\overline{\text{CE}}_2$, VDD alto
054E	0C		$\overline{\text{CE}}_1, \overline{\text{RD}}, \text{ALE}$ bajo)
054F	3E	MVI A, 8B	Programa 8255 # 1
0550	8B		Asalida Bent Cent
0551	D3	OUT CNT1	
0552	07		
0553	DB	IN puerta 1C	Lea información en - la dirección puesta
0554	06		
0555	FE	CPI FF	
0556	FF		
0557	CA	JZ, ADDRESS (0564)	
0558	64		
0559	05		
055A	47	MOV B, A	Se guarda la informa- ción en el registro
055B	CD	CALL DWORD	B para evitar que se pierda al ejecutarse la subrutina DWORD.
055C	D1		
055D	02		
055E	78	MOV A, B	
055F	CD	CALL DBYTE	
0560	95		
0561	02		
0562	76	HLT	
0563	00	NOP	
0564	3E	MVI A, 01	
0565	01		
0566	CD	CALL CHECK (0660)	
0567	60		
0568	06		
0569	FE	CPI 00	
056A	00		
056B	C2	JNZ, ADDRESS (0584)	
056C	84		
056D	05		
056E	23	INX H	
056F	78	MOV A, B	
0570	F6	ORI 01	
0571	01		
0572	D3	OUT a puerta 2A	
0573	0C		
0574	47	MOV B, A	

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
0575	3E	MVI A, 80	
0576	80		
0577	D3	OUT CNT1	Programa 8255 # 1
0578	07		Asalida Bsalida
0579	D3	OUT a puerta 1A	Csalida
057A	04		
057B	78	MOV A, B	
057C	F6	ORI 20	ALE alto y \overline{RD} alto
057D	20		
057E	D3	OUT a puerta 2A	
057F	0C		
0580	47	MOV B, A	
0581	C3	JMP, ADDRESS (053D)	
0582	3D		
0583	05		Pongo GOOD en la uni
0584	21	LXI H, ADDRESS (83F8)	dad de despliegue \overline{vi}
0585	F8		sual en los cuatro
0586	83		leds izquierdos del
0587	3E	MVI A, 7D	MTS.
0588	7D		
0589	77	MOV M, A	
058A	23	INX H	
058B	3E	MVI A, 5C	
058C	5C		
058D	77	MOV M, A	
058E	23	INX H	
058F	77	MOV M, A	
0590	23	INX H	
0591	3E	MVI A, 5E	
0592	5E		
0593	77	MOV M, A	
0594	CD	CALL GETKY	Espera hasta que se-
0595	3D		aplaste la tecla RUN-
0596	02		para proseguir con la
0597	FE	CPI 14	segunda parte, esto
0598	14		es, la programación-
0599	C2	JNZ, ADDRESS (0594)	misma.
059A	94		
059B			

1.4.7. Software para grabar información en el EPROM 8755A

De igual manera que para el 2708, inicialmente y después de cada borrada, todos los bits de la memoria están en el estado lógico 1. La información es introducida selectivamente programando un 0 en una localización determinada.

Un cero programado puede ser cambiado a un 1 lógico mediante luz ultravioleta.

El modo de programación propiamente consiste en programar una sola dirección a la vez suministrando un pulso único de 50 mseg. para cada dirección.

Es importante tener un ciclo de verificación después del ciclo de programación para la misma dirección. En el ciclo de verificación V_{DD} debe estar conectado a una fuente de + 5 v.

La figura 1.29 nos muestra la información pa

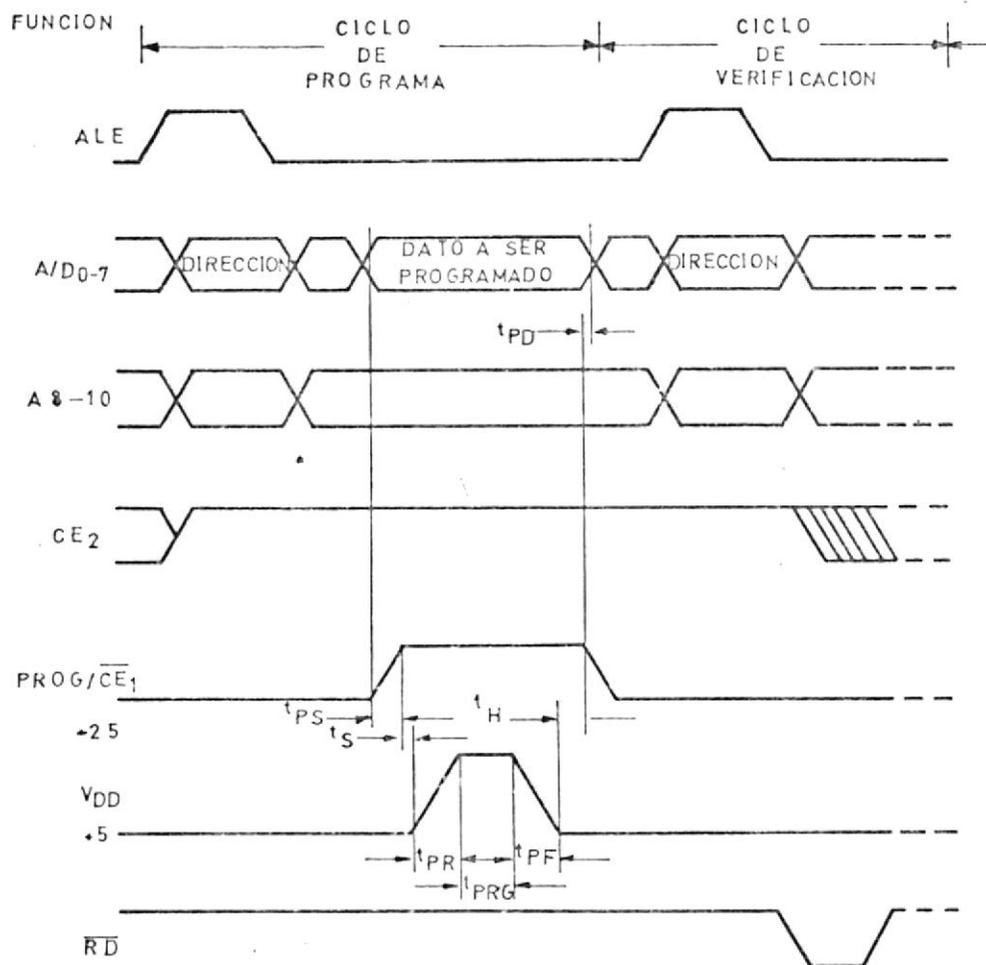


FIGURA 1-29. FORMAS DE ONDA DE PROGRAMACION Y VERIFICACION DEL EPROM 8755A

ra la correcta programación del EPROM 8755A.

Observar que el pulso de +5 v en el terminal $\overline{\text{PROG/CE}}_1$ debe aplicarse antes y quitarse después del pulso de programación de +25 v en el terminal V_{DD} del EPROM 8755A.

CE_2 debe estar siempre a un voltaje de + 5 v; (ver figura 1.29) durante el ciclo de verificación \overline{RD} debe ser bajo para poder leer información de la memoria y así poder comprobar si ésta ha quedado bien grabada.

1.4.7.1. Diagrama de flujo (Figura 1.30)

El programa confeccionado realiza exactamente lo que las formas de onda anteriores imponen, esto es, se comienza con el ciclo de programación haciendo que V_{DD} esté energizado por una fuente de + 5 v; CE_2 , \overline{RD} , ALE esten en lógico 1 y $PROG/\overline{CE}_1$ en lógico 0. A continuación se coloca la dirección donde se va a grabar información en la barra de direcciones del EPROM, luego se quita el pulso ALE para que la dirección puesta sea conservada internamente en el circuito integrado. Acto seguido se coloca la información a grabarse sobre la barra de datos del 8755A, se hace

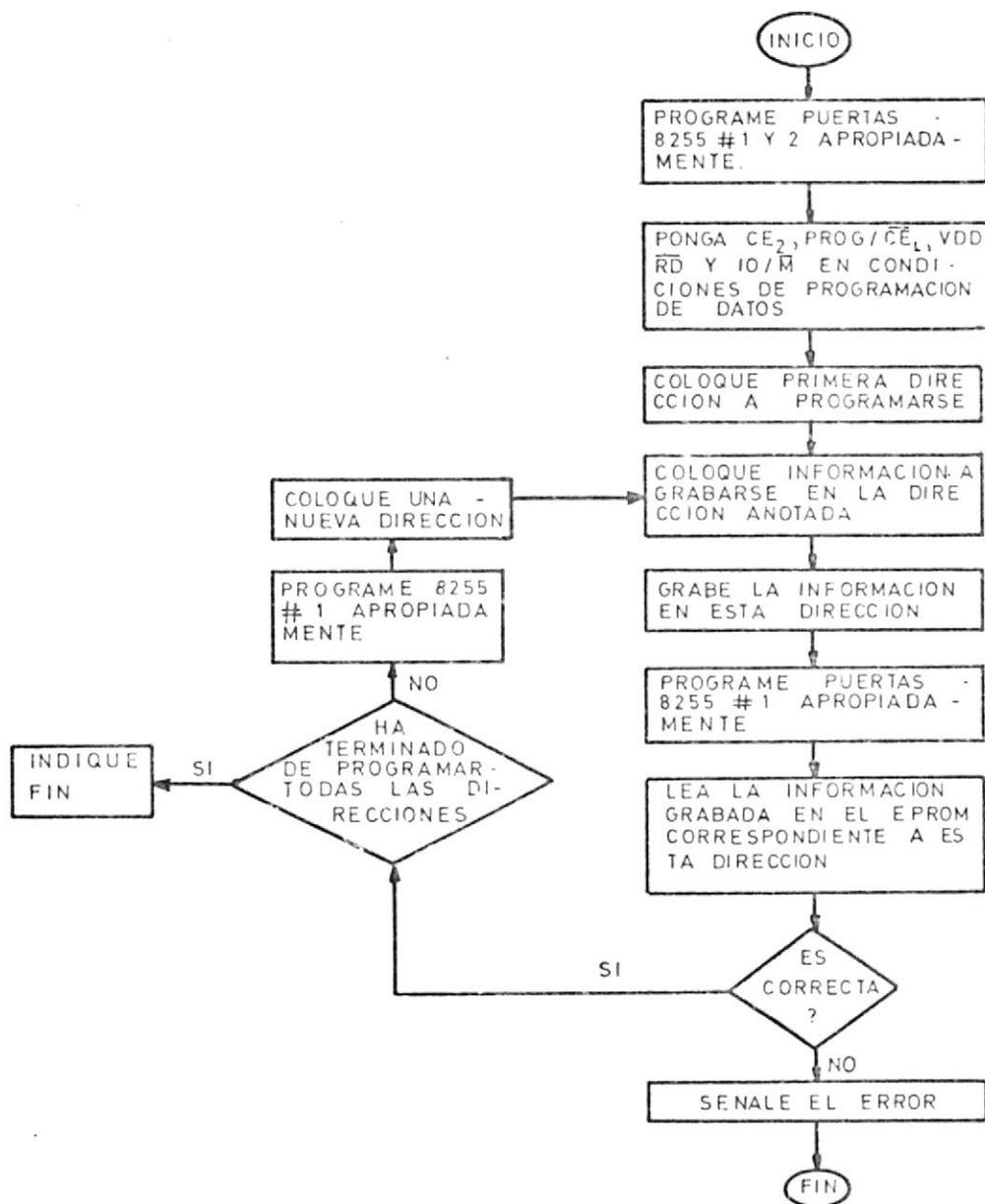


FIGURA 1.30 PROGRAMA GRABADOR Y VERIFICADOR PARA EL 8755 A

PROG/ \overline{CE}_1 alto y se aplica un pulso de + 25 v al terminal V_{DD} durante 50 mseg.

Al cumplirse los 50 mseg se elimina este voltaje y luego el estado alto del terminal PROG/ \overline{CE}_1 . En estas condiciones se tendrá grabada la información en la dirección anotada.

Puesto que es deseable tener un ciclo de verificación después del ciclo de programación, éste sigue a continuación para la misma dirección.

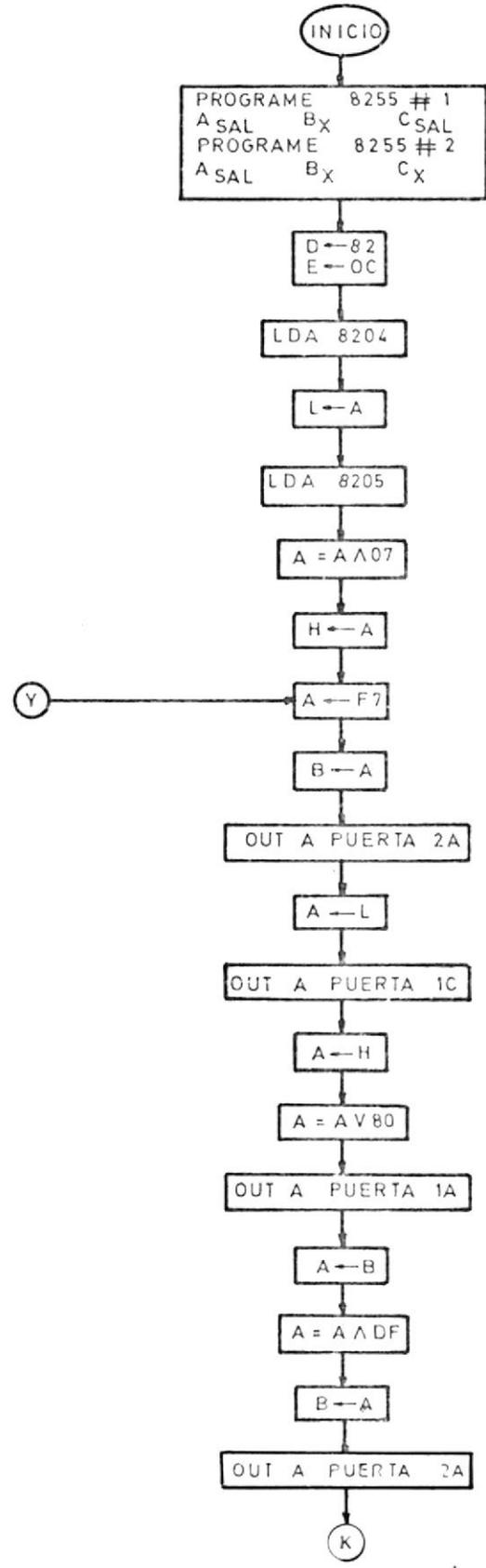
Se hace ALE nuevamente alto y se coloca la misma dirección anterior, tal como lo dijimos anteriormente al retirar ALE quedará esta dirección grabada temporalmente en el circuito.

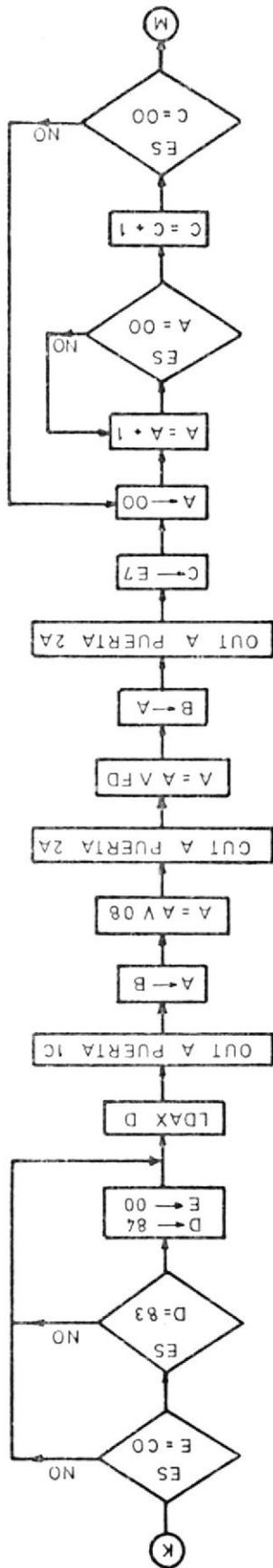
Haciendo \overline{RD} bajo podemos leer la

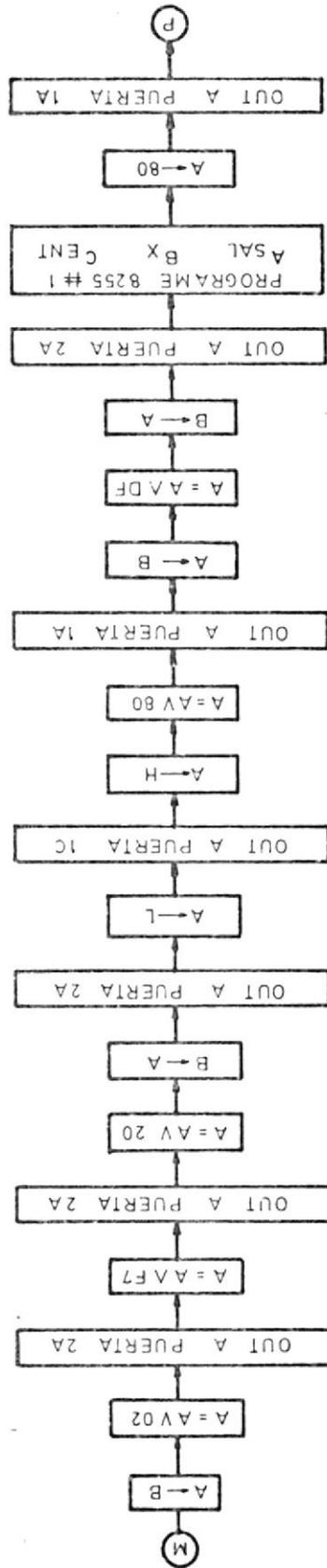
información directamente y determinar si ésta es correcta o no. Si existe algún error se detendrá la programación del circuito y aparecerá en la unidad de despliegue visual la dirección del EPROM donde existe el error junto con la información que contiene. Al igual que para el 2708 se puede ver la dirección de RAM que corresponde a la dirección del EPROM que contiene el error junto con la información.

Una vez que se ha terminado de programar todas las direcciones y no se ha detectado error alguno se termina la programación del circuito integrado con un mensaje de GOOD en el despliegue visual del MTS.

Se ha desarrollado nuevamente el diagrama de flujo instrucción por instrucción (figura 1.31) para facilidad del lector recordando que seguimos empleando la misma notación,







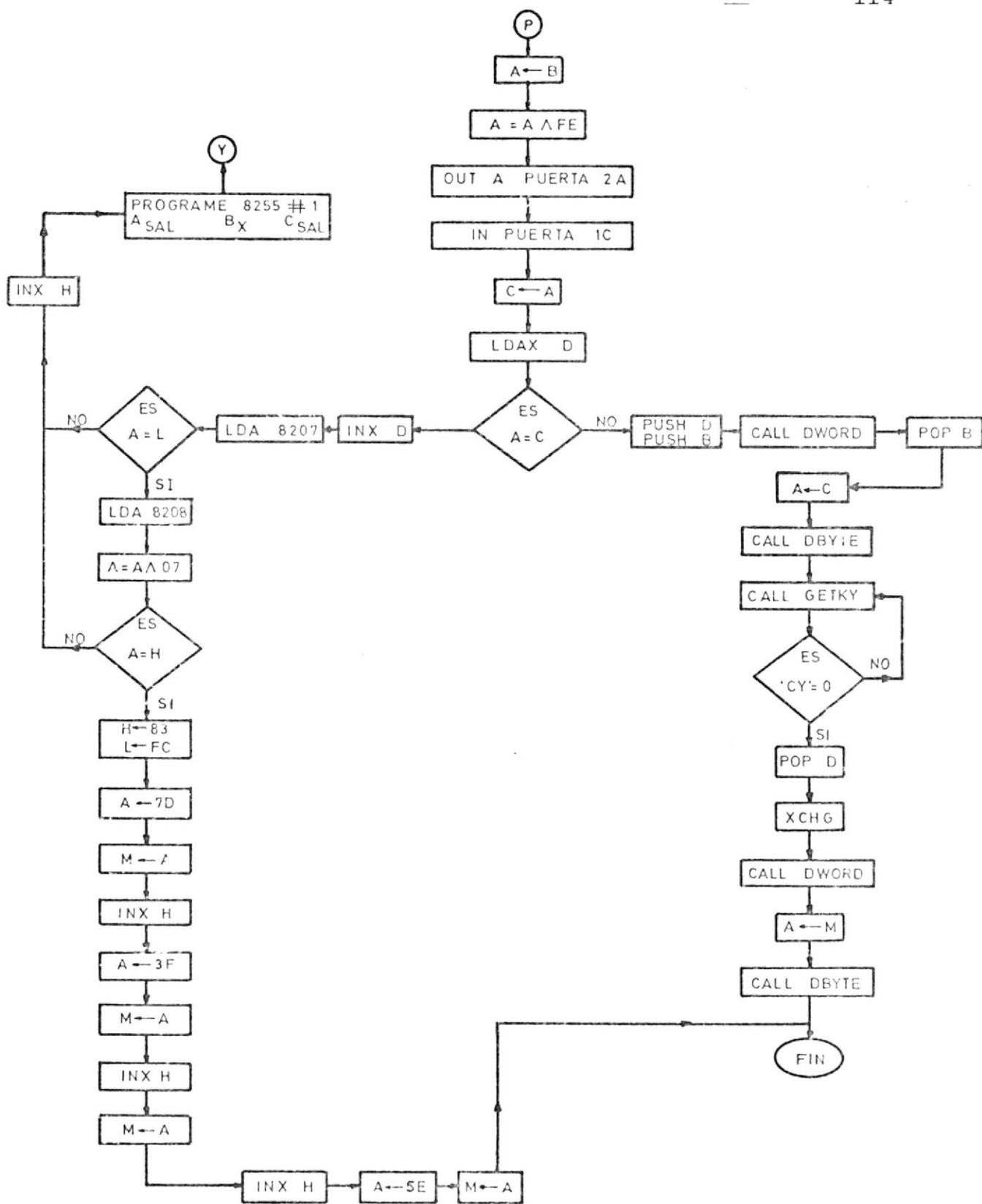


FIGURA 1.31 PROGRAMA GRABADOR Y VERIFICADOR DESARROLLADO

esto es:

Reg A = A	Reg D = D
Reg B = B	Reg E = E
Reg C = C	Reg H = H
	Reg L = L

1.4.7.2. Listado del programa grabador

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
059C	3E	MVI A, 80	Programa 8255 # 2
059D	80		Asal Bx Cx
059E	D3	OUT CNT2	
059F	0F		
05A0	3E	MVI A, 80	Programa 8255 # 1
05A1	80		Asal Bx Csal
05A2	D3	OUT CNT1	
05A3	07		
05A4	11	LXI D, 820C	
05A5	0C		
05A6	82		
05A7	3A	LDA 8204	
05A8	04		
05A9	82		
05AA	6F	MOV L, A	
05AB	3A	LDA 8205	
05AC	05		
05AD	82		
05AE	E6	ANI 07	
05AF	07		
05B0	67	MOV H, A	ALE alto
05B1	3E	MVI A, F7	PROG/ \overline{CE}_1 bajo
05B2	F7		\overline{CE}_2 alto
05B3	47	MOV B, A	V_{DD} + 5 v
05B4	D3	OUT a puerta 2A	RD alto
05B5	0C		
05B6	7D	MOV A, L	Coloque los 8 bits me
05B7	D3	OUT a puerta 1C	nos significativos pa

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
05B8	06		ra direccionamiento
05B9	7C	MOV A, H	del EPROM.
05BA	F6	ORI 80	Coloque los bits res-
05BB	80		tantes para direccio-
05BC	D3	OUT a puerta 1A	namientos y apague -
05BD	04		led.
05BE	78	MOV A, B	
05BF	E6	ANI DF	Saque ALE
05C0	DF		
05C1	47	MOV B, A	1 1 0 1 1 1 1 1
05C2	D3	OUT a puerta 2A	ALE bajo
05C3	0C		PROG/ \overline{CE}_1 bajo
05C4	7B	MOV A, E	CE_2 alto
05C5	FE	CPI C0	VDD + 5 v
05C6	C0		RD alto
05C7	C2	JNZ, ADDRESS (05D3)	Chequee si es que se
05C8	D3		ha llegado a la direc-
05C9	05		ción 83C0.
05CA	7A	MOV A, D	Si es así salte a -
05CB	FE	CPI 83	8400.
05CC	83		
05CD	C2	JNZ, ADDRESS (05D3)	
05CE	D3		
05CF	05		
05D0	11	LXI D, ADDRESS (8400)	
05D1	00		
05D2	84		
05D3	1A	LDAX D	
05D4	D3	OUT a puerta 1C	Lea la información -
05D5	06		contenida en la direc-
05D6	78	MOV A, B	ción del MTS indicado
05D7	F6	ORI 08	por los registros D y
05D8	08		E.
05D9	D3	OUT a puerta 2A	
05DA	0C		
05DB	E6	ANI FD	Meta + 25 v
05DC	FD		
05DD	47	MOV B, A	
05DE	D3	OUT a puerta 2A	
05DF	0C		
05E0	0E	MVI C, E7	
05E1	E7		
05E2	AF	XRA A	Espere 50 mseg
05E3	3C	INR A	
05E4	FE	CPI 00	

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
05E5	00		
05E6	C2	JNZ, ADDRESS (05E3)	
05E7	E3		
05E8	05		
05E9	0C	INR C	
05EA	FE	CPI 00	
05EB	00		
05EC	C2	JNZ, ADDRESS (05E2)	
05ED	E2		
05EE	05		
05EF	00	NOP	
05F0	78	MOV A, B	
05F1	F6	ORI 02	Elimine + 25 v y ponga + 5 v
05F2	02		
05F3	D3	OUT a puerta 2A	
05F4	0C		
05F5	E6	ANI F7	Elimine $\overline{\text{PROG/CE}}_1$
05F6	F7		
05F7	D3	OUT a puerta 2A	
05F8	0C		
05F9	F6	ORI 20	Ponga ALE
05FA	20		
05FB	47	MOV B, A	ALE alto
05FC	D3	OUT a puerta 2A	$\overline{\text{PREG/CE}}_1$ bajo
05FD	0C		CE_2 alto
05FE	7D	MOV A, L	$\overline{\text{VDD}}$ + 5 v
05FF	00	NOP	RD alto
0600	D3	OUT a puerta 1C	Ponga los 8 bits menos significativos de direccionamiento para verificaci3n.
0601	06		
0602	7C	MOV A, H	
0603	F6	ORI 80	
0604	80		Coloque los 8 bits restantes de direccionamiento para verificaci3n.
0605	D3	OUT a puerta 1A	
0606	04		
0607	78	MOV A, B	
0608	E6	ANI DF	Elimino ALE
0609	DF		
060A	47	MOV B, A	ALE bajo
060B	D3	OUT a puerta 2A	$\overline{\text{PROG/CE}}_1$ bajo
060C	0C		CE_2 alto
060D	3E	MVI A, 8B	$\overline{\text{VDD}}$ + 5 v
060E	8B		RD alto
060F	D3	OUT CNT1	Programa 8255 # 1
0610	07		Asalida Bx Cent
0611	3E	MVI A, 80	Apague led.

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
0612	80		
0613	D3	OUT a puerta 1A	
0614	04		
0615	78	MOV A, B	
0616	E6	ANI FE	\overline{RD} bajo
0617	FE		
0618	D3	OUT a puerta 2A	ALE bajo
0619	0C		PROG/ \overline{CE}_1 bajo
061A	DB	IN puerta 1C	\overline{CE}_2 alto
061B	06		$\overline{V_{DD}}$ + 5 v
061C	4F	MOV C, A	\overline{RD} bajo
061D	1A	LDAX D	
061E	B9	CMP C	
061F	C2	JNZ, ADDRESS (0646)	
0620	46		
0621	06		
0622	13	INX D	
0623	3E	MVI A, 01	
0624	01		
0625	CD	CALL CHECK (0660)	Recordemos que ésta -
0626	60		subrutina chequea si
0627	06		todas las direcciones
0628	FE	CPI 00	han sido programadas.
0629	00		
062A	C2	JNZ, ADDRESS (0635)	
062B	35		
062C	06		
062D	23	INX H	
062E	3E	MVI A, 80	
062F	80		
0630	D3	OUT CNT1	
0631	07		
0632	C3	JMP, ADDRESS (05B1)	
0633	B1		
0634	05		
0635	21	LXI H, ADDRESS (83FC)	
0636	FC		
0637	83		
0638	3E	MVI A, 7D	Ponga un mensaje de -
0639	7D		GOOD en la unidad d. v.
063A	77	MOV M, A	y pare.
063B	23	INX H	
063C	3E	MVI A, 5C	
063D	5C		
063E	77	MOV M, A	

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
063F	23	INX H	
0640	77	MOV M, A	
0641	23	INX H	
0642	3E	MVI A, 5E	
0643	5E		
0644	77	MOV M, A	
0645	76	HLT	
0646	D5	PUSH D	Coloque en la unidad de d.v. la dirección ROM e información.
0647	C5	PUSH B	
0648	CD	CALL DWORD	Aplaste cualquier tecla de comando y aparecerá dirección RAM e información.
0649	D1		
064A	02		
064B	C1	POP B	
064C	79	MOV A, C	
064D	CD	CALL DBYTE	
064E	95		
064F	02		
0650	CD	CALL GETKY	
0651	3D		
0652	02		
0653	DA	JC, ADDRESS (0650)	
0654	50		
0655	06		
0656	D1	POP D	
0657	EB	XCHG	
0658	CD	CALL DWORD	
0659	D1		
065A	02		
065B	7E	MOV A, M	
065C	CD	CALL DBYTE	
065D	95		
065E	02		
065F	76	HLT	
0660			

1.4.8. Programa para lectura del EPROM 8755A dirección por dirección

Para este tipo de EPROM se ha elaborado un

programa para poder leer la información contenida dirección por dirección a partir de una dirección original almacenada en los registros D y E.

El diagrama de flujo es básicamente el mismo que el verificador de limpieza de la región a grabarse con la diferencia de que aquí la información no se la compara con FF sino que se la saca al despliegue visual junto con la dirección.

1.4.8.1. Diagrama de flujo del programa de lectura del 8755A (Figura 1.32)

1.4.8.2. Listado del programa de lectura

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
06C3	3E	MVI A, 80	Programe 8255 # 1
06C4	80		Asalida Bsalida
06C5	D3	OUT CNT1	Csalida
06C6	07		Programe 8255 # 2
06C7	D3	OUT CNT2	Asalida Bsalida
06C8	0F		Csalida
06C9	D3	OUT a puerta 1A	
06CA	04		
06CB	3E	MVI A, 37	
06CC	37		

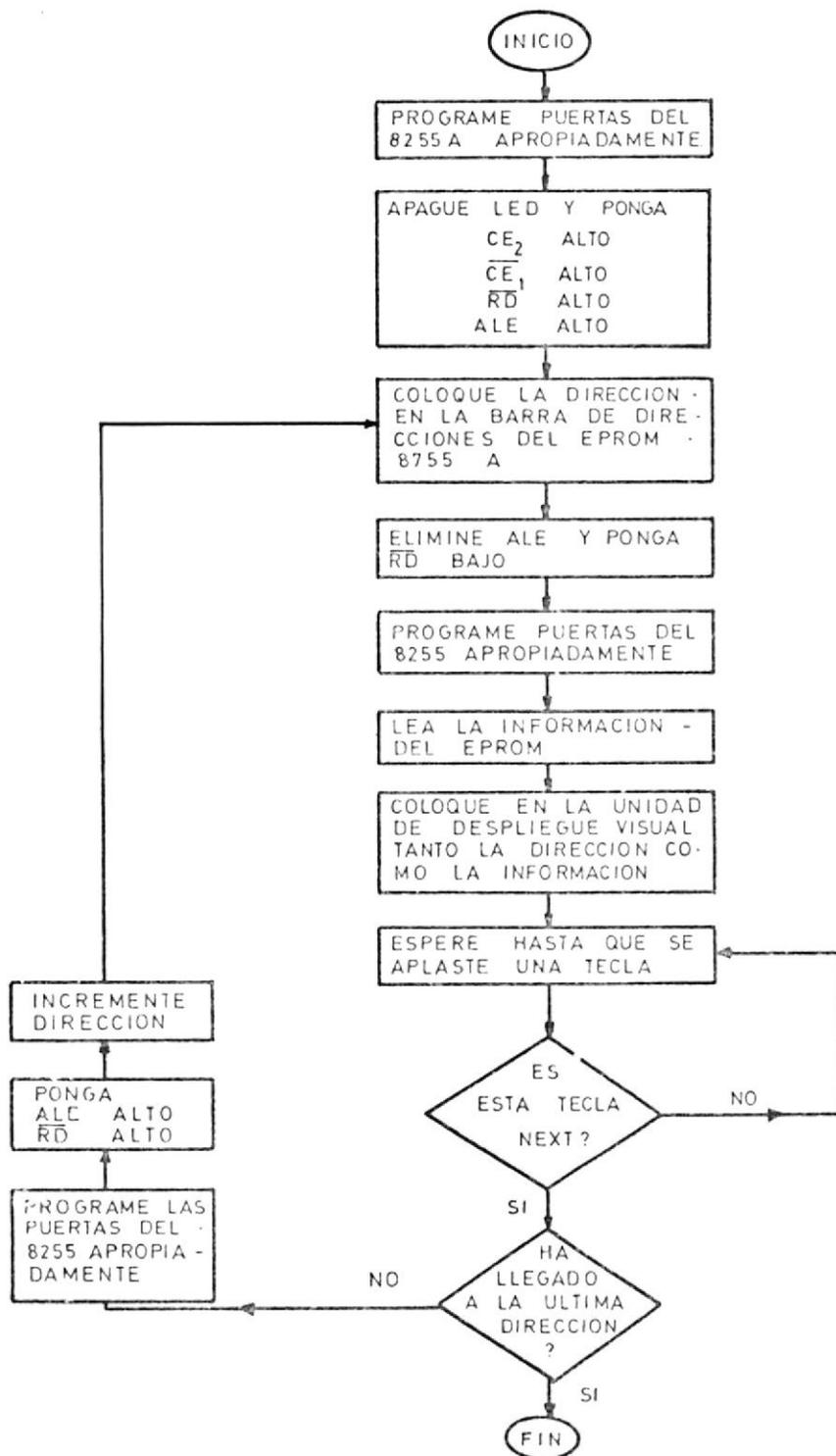


FIGURA 1.32

DIAGRAMA DE FLUJO DEL PROGRAMA DE LECTURA DEL 8755 A

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
06CD	47	MOV B, A	
06CE	D3	OUT a puerta 2A	
06CF	0C		
06D0	6B	MOV L, E	
06D1	7A	MOV A, D	
06D2	E6	ANI 07	
06D3	07		
06D4	67	MOV H, A	
06D5	7D	MOV A, L	
06D6	D3	OUT a puerta 1C	
06D7	06		
06D8	7C	MOV A, H	
06D9	F6	ORI 80	
06DA	80		
06DB	D3	OUT a puerta 1A	
06DC	04		
06DD	78	MOV A, B	
06DE	E6	ANI DF	
06DF	DF		
06E0	D3	OUT a puerta 2A	
06E1	0C		
06E2	E6	ANI FE	
06E3	FE		
06E4	47	MOV B, A	
06E5	D3	OUT a puerta 2A	
06E6	0C		
06E7	3E	MVI A, 8B	Programe 8255 # 1
06E8	8B		Asalida Bent Cent
06E9	D3	OUT CNT1	
06EA	07		
06EB	DB	IN puerta 1C	
06EC	06		
06ED	47	MOV B, A	
06EE	CD	CALL DWORD	
06EF	D1		
06F0	02		
06F1	78	MOV A, B	
06F2	00	NOP	
06F3	00	NOP	
06F4	CD	CALL DBYTE	
06F5	95		
06F6	02		
06F7	CD	CALL GETKY	
06F8	3D		
06F9	02		

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
06FA	FE	CPI 15 (NEXT)	
06FB	15		
06FC	C2	JNZ, ADDRESS (06F7)	
06FD	F7		
06FE	06		
06FF	23	INX H	
0700	3E	MVI A, 37	
0701	37		
0702	47	MOV B, A	
0703	D3	OUT a puerta 2A	
0704	0C		
0705	3E	MVI A, 80	Programa 8255 # 1
0706	80		Asalida Bsalida
0707	D3	OUT CNT1	Csalida
0708	07		
0709	C3	JMP, ADDRESS (06D5)	
070A	D5		
070B	06		
070C			

1.5. GUIA DE UTILIZACION DEL PROGRAMADOR DE EPROMS

1.5.1. Pasos que deben seguirse para el uso del programador del 2708

- a) Conecte la interfase del MTS.
- b) Conecte los dos cables múltiples (16 hilos cada uno) desde la interfase al tablero programador.
- c) Coloque el EPROM a grabarse en el zócalo de 24 terminales en el tablero programa-

dor.

- d) Energize el MTS.
- e) Energize el tablero programador.
- f) Ponga el interruptor de este tablero en ON.
- g) Coloque las siguientes instrucciones a partir de la dirección 8200 del MTS.

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
8200	31	LXI SP, ADDRESS	Defina la ubicación - del señalador de pila
8201		LOW ADDRESS	
8202		HIGH ADDRESS	
8203	11	LXI D, ADDRESS	Dirección del EPROM donde va a colocarse la primera instruc - ción a grabar.
8204		LOW ADDRESS	
8205		HIGH ADDRESS	
8206	01	LXI B, ADDRESS	Dirección del EPROM - donde va a colocarse la última instrucción a grabar.
8207		LOW ADDRESS	
8208		HIGH ADDRESS	
8209	CD	CALL SUBROUTINA	
820A	00		
820B	04		
820C		PROGRAMA	A partir de esta di - rección coloque el - programa a grabarse en el EPROM.

- h) Si su programa es largo que llega a la dirección 83C0, no coloque información en esta dirección sino que salte a la - dirección 8400 y continúe a partir de - esa dirección.

- i) Revise su programa metido en la memoria RAM del MTS.
- j) Aplaste la tecla RST.
- k) Aplaste la tecla RUN.

Si aparece en el despliegue visual una dirección en el rango 0000-03FF junto con una información, esto implicará que tiene información grabada en la región donde se pensaba colocar el nuevo programa. En este caso no podrá seguir adelante con la programación sino que deberá borrar el EPROM.

Si aparece la palabra GOOD esto indicará que la región a grabarse está libre de grabación anterior y se podrá continuar con la programación del EPROM.

- l) Aplaste la tecla RUN y espere hasta que se prenda el LED indicador de fin de programación.
- m) Aplaste nuevamente la tecla RUN.

Si aparece la palabra GOOD en el despliegue visual del MTS esto significará que se ha producido una buena programación de la memoria.

Si aparece una dirección (0000-03FF) junto con una información, esto indicará que la dirección aparecida es el lugar de memoria donde existe información mal grabada.

Si se desea saber en qué lugar de la memoria RAM del MTS se encuentra ésta información aplaste nuevamente la tecla RUN.

- n) Ponga el interruptor del tablero en OFF.
- o) Desenergize el tablero programador.
- p) Retire el EPROM.

Si se desea leer el contenido de un EPROM - 2708 dirección por dirección ejecute lo siguiente:

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
8200	31	LXI SP, ADDRESS	Defina la ubicación del indicador de pila.
8201	00		
8202	87		
8203	11	LXI D, ADDRESS	Dirección del EPROM donde se desea comenzar a leer.
8204		LOW ADDRESS	
8205		HIGH ADDRESS	
8206	C3	JMP, ADDRESS (0682)	
8207	82		
8208	06		

Aplaste RST.

Aplaste RUN.

Aplaste NEXT para leer la siguiente dirección.

1.5.2. Pasos que deben seguirse para el uso del programador del 8755A

- a) Conecte la interfase del MTS.
- b) Conecte los dos cables múltiples (16 líneas cada una) desde la interfase al tablero programador.
- c) Coloque el EPROM en el zócalo de 40 terminales en el tablero programador.
- d) Energize el MTS.
- e) Energize el tablero programador.
- f) Ponga el interruptor de este tablero en ON.
- g) Coloque las siguientes instrucciones a partir de la dirección 8200 del MTS:

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
8200	31	LXI SP, ADDRESS	Defina la ubicación del señalador de pila.
8201		LOW ADDRESS	
8202		HIGH ADDRESS	
8203	11	LXI D, ADDRESS	Dirección del EPROM donde va a colocarse la primera información a grabarse.
8204		LOW ADDRESS	
8205		HIGH ADDRESS	
8206	01	LXI B, ADDRESS	Dirección del EPROM donde va a colocarse la última dirección a grabarse.
8207		LOW ADDRESS	
8208		HIGH ADDRESS	
8209	CD	CALL SUBROUTINA	
820A	26		
820B	05		
820C		PROGRAMA	A partir de esta dirección se deberá colocar el programa a grabarse en el EPROM.

h) Si su programa es tan largo que llega a la dirección 83C0 no coloque información en esa dirección sino que salte a la dirección 8400.

i) Revise su programa metido en la memoria MTS.

j) Aplaste la tecla RST.

k) Aplaste la tecla RUN.

Si aparece en el despliegue visual del MTS una dirección en el rango 0000-07FF junto con una información esto significa que existe una información grabada en la

región donde se pensaba colocar el nuevo programa y no podrá seguir adelante con la programación del EPROM. Es necesario entonces borrar la memoria totalmente.

Si aparece la palabra GOOD, esto significa que la región a grabarse está limpia de grabación anterior y se podrá continuar con la programación de la memoria.

- l) Aplaste RUN y espere.

Si aparece GOOD, esto explica que la memoria ha quedado perfectamente grabada.

Si aparece una dirección (0000-07FF) junto con una información, esto significará que la dirección que aparece es el lugar de memoria donde existe información mal grabada.

Si se desea saber en qué lugar de la memoria RAM del MTS se encuentra ésta información, aplaste nuevamente la tecla RUN.

- m) Ponga el interruptor del tablero en OFF.
- n) Desenergize el tablero programador.
- o) Retire el EPROM.

Si se desea leer el contenido de un EPROM 8755A dirección por dirección ejecute lo siguiente:

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
8200	31	LXI SP, ADDRESS	Defina la ubicación del indicador de pila.
8201	00		
8202	87		Dirección del EPROM donde se desea comenzar a leer.
8203	11	LXI D, ADDRESS	
8204		LOW ADDRESS	
8205		HIGH ADDRESS	
8206	C3	JMP, ADDRESS (06C3)	
8207	C3		
8208	06		

Aplaste RST.

Aplaste RUN.

Aplaste NEXT para leer la siguiente dirección.

CAPITULO II

CONTROLADOR DE TRAFICO

2.1. OBJETIVOS

Aplicación del programador de EPROMS en un controlador de tráfico.

2.2. DISEÑO DEL SISTEMA CONTROLADOR DE TRAFICO

2.2.1. Definición del problema

Construir un controlador de tráfico utilizando un microprocesador 8085A en una configuración mínima.

El controlador debe tener la siguiente secuencia normal:

Verde 1	-	rojo 2
Amarillo 1	-	rojo 2
rojo 1	-	rojo 2
rojo 1	-	verde direccional 2
rojo 1	-	amarillo direc. 2

rojo 1 - verde 2
 rojo 1 - amarillo 2
 rojo 1 - rojo 2
 verde direccional 1 - rojo 2
 amarillo direccional 1 - rojo 2

El sistema controlador debe recibir un pulso de sincronismo (1 segundo de duración y período variable) y sincronizarse automáticamente con éste en el menor tiempo posible y de la forma menos perceptible.

Si llamamos t_v , t_A , t_R , t_{VD} y t_{AD} a los tiempos en que están prendidos cada una de las luces entonces el período del pulso de sincronismo será:

$$T = t_v + t_A + t_R + t_{VD} + t_{AD}$$

En caso de que no exista pulso de sincronismo el controlador debe trabajar normalmente y estar listo a sincronizarse cuando el pulso aparezca.

El sistema debe ser capaz de cambiar los -

tiempos de iluminación de cada foco y la secuencia de luces mediante información introducida por interruptores.

2.2.2. Circuito utilizado para resolver el problema
Figura 2.1

2.2.3. Análisis del circuito

El circuito utilizado es un sistema mínimo MCS-85 con las puertas de entrada/salida mapeados por memoria y también direccionados por acumulador.

Este sistema formado principalmente por los circuitos integrados 8085A, 8155 y 8755A tendrá las siguientes características:

8755A.- 2K x 8 bits de ROM y 2 puertas de entrada/salida programables bit.

8155.- 256 x 8 bits de RAM, 3 puertas de entrada/salida programables y un temporizador programable.

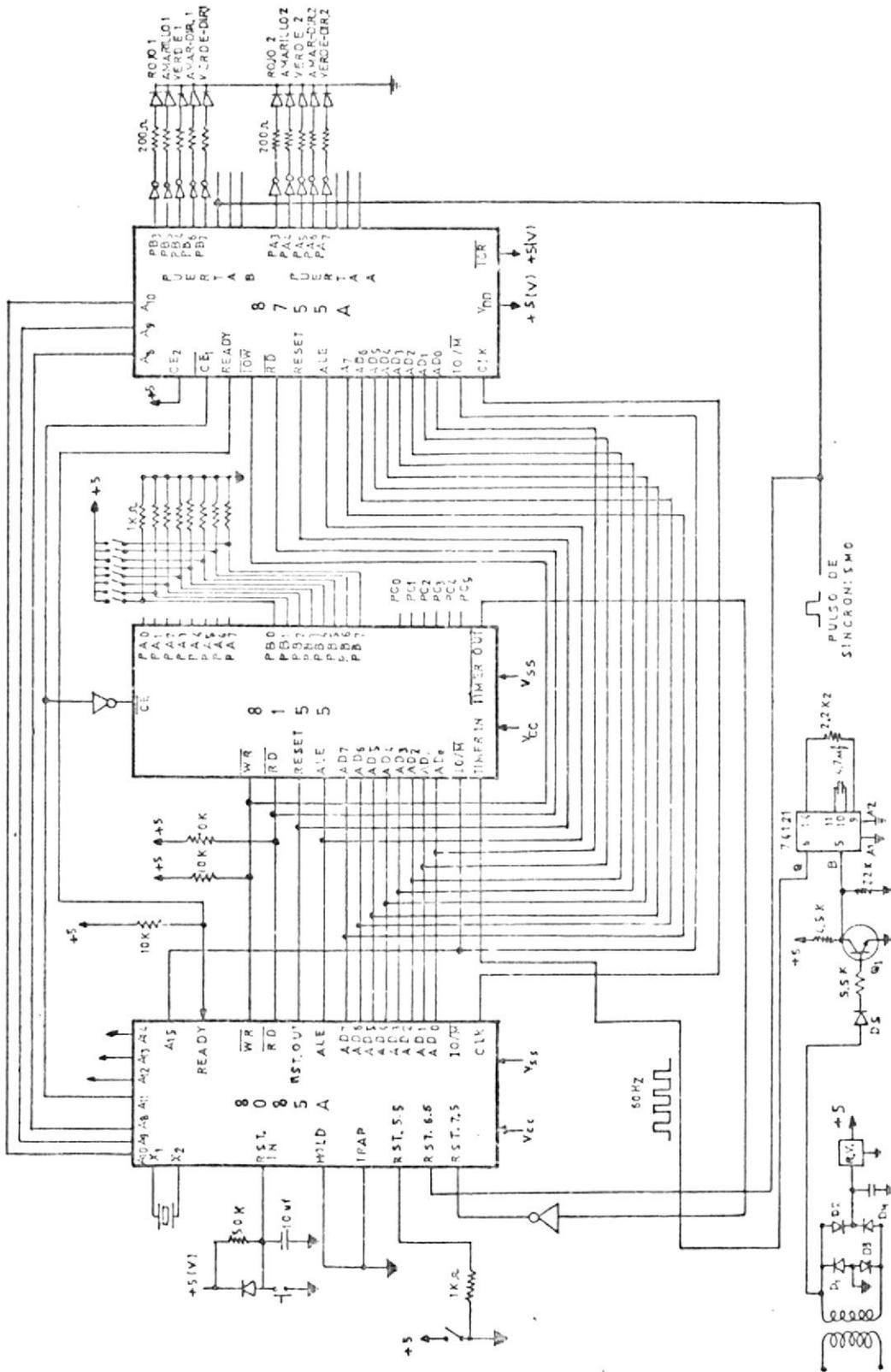


FIGURA 2.1. CIRCUITO DEL CONTROLADOR DE TRAFICO

8085A.- Microprocesador con cuatro niveles de interrupción y puertas de entrada y salida de datos en serie.

Se utiliza un cristal de $4,704 \text{ MHz}$, en consecuencia el reloj del sistema será de un período de $2/4,704 \text{ useg}$. La frecuencia máxima que se puede trabajar con este microprocesador 8085A es de 6 megahertzios para un reloj con un período de $0,33 \text{ useg}$.

El temporizador del 8155 se puede cargar con una cantidad máxima de 14 bits, esto significa que puede contar hasta 2^{14} pulsos de reloj. Si utilizáramos el reloj del 8085A, esto daría como resultado que el temporizador puede indicar un tiempo máximo solamente de:

$$2^{14} \times \frac{2}{4,704 \times 10^6} \text{ seg} = 6,8 \text{ mseg.}$$

Este tiempo no nos sirve puesto que, se necesita 1 segundo para la correcta operación del controlador como ya lo explicaremos más adelante.

Es por esta razón que se ha utilizado un reloj externo de 60 Hz (Figura 2.2)

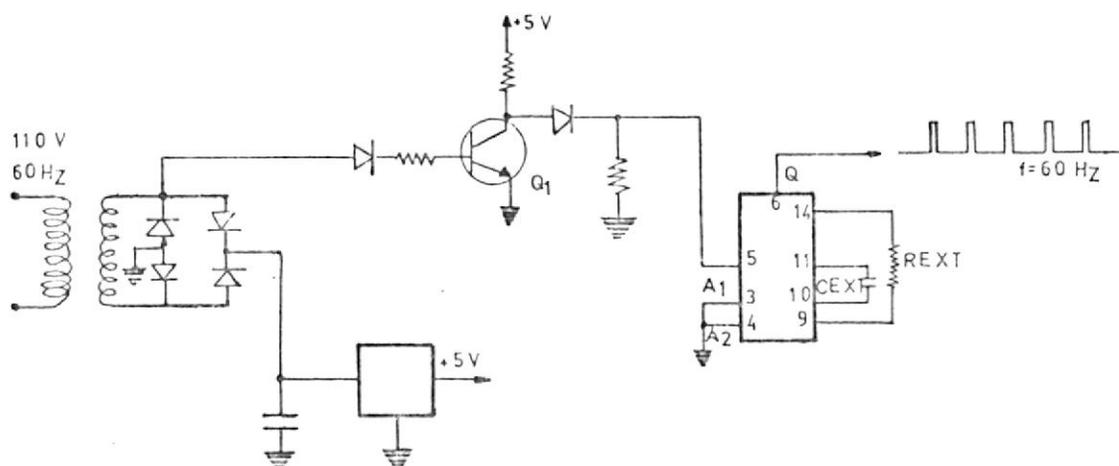


FIGURA 2.2. RELOJ EXTERNO DEL SISTEMA CONTROLADOR DE TRAFICO

El transistor Q_1 conduce solamente cuando a parece la parte positiva de la onda de voltaa je generando de esa manera una onda cuadrada. Se hizo necesario colocar un multivibrador - monoestable (74121) con la finalidad de tener pulsos bien definidos a la entrada del temporizador 8155 puesto que éste no trabajó correctamente al tener como señal de entrada la onda cuadrada.

Se ha preferido colocar los LEDS en las puertas A y B del EPROM 8755A debido a que és -
tos pueden ser programados bit por bit a diferencia de las puertas del 8155 en que se programan todos los bits de una puerta y no individualmente.

De esta forma debemos programar los bits -
(PA₇ - PA₃) y (PB₇ - PB₃) como bits de salida y aprovechar los bits libres para realizar otros trabajos como por ejemplo la lectura del pulso de sincronismo externo; para ello se debe programar el bit PB₂ como bit de entrada.

Una de las características de la combinación de memoria y puertas de entrada/salida en un solo circuito integrado (8755A) es que las -
puertas I/O pueden ser mapeadas por memoria y esto es justamente lo que se ha hecho en -
el diseño anterior. Como se puede ver A₁₅ -
ha sido usado como la señal IO/M, esto significa que si A₁₅ es lógico 0, la sección de la memoria del chip será seleccionada en caso contrario una de las puertas I/O dentro -

del 8755A.

Estando A_{11} conectado a la entrada \overline{CE}_1 del 8755A las direcciones correspondientes a la memoria ROM y a las puertas I/O son las siguientes:

El ROM ocupa los primeros 2K de direcciones de memoria desde 0000000000000000 hasta 0000011111111111. Note que tanto A_{11} como A_{15} son ceros en estas direcciones.

Para seleccionar las puertas de entrada/salida, A_{15} debe lógico 1 y A_{11} debe ser lógico 0; por lo tanto las puertas I/O mapeadas por memoria tendrán las direcciones desde 1000000000000000 hasta 1000000000000011. Es importante notar que se ha usado direccionamiento no absoluto con el consecuente ahorro de algún tipo de decodificador de direcciones.

Un punto interesante de este circuito es el hecho de que las puertas I/O pueden ser también mapeadas por acumulador además de memo-

ria.

Supongamos que queremos direccionar la puerta 10000000 por acumulador; en este caso la información que el 8085A pone en la barra de direcciones cuando la instrucción I/O se ejecuta es 1000000010000000. Note que A_{15} es lógico 1 y A_{11} es lógico 0 de tal forma que son seleccionados el 8755A y las puertas de I/O dentro de este circuito integrado y como A_0 y A_1 son ceros eso nos indicará que el microprocesador se está comunicando con la puerta A.

En conclusión podemos comunicarnos con las puertas I/O dentro del 8755A si direccionamos con memoria desde 1000000000000000 hasta 1000000000000011 o direccionamos con acumulador desde 10000000 hasta 10000011. Puesto que estamos usando direccionamiento no absoluto, otras direcciones pueden ser usadas para el mismo propósito. Ya que el circuito integrado 8155 también necesita un 0 lógico en \overline{CE}_1 para ser habilitado se ha colocado un inversor de tal suerte que en nin -

gún caso este chip y el 8755A sean habilitados al mismo tiempo.

Las direcciones de memoria para el 8155 van desde 0000100000000000 hasta 0000100011111111

El acceso a las puertas de entrada/salida se lo hace desde 1000100000000000 hasta --
1000100000000011 si estos son mapeados por memoria y desde 10001000 hasta 10001011 si son direccionados por acumulador.

La salida del reloj de 60 Hz se lo ha colocado como señal de entrada al temporizador del 8155 y la salida de éste se lo invierte y se lo conecta al terminal de interrupción --
RST 7.5 de tal forma que este reloj interrumpa al sistema cada segundo. Para ello es necesario programar el temporizador del 8155 - para que cuente 60 pulsos de reloj. Esto es nos de una señal cada 60 pulsos de reloj, es decir, cada segundo.

Se escogió el terminal de interrupción --
RST 7.5 puesto que es el que tiene la mayor

T A B L A 2.1

DIRECCIONAMIENTO DEL SISTEMA

A S I G N A C I O N	ACUMULADOR I/O																MAPEADO POR MEMORIA															
	AD ₇	AD ₆	AD ₅	AD ₄	AD ₃	AD ₂	AD ₁	AD ₀	A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀								
puerta 1A (8755A)	1	X	X	X	0	X	0	0	1	X	X	X	0	X	X	X	X	X	X	X	X	X	X	0	0							
puerta 1B (8755A)	1	X	X	X	0	X	0	1	1	X	X	X	0	X	X	X	X	X	X	X	X	X	X	0	1							
DDR A (8755A)	1	X	X	X	0	X	1	0	1	X	X	X	0	X	X	X	X	X	X	X	X	X	X	1	0							
DDR B (8755A)	1	X	X	X	0	X	1	1	1	X	X	X	0	X	X	X	X	X	X	X	X	X	X	1	1							
MEMORIA (8755A)								0	0	X	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0							
MEMORIA (8755A)								0	0	X	X	X	0	1	1	1	1	1	1	1	1	1	1	1	1							
COMMAND/STATUS REG. (8155)	1	X	X	X	1	0	0	0	1	X	X	X	1	X	X	X	X	X	X	X	X	X	0	0	0							
PUERTA 2A (8155)	1	X	X	X	1	0	0	1	1	X	X	X	1	X	X	X	X	X	X	X	X	X	0	1	1							
PUERTA 2B (8155)	1	X	X	X	1	0	1	0	1	X	X	X	1	X	X	X	X	X	X	X	X	X	0	1	1							
PUERTA 2C (8155)	1	X	X	X	1	0	1	1	1	X	X	X	1	X	X	X	X	X	X	X	X	X	0	1	1							
8 LSB of TIMER	1	X	X	X	1	1	0	0	1	X	X	X	1	X	X	X	X	X	X	X	X	X	1	0	0							
6 MSB of TIMER	1	X	X	X	1	1	0	1	1	X	X	X	1	X	X	X	X	X	X	X	X	X	1	0	1							
MEMORIA (8155)								0	0	X	X	X	1	X	X	X	X	X	X	X	X	0	0	0	0							
MEMORIA (8155)								0	0	X	X	X	1	X	X	X	X	X	X	X	X	1	1	1	1							

A S I G N A C I O N	ACUMULADOR I/O	MAPEADO POR	MEMORIA
Puerta 1A (8755A)	80	8000	
Puerta 1B (8755A)	81	8001	
DDR A (8755A)	82	8002	
DDR B (8755A)	83	8003	
MEMORIA (8755A)		0000	
MEMORIA (8755A)		07FF	
REGISTRO COMANDO/ESTADO (8155)	88	8800	
PUERTA 2A (8155)	89	8801	
PUERTA 2B (8155)	8A	8802	
PUERTA 2C (8155)	8B	8803	
8 LSB of TIMER	8C	8804	
6 LSB of TIMER	8D	8805	
MEMORIA (8155)		0000	
MEMORIA (8155)		07FF	

prioridad después de TRAP, de tal suerte que el sistema no pierde nunca la cuenta de un solo segundo.

Se ha utilizado inversores como manejadores para los LEDS ya que éstos no requieren mucha corriente de operación y además disminuye el número de circuitos integrados utilizados.

Se empleó la puerta B del 8155 para la entrada de datos externos que produzcan un cambio de secuencia de las luces en el momento que aparece un pulso en el terminal de interrupción RST 5.5.

El resto de las conexiones del circuito son las conexiones normales encontradas en un sistema 85 y que pueden ser consultadas en el apéndice C.

En la tabla 2.1 se ha incluido las direcciones de DDR A (Registro de dirección de datos) y DDR B del 8755A y las direcciones de los lugares donde se carga el temporizador del

8155 así como también la dirección del registro de COMANDO/ESTADO del 8155 que es el que indica como van a trabajar las puertas y el TIMER de este circuito integrado.

La secuencia de las luces del controlador de tráfico dada en la definición del problema me servirán para tener cinco formas de tráfico vehicular tal como se lo muestra en la figura 2.3, esperando con ello que esta secuencia sea la más general posible de forma que el semáforo pueda aplicarse en distintos casos particulares.

Aparte de esta secuencia que llamamos secuencia normal, la central de tránsito puede ordenar otras secuencias como por ejemplo rojo fijo o amarillo intermitente de acuerdo a circunstancias especiales. Estas serán revisadas posteriormente.

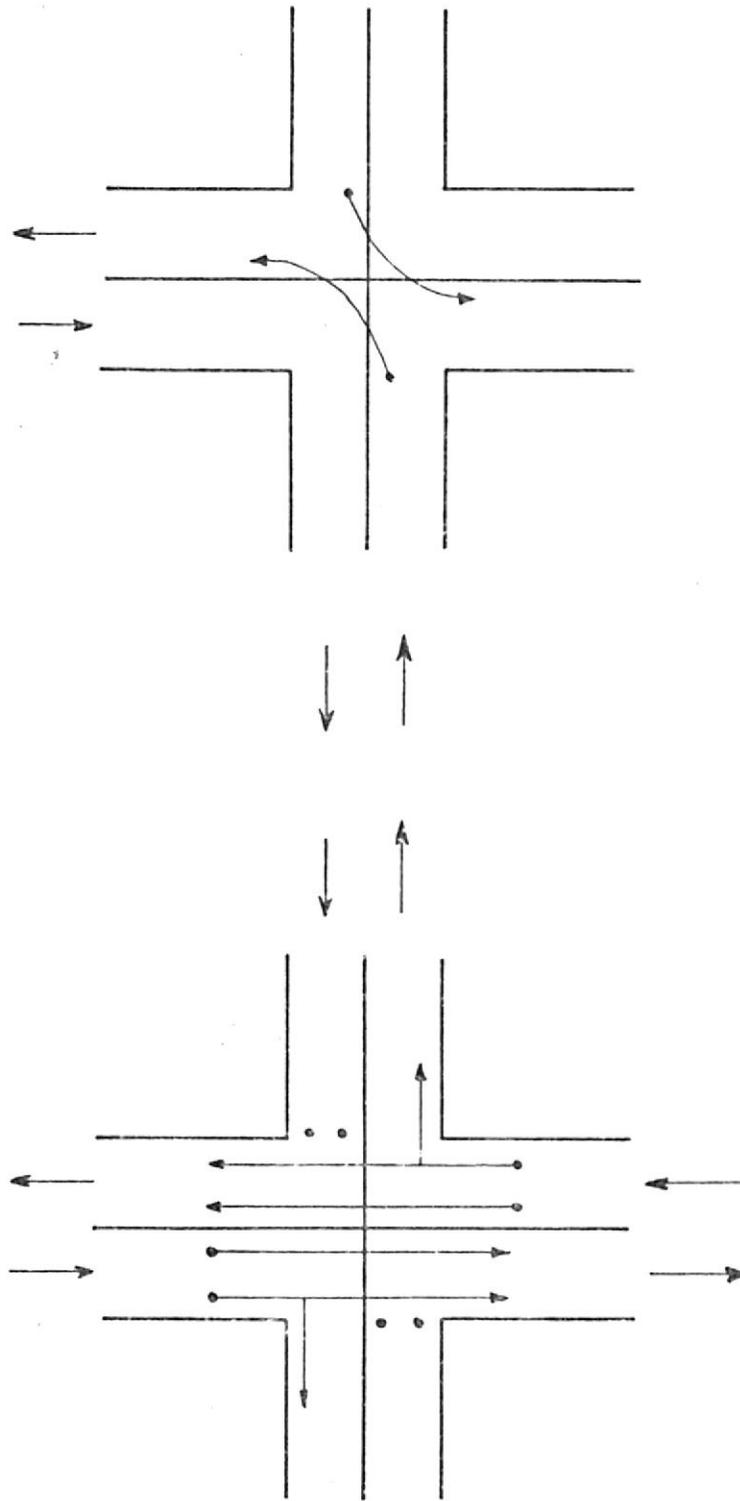
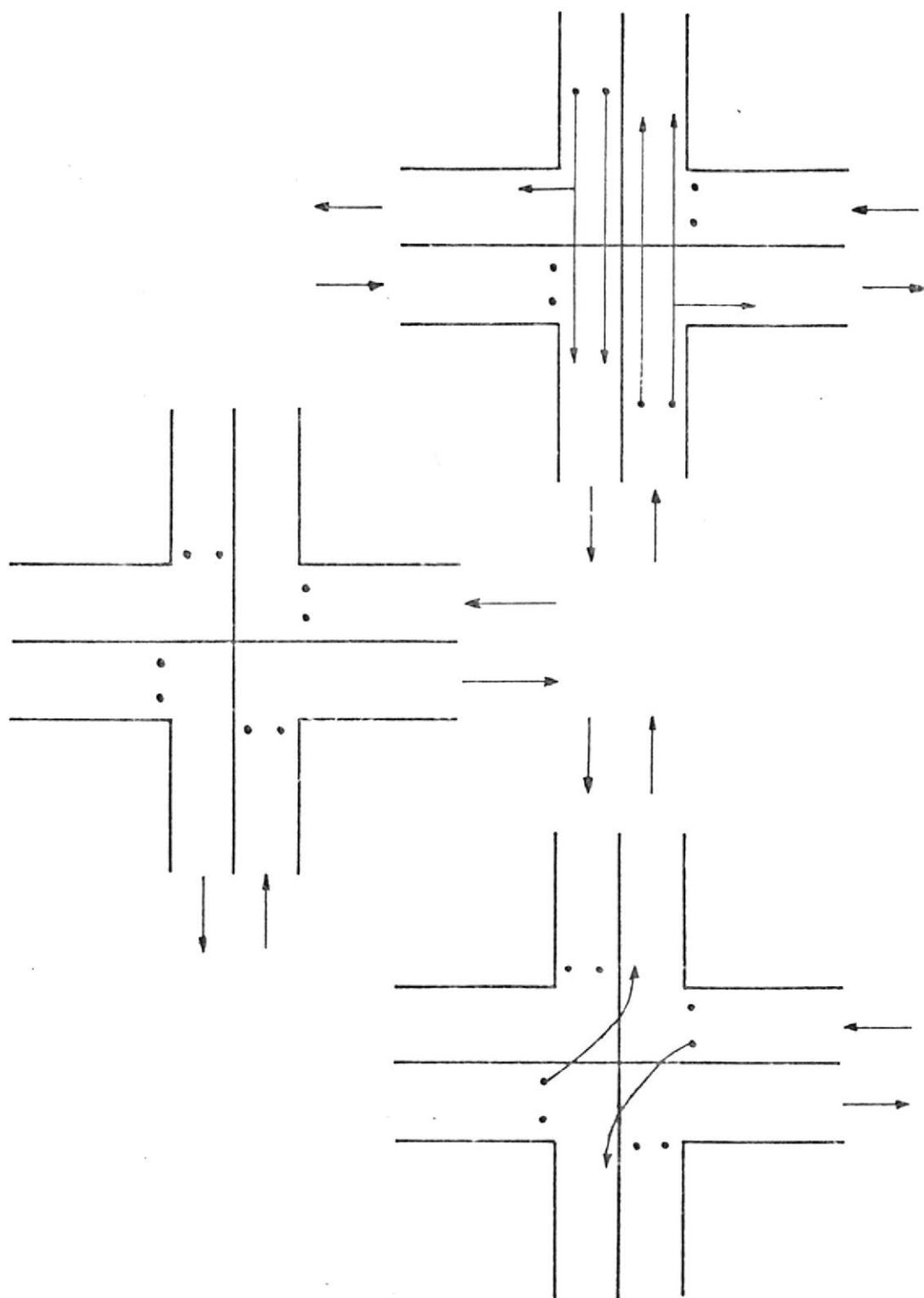


FIGURA 2.3. FORMAS POSIBLES DE MOVIMIENTO VEHICULAR

Continuación



2.3. SOFTWARE GRABADO EN EL EPROM 8755A PARA RESOLVER EL PROBLEMA PLANTEADO.

2.3.1. Información que puede ser enviada desde una central de tránsito

Debido a que esta tesis no resuelve el problema de la recepción de información enviada desde una central de tránsito se ha convenido con el profesor guía de este trabajo que se simule la recepción de información por medio de interruptores.

Es así como de acuerdo al número introducido en una determinada puerta se obtendrá lo siguiente: secuencia normal (5 luces por cada lado de la intersección) con diferentes juegos de tiempos de acuerdo al número introducido, rojo fijo por lado de la intersección, amarillo intermitente para un lado y rojo intermitente para el otro lado. Todas estas secuencias han quedado grabadas en un EPROM.

Se han grabado otros dos EPROMS con las mismas secuencias anteriores pero solo para 3 y

4 luces respectivamente.

2.3.2. Programa grabado en el EPROM

Para cumplir los posibles requerimientos de la central primeramente vamos a resolver el problema de la secuencia normal del semáforo y su sincronización automática.

Las figuras 2.4 y 2.5 nos dan una mejor idea del ciclo de operación del controlador de tráfico.

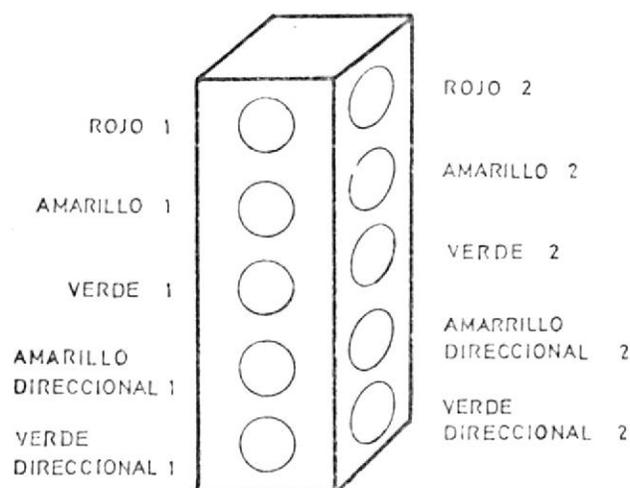


FIG. 2-4 SEMAFORO CON 5 LUCES
POR LADO

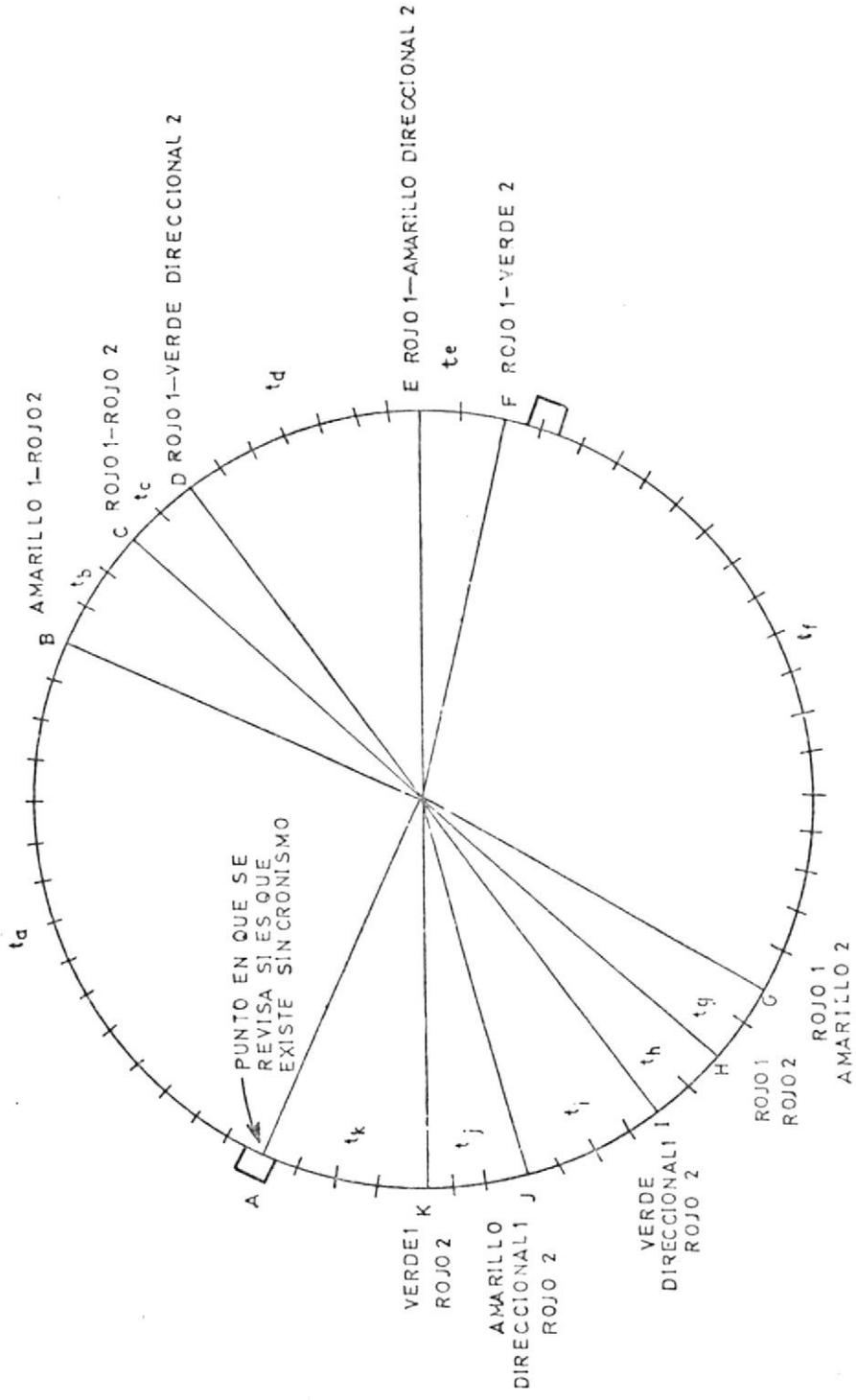


FIGURA 2.5. CICLO COMPLETO

Los puntos indicados con letras excepto el punto A son lugares donde se producen cambios de luces. El punto A es el lugar donde debe aparecer el pulso de sincronismo para este semáforo.

El pulso de sincronismo tiene una duración de un segundo y debe aparecer una vez por ciclo, es decir:

$$T = t_a + t_b + t_c + t_d + t_e + t_f + t_g + t_h + t_i + t_j + t_k$$

A partir del punto A el sistema leerá por 10 msg el bit PB_2 de la puerta B del 8755A esperando encontrar una lectura de alto indicador de la presencia del pulso de sincronismo; si esto no ocurre es porque o el sistema está desincronizado o sencillamente no existe pulso de sincronismo.

La ampliación de la región alrededor del punto A en caso de sincronización se encuentra en la figura 2.6.

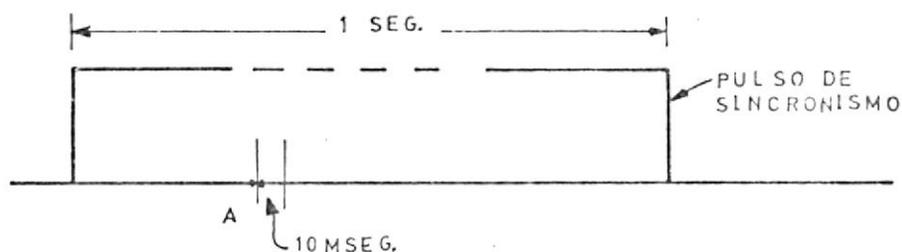
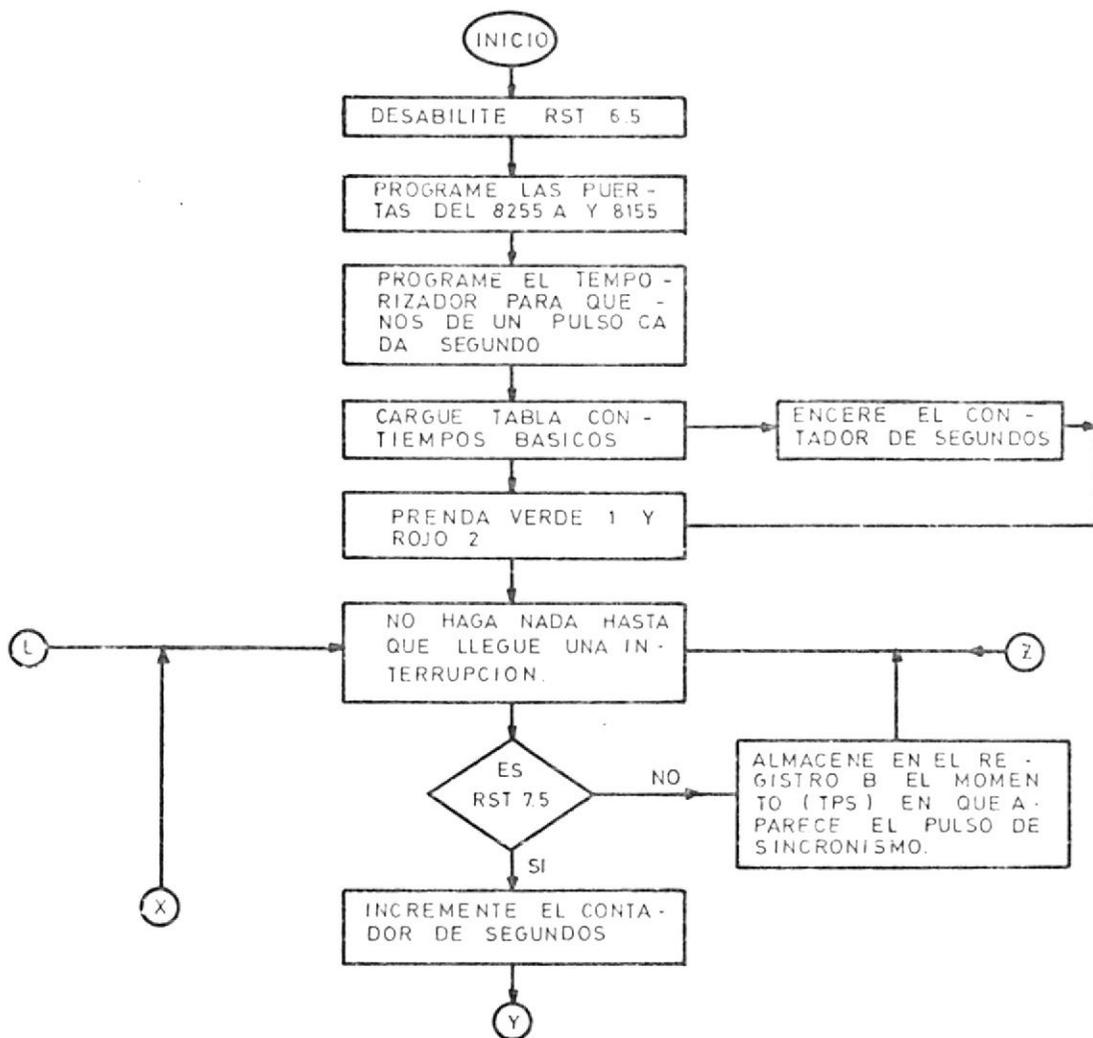
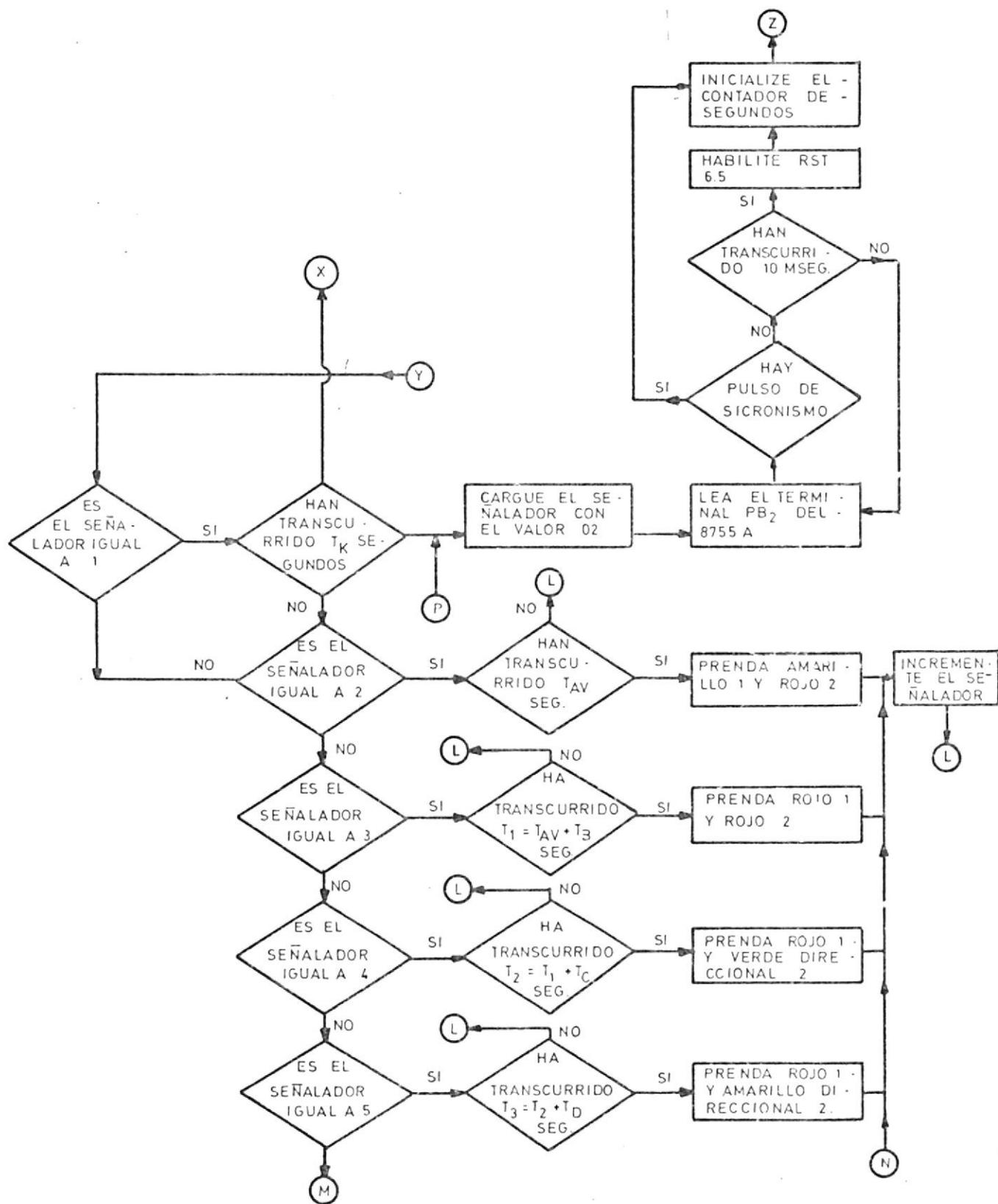


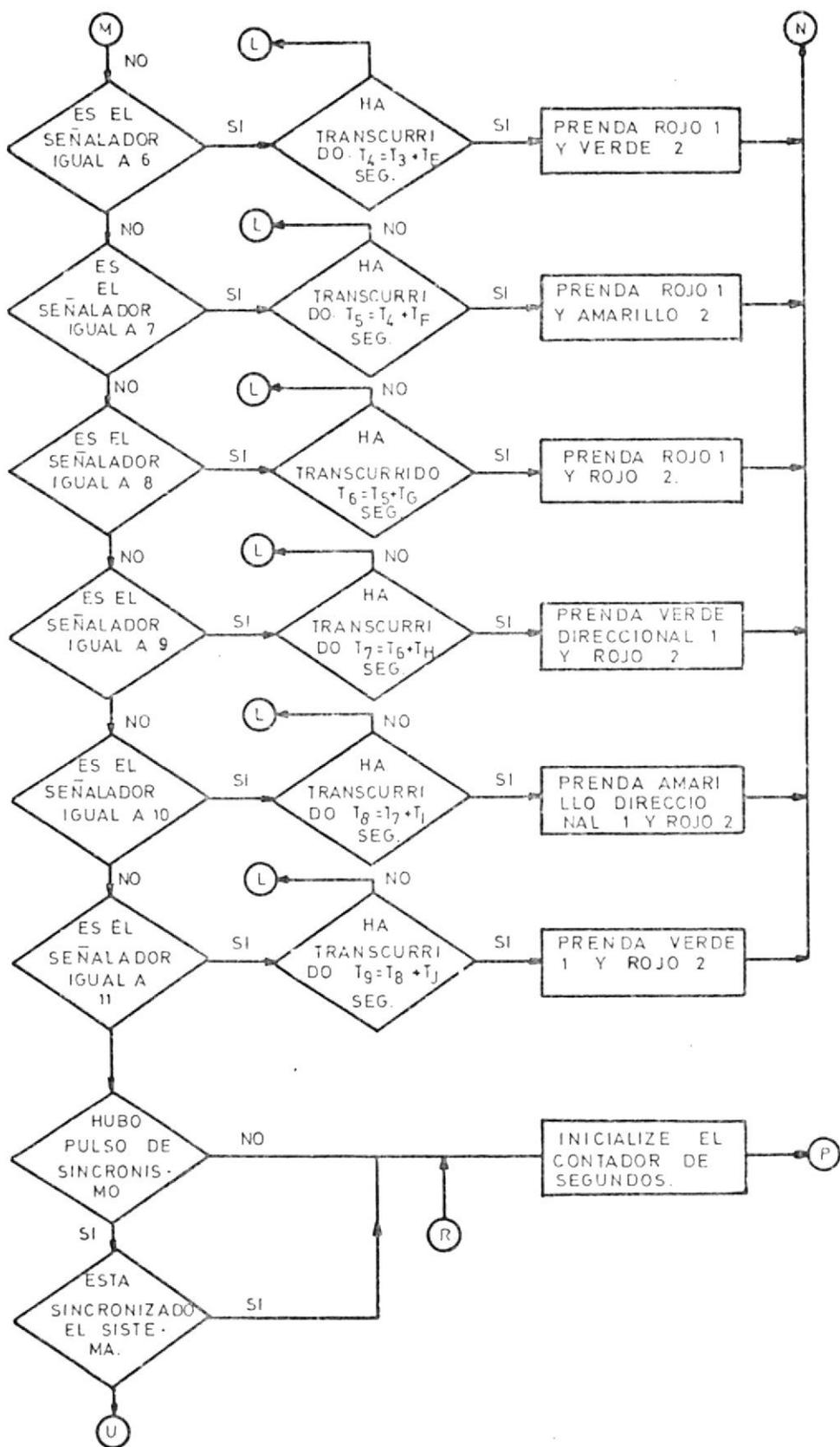
FIGURA 2.6. REGION DE SINCRONIZACION

Supongamos que el pulso de sincronismo no aparece alrededor de A sino después del punto F entonces el sistema debe calcular qué tiempo existe entre el lugar donde aparece el pulso y el punto A para decidirse en qué sentido va a moverse éste punto A para alcanzar al pulso de sincronismo en el menor tiempo posible.

Se ha conectado el pulso de sincronismo también al terminal RST 6.5 del 8085A como medio para poder determinar en qué momento aparece éste en caso de desincronización. En caso de que el semáforo esté sincronizado, sencillamente se deshabilita este terminal de interrupción para evitar que el sistema se interrumpa cada vez que aparece el pulso de sincronismo.







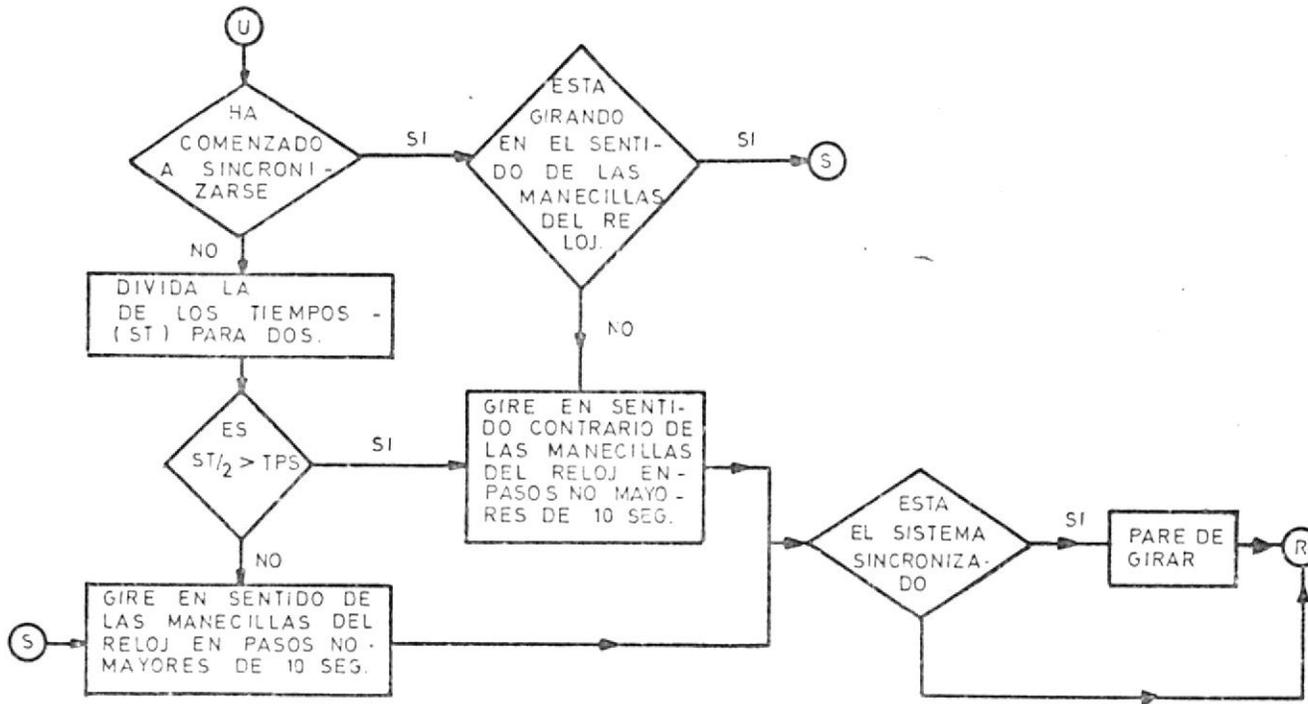
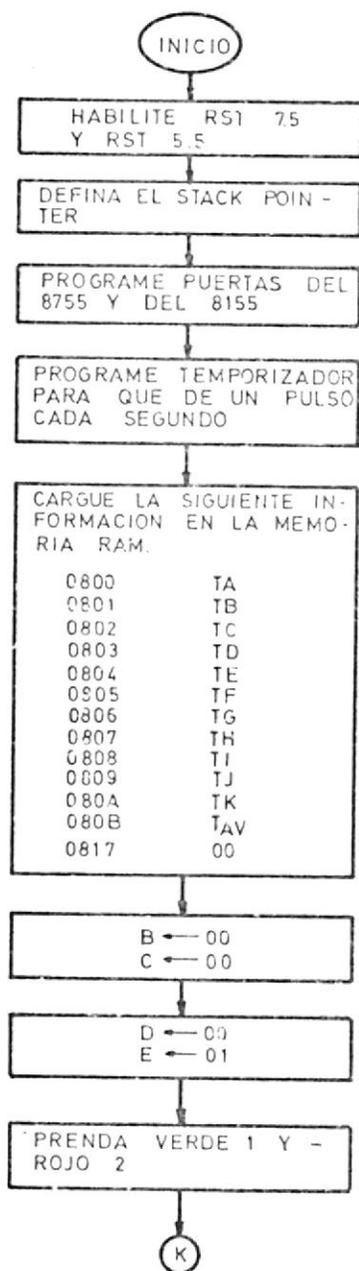
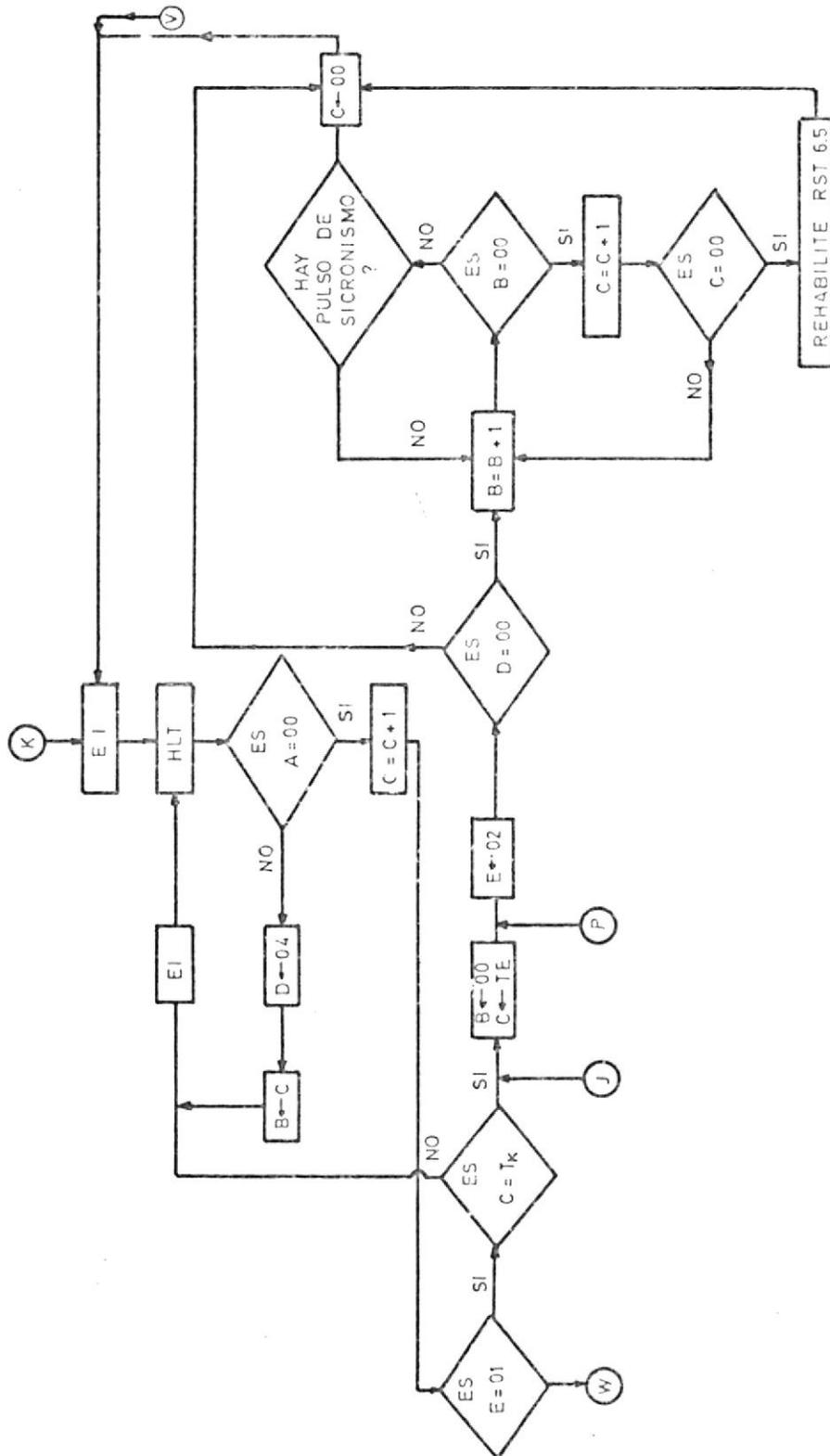
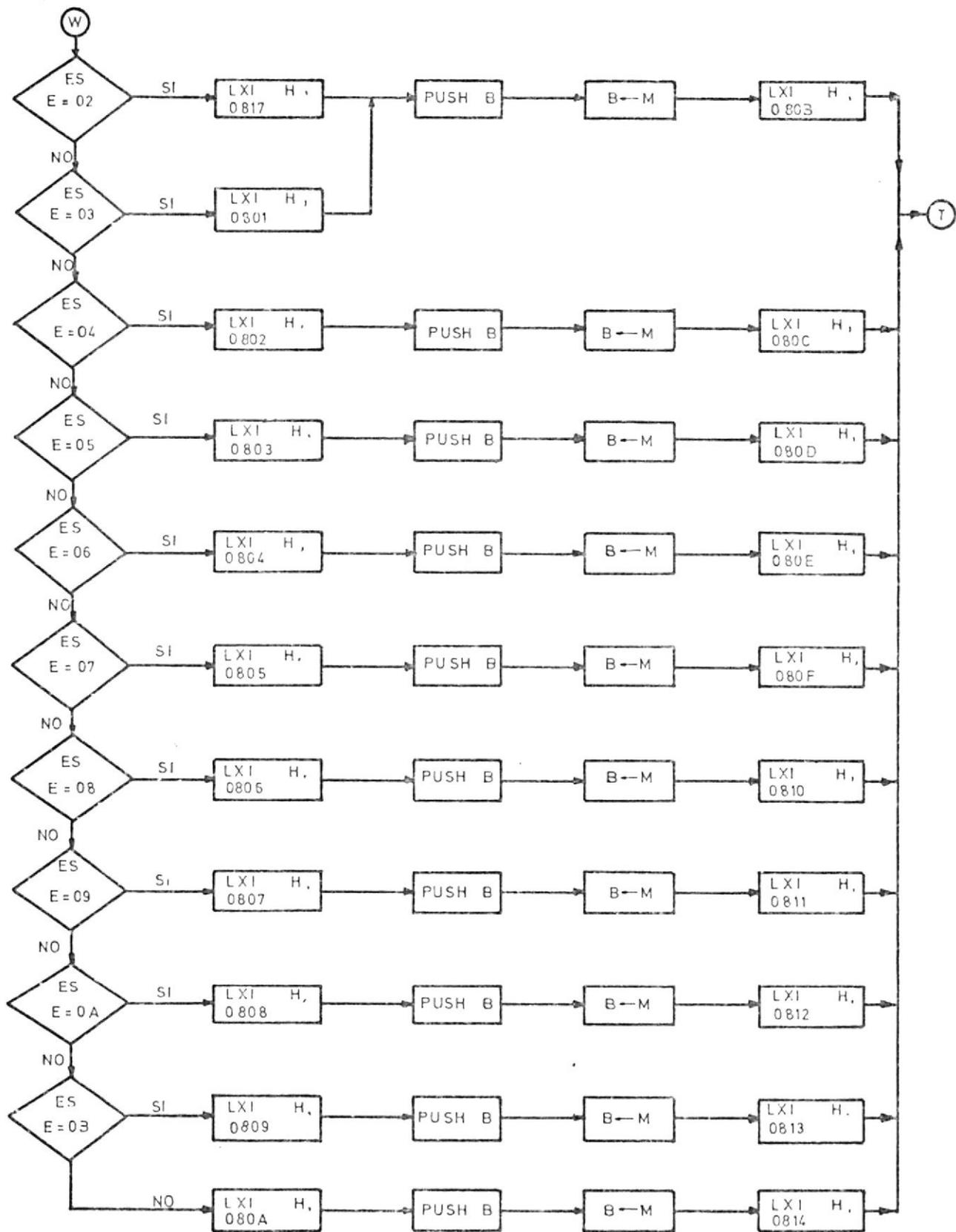
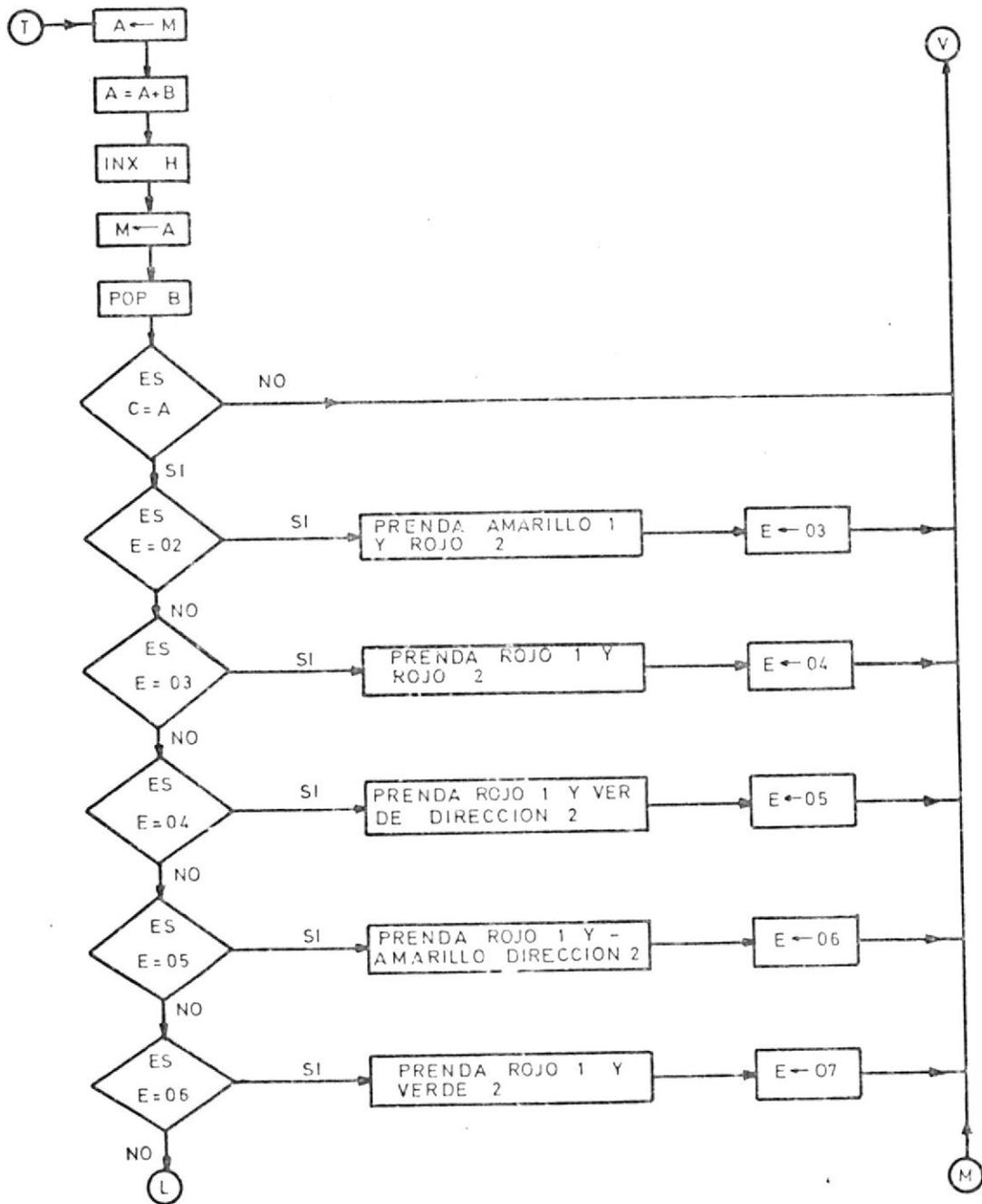


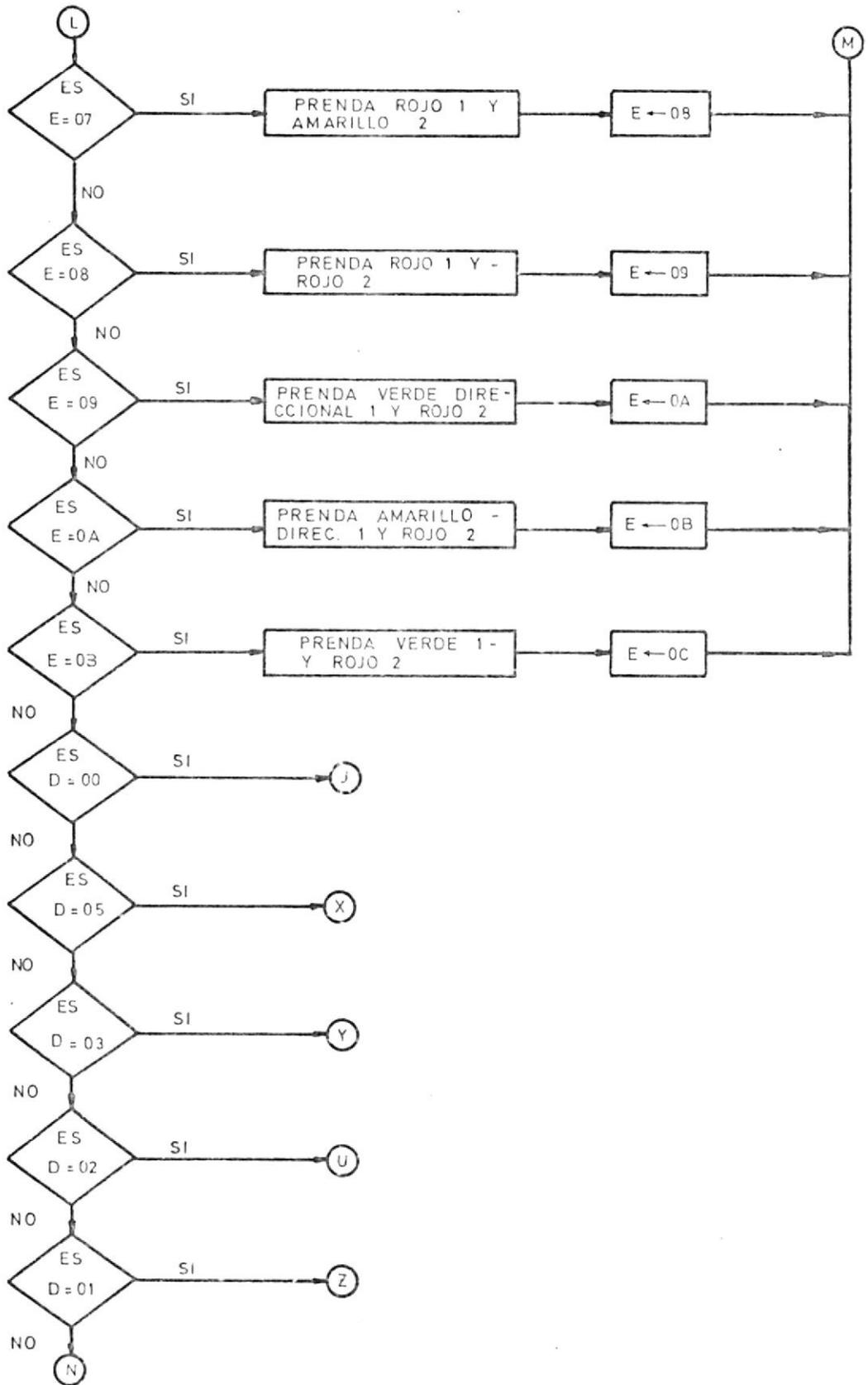
FIGURA 2.7 DIAGRAMA DE FLUJO DE SINCRONIZACION Y CAMBIO DE LUCES

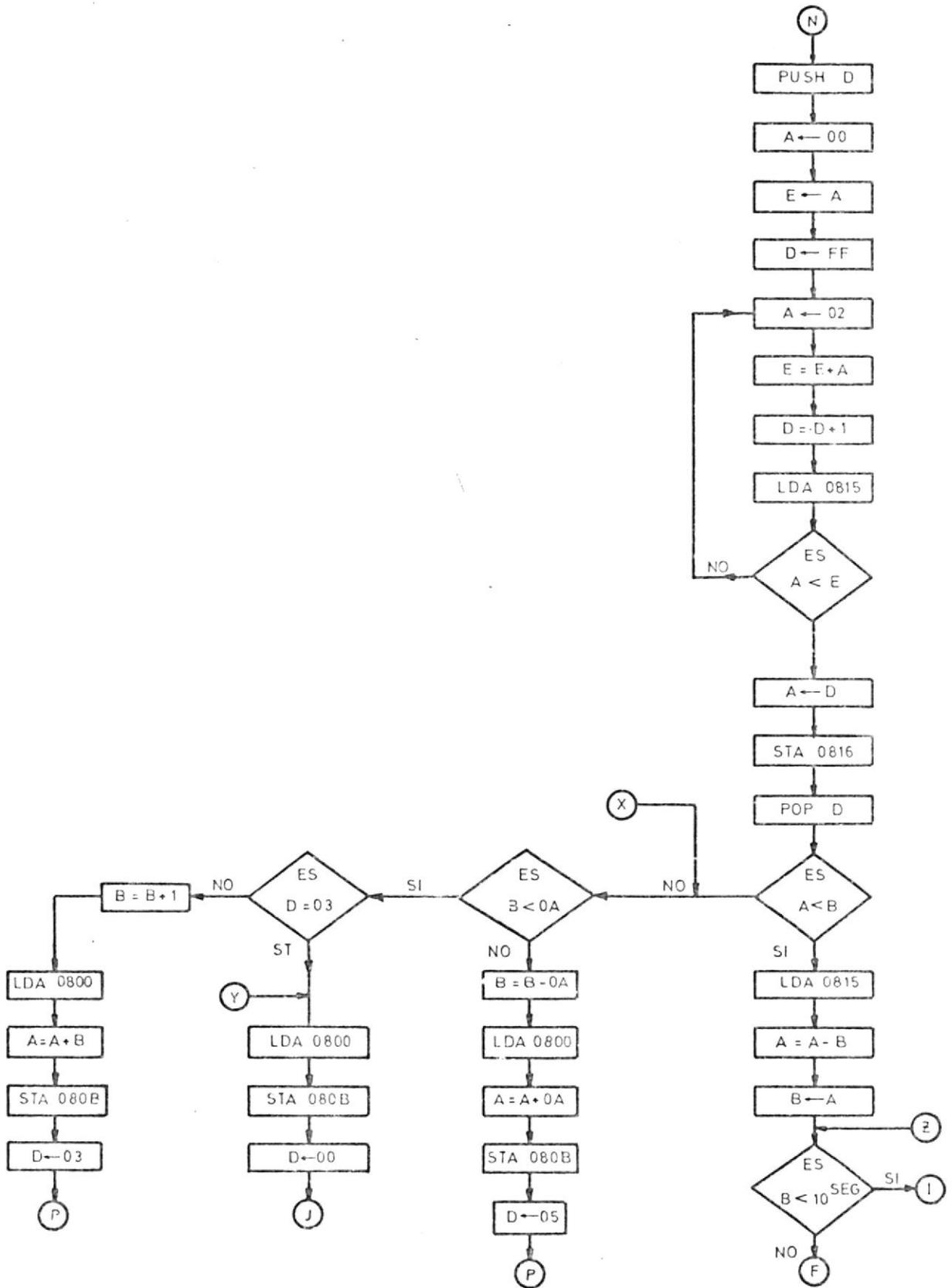


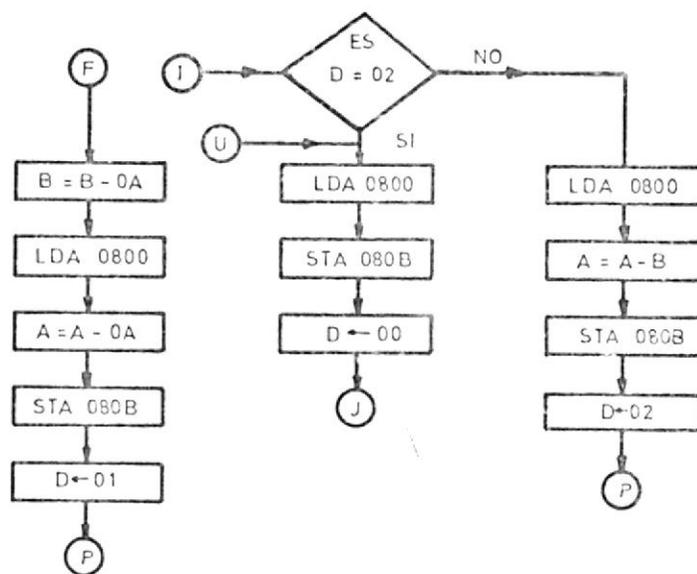




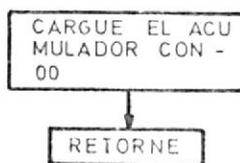








RST 7.5



RST 6.5



FIGURA 28 DIAGRAMA DE FLUJO DESARROLLADO

El problema planteado se simplifica al programar el temporizador del 8155 para que nos de un pulso que interrumpa al sistema (RST 7.5) cada segundo.

Las figuras 2.7 y 2.8 nos muestran los diagramas de flujo simple y desarrollado planteados para resolver el problema. Recordar que se sigue usando la notación:

Reg A = A

Reg B = B

Reg C = C

Reg D = D

Reg E = E

Reg H = H

Reg L = L

2.3.3. Análisis y Listado del Programa

Inicialmente asumamos que no existe pulso de sincronismo y que no vamos a cambiar la secuencia del semáforo. Esto significa que no hay pulsos en los terminales RST 5.5 y RST 6.5. Cargando la cantidad de $3C_{16} = 60_{10}$ en los 8 bits menos significativos del regis

tro de carga de contaje del temporizador y la cantidad $CO_{16} = 192_{10}$ en los 8 bits más significativos se tendrá que éste dará un pulso cada segundo que interrumpirá al sistema a través del terminal RST 7.5.

Se llenan las direcciones 0800 - 080B de la memoria RAM del 8155 con tiempos que llamaremos tiempos básicos ya que éstos son los que me darán las duraciones de las distintas luces inicialmente y cuando por alguna razón se quede sin energía el sistema. Recordar que estos tiempos pueden ser cambiados posteriormente y es por esta razón que se los coloca en RAM.

Se carga al mismo tiempo t_a en las direcciones 0800 y 080B. El tiempo t_a en la última dirección mencionada lo llamaremos t_a variable (t_{av}) puesto que éste es el que puede aumentarse o disminuirse cuando el sistema está desincronizado.

Se inicializan ciertos registros, se prende verde 1 - rojo 2 y el sistema pasa a un es-

tado de HALT, es decir, el sistema no hace nada hasta cuando llegue un pulso en uno de los tres terminales de interrupción.

Al llegar el pulso del temporizador del 8155 el sistema interrumpe lo que está haciendo (en este caso estaba esperando) y salta a la dirección 003C y ejecuta lo siguiente:

- a) Carga el acumulador con la cantidad 00
- d) Retorna

Lo único que hace es cargar el acumulador con el valor de cero y regresar. No interesa cuanto dure el pulso del temporizador puesto que para el terminal RST 7.5, la interrupción se produce debido a la pendiente positiva del pulso y no al valor de amplitud de éste.

A continuación se pregunta si el valor del acumulador es igual a cero para saber si la interrupción se debe a un pulso en RST 7.5 o en RST 6.5.

Como fue el temporizador el que produjo la -
interrupción la respuesta a la pregunta es -
sí y se incrementa el registro C.

Puesto que el registro E tiene un contenido
de 01, el programa cuenta estas interrupcio-
nes hasta que el número de éstas iguala al
número t_k , en ese momento se hace que el re-
gistro E se cargue con el valor de 02 y por
10 mseg lee y chequea si es que aparece el
pulso de sincronismo en el terminal PB₂ de
la puerta B del EPROM 8755A.

Note que durante el tiempo que transcurre en-
tre interrupciones (1 segundo) el sistema -
después de aumentar el contador y de verifi-
car si éste es igual a t_k se coloca en un -
estado de HLT, es decir, no hace nada.

Si es que no aparece el pulso de sincronismo
durante estos 10 ms, el sistema ya no lo bus-
ca más y habilita el terminal RST 6.5 en es-
pera de que sea el mismo pulso de sincronis-
mo el que indique su posición dentro del ci-
clo. Después de habilitar el terminal

RST 6.5 se encera el registro C y comienza a contar nuevamente el número de interrupciones que se producen por el terminal RST 7.5 al mismo tiempo que se chequea que éste número guardado en el registro C sea menor que t_{av} que en este momento es igual a t_a .

Después de que el número de interrupciones i guala a t_{av} (dirección 080B) se produce un cambio de luces (AMARILLO 1 y ROJO 2), pero el registro C no vuelve a encerse sino que mantiene en sus registros el valor de t_{av} segundos y a partir de este valor continúa incrementándose debido a las interrupciones producidas por los pulsos del temporizador. En otras palabras nos encontramos en el punto B y deberán transcurrir t_B segundos antes de que se produzca un nuevo cambio de luces.

Ya que el registro C nos indica el momento en que debe producirse el cambio de luces, no debemos comparar éste con t_b segundos sino con $t_{av} + t_b$. Es por esta razón que se carga en la dirección 080A el valor de $t_{av} + t_b$.

De la misma forma cuando el registro C cuenta $t_{av} + t_b$ segundos se produce el cambio de luces VERDE DIRECCIONAL 2 - ROJO 1 y si gue contando hasta que el registro C alcanza $t_{av} + t_b + t_c$ donde nuevamente se produ ce un cambio de luces. Este último valor está almacenado en la dirección 080B. De es ta forma sucesivamente se va almacenando la suma de los tiempos en las direcciones de me moria 080B - 0815 para poder comparar apro piadamente con el registro C (Tabla 2.2).

Si después de que el registro C ha igualado a $t_{av} + t_b + t_c + t_d + t_e + t_f + t_g + t_h + t_i + t_j + t_k$ no ha aparecido el pulso de sincronismo el programa regresa al punto J del diagrama anterior para iniciar un nuevo ciclo.

Ahora supongamos que el pulso de sincronismo aparece después del punto F tal como lo indi ca la figura 2.5. En el momento que aparece el pulso de sincronismo se interrumpe el sis tema y se ejecuta la subrutina que se encuen tra a partir de la dirección 0034 realizando

0800	t_a
0801	t_b
0802	t_c
0803	t_d
0804	t_e
0805	t_f
0806	t_g
0807	t_h
0808	t_i
0809	t_j
080A	t_k
080B	t_{av}
080C	$t_{av} + t_b$
080D	$t_{av} + t_b + t_c$
080E	$t_{av} + t_b + t_c + t_d$
080F	$t_{av} + t_b + t_c + t_d + t_e$
0810	$t_{av} + t_b + t_c + t_d + t_e + t_f$
0811	$t_{av} + t_b + t_c + t_d + t_e + t_f + t_g$
0812	$t_{av} + t_b + t_c + t_d + t_e + t_f + t_g + t_h$
0813	$t_{av} + t_b + t_c + t_d + t_e + t_f + t_g + t_h + t_i$
0814	$t_{av} + t_b + t_c + t_d + t_e + t_f + t_g + t_h + t_i + t_j$
0815	$t_{av} + t_b + t_c + t_d + t_e + t_f + t_g + t_h + t_i + t_j + t_k$

TABLA 2.2 TIEMPOS BASICOS

lo siguiente:

- a) Deshabilite RST 6.5
- b) Cargue el acumulador con 01
- c) Retorne.

Lo primero que hace es deshabilitar el terminal de interrupción RST 6.5 evitándose con ello que el sistema vuelva a interrumpirse con el mismo pulso de sincronismo debido a la larga duración de éste (1 seg.).

La subrutina regresa al programa principal con un valor de 01 en el acumulador. Esto hace que el registro C no se incremente debido a esa interrupción sino que, se almacene en el registro B el tiempo en que aparece este pulso de sincronismo. Se debe indicar además que una vez que se produce la interrupción debido al pulso de sincronismo, este terminal de interrupción no volverá a habilitarse hasta que así se lo requiera de tal manera que en el siguiente ciclo aún cuando aparece nuevamente el pulso de sincronismo

te no producirá ninguna interrupción.

Es importante recalcar que el tiempo almacenado en el registro B es el número de segundos a partir del punto A. Para este caso particular el tiempo será mayor que $t_{av} + t_b + t_c + t_d + t_e$. Con este tiempo ya almacenado en el registro B, se siguen produciendo normalmente los cambios de luces en los puntos G, H, I, J, K y A. Al llegar al punto A ya no se inicia un nuevo ciclo inmediatamente, sino que se inicia el proceso de sincronización.

Es importante saber en que sentido nos vamos a mover (en sentido de las manecillas del reloj o viceversa) para que el sistema se sincronice en el menor tiempo posible.

Por esta razón lo primero que se averigua en el proceso de sincronización es si el tiempo en el registro B es mayor que $(t_{av} + t_b + t_c + t_d + t_e + t_f + t_g + t_h + t_i + t_j + t_k)/2$, si es así entonces debemos movernos en el sentido contrario a las manecillas del reloj

Vamos a suponer que el ciclo completo dura - 60 segundos y en base de este tiempo vamos a explicar el proceso de sincronización sin - perder generalidad.

Si $t_{REG B}$ (se lee el tiempo almacenado en el registro B) es menor que 30 segundos entonces debemos movernos en el sentido de las maneillas del reloj, pero este movimiento debe ser lo menos perceptible posible y por ello se ha escogido 10 segundos como tiempo - máximo de alargamiento o recortamiento del tiempo t_a .

Si $t_{REG B}$ es menor que 30 segundos, luego debemos averiguar si $t_{REG B} < 10$ seg. Si esto es así se aumenta t_a en $t_{av} = t_a + t_{REG B} + 1$ manteniendo todos los otros tiempos (t_b, \dots, t_k) inalterados para que de esta manera - se pueda girar en el sentido de las maneci - llas. Después de este ciclo el punto A caerá dentro del lugar donde aparece el pulso - de sincronismo y será necesario entonces restituir $t_{av} = t_a$ en la dirección 080B para -

que ya no se continúe girando. Ahora si podemos leer nuevamente la puerta PB_2 sabiendo que el sistema está sincronizado.

Si $30 \text{ seg} > t_{\text{REG B}} > 10 \text{ seg}$, entonces se hace que $t_{\text{av}} = t_a + 10 \text{ seg}$ y $t_{\text{REG B}} = t_{\text{REG B}} - 10 \text{ seg}$ y se continúa normalmente hasta que llegue el punto A del siguiente ciclo donde nuevamente se verifica si $t_{\text{REG B}} - 10 \text{ seg} > 10 \text{ seg}$. Si lo es nuevamente se resta 10 seg a $t_{\text{REG B}} - 10 \text{ seg}$ y se mantiene $t_{\text{av}} = t_a + 10 \text{ seg}$, de lo contrario se cambia el valor de t_{av} anterior por $t_{\text{av}} = t_a + t_{\text{REG B}}$ existiendo entonces iguales condiciones que cuando $t_{\text{REG B}} < 10$, para el primer caso tratado.

Si $t_{\text{REG B}} > 30 \text{ seg}$ entonces debemos movernos $60 - t_{\text{REG B}}$ en sentido contrario a las manecillas del reloj pero como ya se explicó anteriormente de 10 segundos en 10 segundos si es que $60 - t_{\text{REG B}} > 10 \text{ seg}$. En este caso en vez de aumentarse t_a debe disminuirse en 10 seg o $t_{\text{REG B}}$ según sea el caso.

Es importante notar que mientras nos encontramos en el proceso de sincronización no se busca el pulso de sincronismo durante los 10 mseg porque no tiene sentido, esto se hace cuando se supone que el sistema está sincronizado.

El proceso de sincronización se lo clarifica con la siguiente figura 2.9.

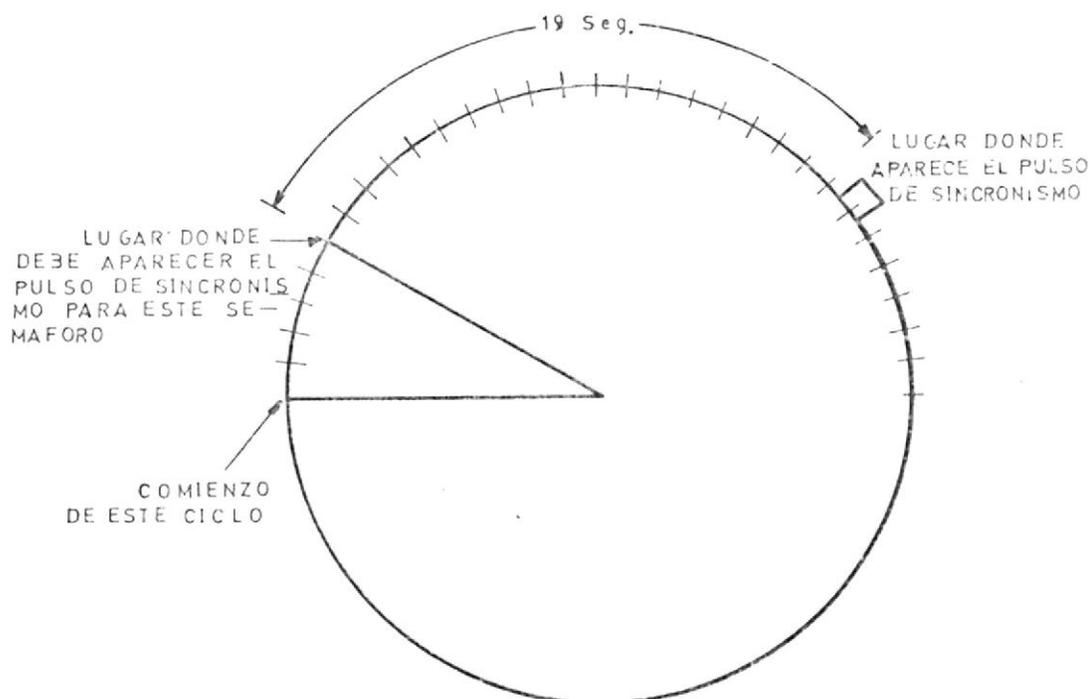


FIGURA 2.9. SISTEMA DESINCRONIZADO

En este caso el registro B se carga con $19_{10} = 13_{16}$ y puesto que 19 seg 30 seg debemos movernos en el sentido de las manecillas del reloj para sincronizarnos.

Ya que el contenido del registro B (19 seg) es mayor que 10 seg hacemos $t_{av} = t_a + 10\text{seg}$ y $\text{REG B} = \text{REG B} - 10 \text{ seg} = 9 \text{ seg}$.

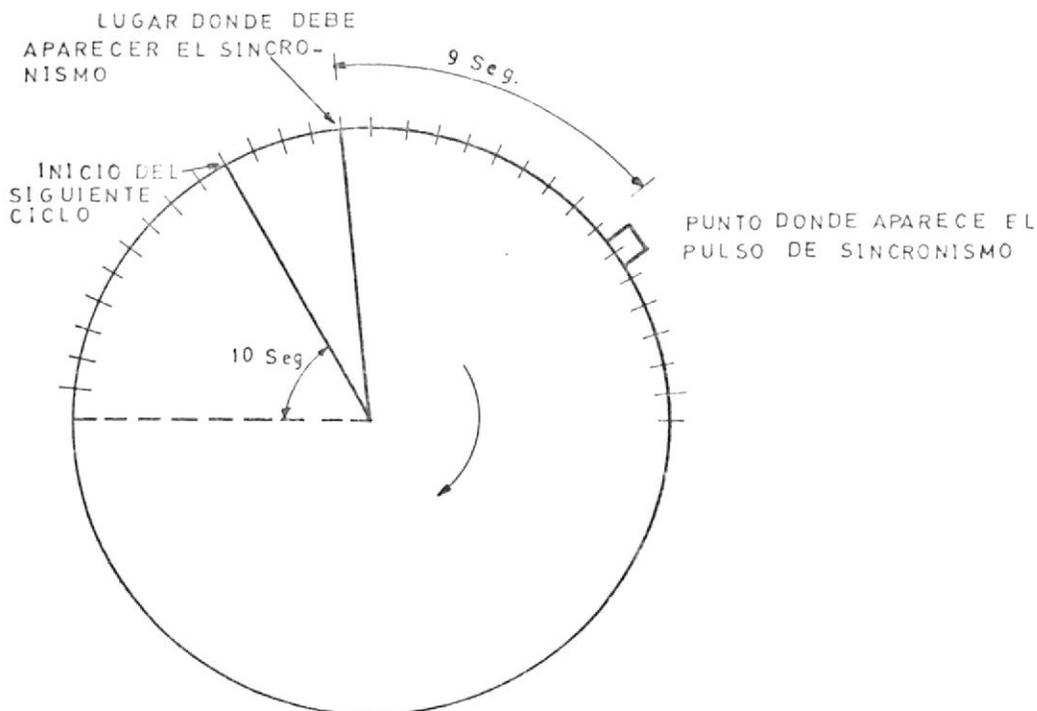


FIGURA 2.10. PRIMER PASO DE SINCRONIZACION

Observamos que el inicio del ciclo se ha movido 10 seg, en consecuencia el tiempo que existe entre el lugar donde debe aparecer el pulso de sincronismo y el lugar donde aparece es solo de 9 seg. (Figura 2.10)

Puesto que el contenido del registro B (9 seg) es menor que 10 segundos entonces el valor de t_{av} será $t_{av} = t_a + 9 \text{ seg} + 1 \text{ seg}$ quedando sin importancia el contenido del registro B

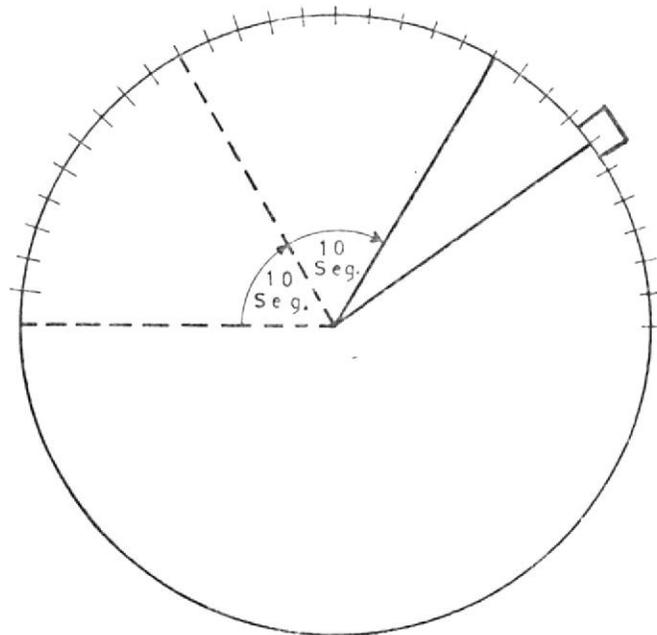


FIGURA 2.11. SEGUNDO PASO DE SINCRONIZACION

El inicio del nuevo ciclo se ha movido 10seg más (Figura 2.11) quedando el sistema sincronizado. Al final de este mismo ciclo se hace que $t_{av} = t_a$ y REG D = 00 para que el sistema no continúe girando y quede sin efecto la parte sincronizadora del programa. En estas condiciones el nuevo ciclo comienza leyendo por 10 mseg el terminal PB₂. Como esta lectura será positiva todos los tiempos de cambios de luces permanecerán inalterables manteniéndose el sistema sincronizado.

De la misma forma se puede analizar otros casos llegándose siempre a la sincronización final del semáforo.

Es interesante notar que la división $t_{av} + t_b + t_c + \dots + t_k$ se lo hace una sola vez cada vez que se desincroniza el sistema siendo $t_{av} = t_a$.

Se aumenta un segundo al contenido del registro B ($t_{REG B} + 1$) para lograr que el lugar donde debe aparecer el pulso de sincronismo y el lugar donde aparece coincidan, pero so

lamente en el caso de una rotación en el sentido de las manecillas de reloj de lo contrario no es necesario.

El programa se lo ha conformado de tal forma que las interrupciones ya sean RST 6.5, RST 5.5 o RST 7.5 ocurran solo cuando el sistema está en estado de HALT, evitándose con ello el problema que ocasionaría la aparición de una interrupción en otro lugar del programa.

Puesto que los pulsos de temporizadores aparecen cada segundo no hay problema de ejecutar cualquier tarea dentro de este intervalo, pero no podemos decir lo mismo con la interrupción debida al pulso de sincronismo que puede aparecer en cualquier momento cuando el sistema está desincronizado.

Sabiendo que no toma mucho tiempo realizar las tareas de cálculo y comparación y sabiendo además que el pulso de sincronización dura 1 segundo se deshabilitan todos los terminales de interrupción durante los cálculos y se los vuelve a habilitar antes de entrar a

HLT.

En lo que respecta al terminal de interrupción RST 5.5, éste se lo utiliza para la simulación de entrada de información enviada desde una central de tránsito. Se convino con el Director de esta tesis que sería conveniente tener grabados en ROM una serie de juegos de tiempos que se han usado de acuerdo a un número introducido por la puerta 1B del 8155. También y de acuerdo a otros números se tendrán rojo en ambos lados del semáforo y rojo y amarillo intermitente.

La figura 2.12 nos muestra el diagrama de flujo del programa destinado a dar servicio a las interrupciones debidas a RST 5.5.

La dirección 0078 tiene la instrucción EI y la dirección 0079 la instrucción HLT, es decir, que cuando el acumulador se carga con el valor 02 la subrutina regresa a un estado de HALT en el programa principal.

Cuando el registro A = 02 se ejecuta amari -

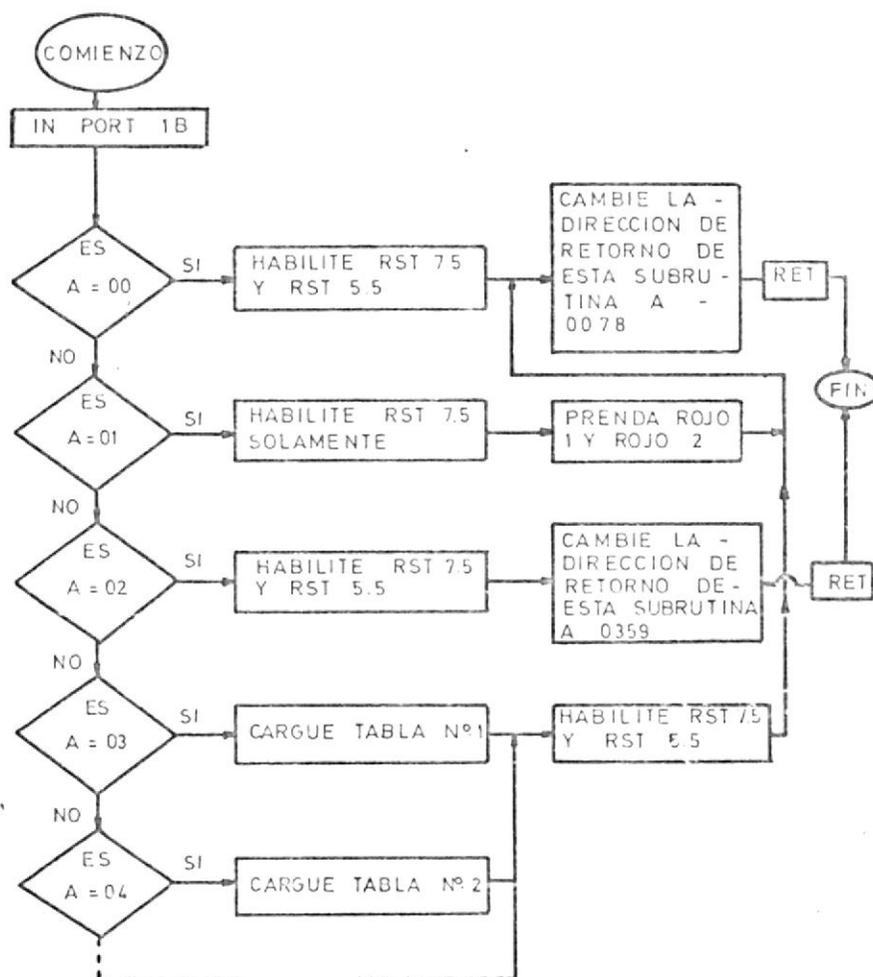


FIGURA 2.12 INTERRUPCION RST 5.5

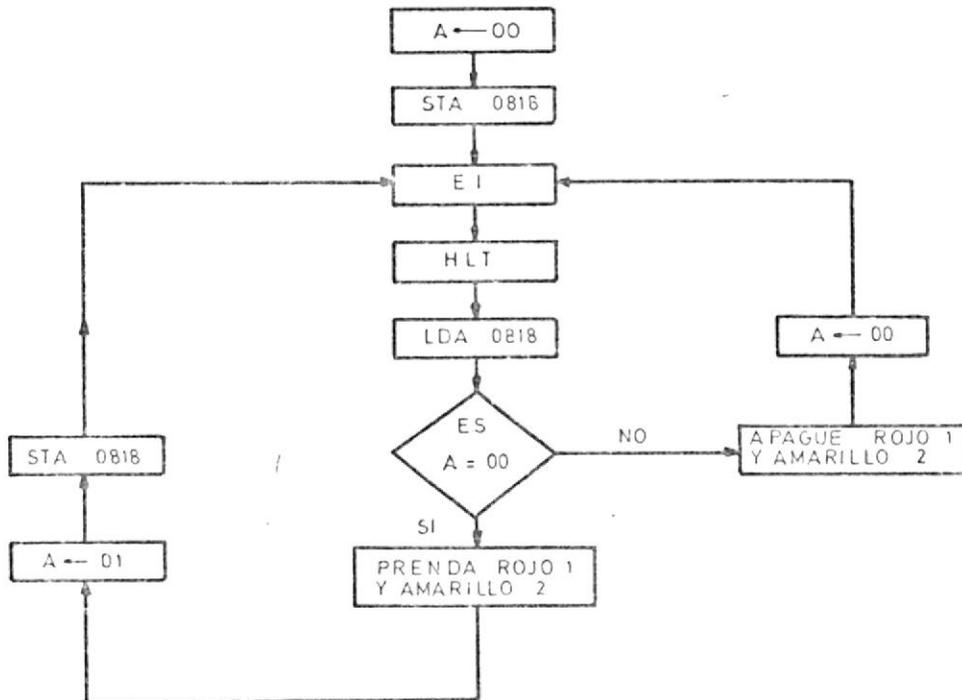


FIGURA 2.13 SECUENCIA DE AMARILLO Y ROJO INTERMITENTE

llo y rojo intermitente, teniéndose la se -
cuencia de la figura 2.13 para el efecto.

Debe notarse que este pequeño programa no u
tiliza las mismas instrucciones de EI y HLT
de los programas anteriores sino otras ins-
trucciones que comienzan a partir de la di -
rección 0359.

En resumen podemos decir que cuando se introduce el valor de 00 en el momento de la interrupción debido a un pulso en el terminal - RST 5.5 el sistema trabaja con la tabla de tiempos básicos que se encuentra al comienzo del programa principal; si se introduce el valor de 01 en el acumulador solamente se prenden los dos focos rojos del semáforo y permanecerán así hasta que se produzca una nueva interrupción y se introduzca otro número.

Si se introduce el valor 02 se prenden y se apagan simultáneamente cada segundo un foco rojo de un lado del semáforo y un foco amarillo del otro lado. Si es el número 03 el que se introduce, el semáforo trabajará con la secuencia normal pero con los tiempos de cambio de luces modificados.

Solamente se ha grabado una tabla de tiempos en el EPROM para efectos de demostración pero se pueden colocar hasta 256 tablas con diferentes tiempos de cambios de luces cada una. El listado del programa completo es el

que se expone a continuación:

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
0000	3E	MVI A, 0A	Habilite RST 7.5 ,
0001	0A		RST 5.5 solamente.
0002	30	SIM	
0003	31	LXI SP, ADDRESS (08F0)	0 0 0 0 1 0 1 0
0004	F0		
0005	08		
0006	3E	MVI A, FB	Programo puertas
0007	FB		8755A
0008	D3	OUT DDR A	
0009	82		
000A	D3	OUT DDR B	
000B	83		
000C	3E	MVI A, C0	Programo 8155 (puer-
000D	C0		tas y TIMER)
000E	D3	OUT COMMAND/STATUS	
000F	88		
0010	3E	MVI A, 3C	Cargo TIMER para que
0011	3C		cuente 60 pulsos y
0012	D3	OUT LSB	nos de un pulso cada
0013	8C		segundo
0014	3E	MVI A, C0	
0015	C0		
0016	D3	OUT MSB	
0017	8D		
0018	21	LXI H, ADDRESS (0800)	
0019	00		
001A	08		
001B	3E	MVI A, t_a (11 seg)	
001C	08		
001D	77	$M \leftarrow A$	0800 t_a
001E	23	INX H	
001F	C3	JMP, ADDRESS (0048)	
0020	48		
0021	00		
0022	FF		
0023	FF		
0024	FF		TRAP
0025	FF		
0026	FF		
0027	FF		
0028	FF		

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS	
0029	FF			
002A	FF			
002B	FF			
002C	C3	JMP, ADDRESS (02DB)	RST 5.5	
002D	DB			
002E	02			
002F	FF			
0030	FF			
0031	FF			
0032	FF			
0033	FF			
0034	3E	MVI A, 0A	RST 6.5	
0035	0A			
0036	30	SIM		
0037	3E	MVI A, 01		
0038	01			
0039	C9	RET		
003A	FF			
003B	FF			
003C	3E	MVI A, 00	RST 7.5	
003D	00			
003E	C9	RET		
003F	FF			
0040	FF			
0041	FF			
0042	FF			
0043	FF			
0044	FF			
0045	FF			
0046	FF			
0047	FF			
0048	3E	MVI A, t_b (3 seg)		
0049	03			
004A	77	M ← A	0801	t_b
004B	23	INX H		
004C	3E	MVI A, t_c (1 seg)		
004D	01			
004E	77	M ← A	0802	t_c
004F	23	INX H		
0050	3E	MIV A, t_d (7 seg)		
0051	07			
0052	77	M ← A	0803	t_d
0053	23	INX H		
0054	3E	MIV, t_e (3 seg)		
0055	03			

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
0056	77	M ←-- A	0804 t _e
0057	23	INX H	
0058	3E	MVI A, t _f (10 seg)	
0059	10		
005A	77	M ←-- A	0805 t _f
005B	23	INX H	
005C	3E	MVI A, t _g (3 seg)	
005D	03		
005E	77	M ←-- A	0806 t _g
005F	23	INX H	
0060	3E	MVI A, t _h (1 seg)	
0061	01		
0062	77	M ←-- A	0807 t _h
0063	23	INX H	
0064	3E	MVI A, t _i (7 seg)	
0065	07		
0066	77	M ←-- A	0808 t _i
0067	23	INH H	
0068	3E	MVI A, t _j (3 seg)	
0069	03		
006A	77	M ←-- A	0809 t _j
006B	23	INX H	
006C	3E	MVI A, t _k (5 seg)	
006D	05		
006E	77	M ←-- A	080A t _k
006F	23	INX H	
0070	3A	LDA 0800	
0071	00		
0072	08		
0073	77	M ←-- A	080B t _{av}
0074	AF	XRA A	
0075	32	STA 0817	
0076	17		
0077	08		0817 00
0078	01	LXI B, 0000	Inicialize los regis- tros B y C.
0079	00		El registro C es el contador de segundos
007A	00		Inicialize los regis- tros D y E
007B	11	LXI D, 0001	
007C	01		
007D	00		
007E	3E	MVI A, DF	
007F	DF		
0080	D3	OUT A TO PORT B	
0081	81		Prenda verde 1 y rojo 2
0082	3E	MVI A, 7F	

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
0083	7F		1 1 0 1 1 1 1 1
0084	D3	OUT A TO PORT A	
0085	80		0 1 1 1 1 1 1 1
0086	FB	EI	
0087	76	HLT	
0088	FE	CPI 00	¿Es la interrupción -
0089	00		debido a RST 7.5 o
008A	CA	JZ, ADDRESS (009B)	RST 6.57?
008B	9B		
008C	00		
008D	00	NOP	
008E	00	NOP	
008F	00	NOP	
0090	00	NOP	
0091	00	NOP	
0092	16	MVI D, 04	
0093	04		
0094	41	B ←← C	Almacene en el regis-
0095	00	NOP	tro B, el tiempo con
0096	C3	JMP, ADDRESS (0086)	respecto al punto A
0097	86		en que aparece el pul-
0098	00		so de sincronismo.
0099	00	NOP	
009A	00	NOP	
009B	0C	INR C	Incremente el conta-
009C	7B	A ←← E	dor de segundos
009D	FE	CPI 01	El registro E es el
009E	01		puntero del programa.
009F	C2	JNZ, ADDRESS (00D1)	
00A0	D1		
00A1	00		
00A2	3A	LDA 080A	Cargue el acumulador
00A3	0A		el tiempo t_k
00A4	08		
00A5	B9	CMP C	¿A transcurrido el -
00A6	C2	JNZ, ADDRESS (0086)	tiempo t_k ?
00A7	86		
00A8	00		
00A9	01	LXI B, 00FE	(J) Reg B=00 Reg C=FE
00AA	FE		
00AB	00		
00AC	1E	MVI E, 02	←←(P)
00AD	02		
00AE	AF	XRA A	
00AF	BA	CMP D	

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
00B0	C2	JNZ, ADDRESS (00C0)	
00B1	C0		
00B2	00		
00B3	04	INR B	
00B4	CA	JNZ, ADDRESS (00C5)	¿Han transcurrido 10 mseg?
00B5	C5		
00B6	00		
00B7	DB	IN PORT 1B	x x x x x D 2 x
00B8	81		
00B9	E6	ANI 04	Lea el terminal PB ₂ de la puerta B del ² - 8755A
00BA	04		
00BB	FE	CPI 04	
00BC	04		¿Hay pulso de sincronismo?
00BD	C2	JNZ, ADDRESS (00D3)	
00BE	D3		
00BF	00		
00C0	0E	MVI C, 00	Encere el contador - de segundos.
00C1	00		
00C2	C3	JMP, 0086	
00C3	86		
00C4	00		
00C5	0C	INR C	
00C6	C2	JNZ, ADDRESS (00B3)	
00C7	B3		
00C8	00		Habilite RST 7.5 y RST 6.5
00C9	3E	MVI A, 09	0 0 0 0 1 0 0 1
00CA	09		
00CB	30	SIM	
00CC	C3	JMP, ADDRESS (00C0)	
00CD	C0		
00CE	00		
00CF	00	NOP	
00D0	00	NOP	
00D1	FE	CPI 02	¿Es Reg E = 02?
00D2	02		
00D3	C2	JNZ, ADDRESS (00DC)	
00D4	DC		
00D5	00		
00D6	21	LXI H, 0817	
00D7	17		
00D8	08		
00D9	C3	JMP, ADDRESS (0174)	
00DA	74		
00DB	01		
00DC	FE	CPI 03	¿Es Reg E = 03?

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
00DD	03		
00DE	C2	JNZ, ADDRESS (00E8)	
00DF	E8		
00E0	00		
00E1	21	LXI H 0801	Cargue los registros H y L con la direc - ción 0801
00E2	01		
00E3	08		
00E4	C3	JMP, ADDRESS (0174)	
00E5	74		
00E6	01		
00E7	00	NOP	
00E8	FE	CPI 04	¿Es Reg E = 04?
00E9	04		
00EA	C2	JNZ, ADDRESS (00F8)	
00EB	F8		
00EC	00		
00ED	21	LXI H, 0802	Cargue los registros H y L con la direc - ción 0802
00EE	02		
00EF	08		
00F0	C5	PUSH B	
00F1	46	B ←-- M	
00F2	21	LXI H, 080C	
00F3	0C		
00F4	08		
00F5	C3	JMP, ADDRESS (0179)	
00F6	79		
00F7	01		
00F8	FE	CPI 05	¿Es Reg E = 05?
00F9	05		
00FA	C2	JNZ, ADDRESS (0109)	
00FB	09		
00FC	01		
00FD	21	LXI H, 0803	Cargue los registros H y L con la direc - ción 0803
00FE	03		
00FF	08		
0100	C5	PUSH B	
0101	46	D ←-- M	
0102	21	LXI H, 080D	
0103	0D		
0104	08		
0105	C3	JMP, ADDRESS (0179)	
0106	79		
0107	01		
0108	00	NOP	
0109	FE	CPI 06	¿Es Reg E = 06?

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
010A	06		
010B	C2	JNZ, ADDRESS (0119)	
010C	19		
010D	01		
010E	21	LXI H, 0804	
010F	04		
0110	08		
0111	C5	PUSH B	
0112	46	B ←-- M	
0113	21	LXI H, 080E	
0114	0E		
0115	08		
0116	C3	JMP, ADDRESS (0179)	
0117	79		
0118	01		
0119	FE	CPI 07	¿Reg E = 07?
011A	07		
011B	C2	JNZ, ADDRESS (0129)	
011C	29		
011D	01		
011E	21	LXI H, 0805	
011F	05		
0120	08		
0121	C5	PUSH B	
0122	46	B ←-- M	
0123	21	LXI H, 080F	
0124	0F		
0125	08		
0126	C3	JMP, ADDRESS (0179)	
0127	79		
0128	01		
0129	FE	CPI 08	¿Reg E = 08?
012A	08		
012B	C2	JNZ, ADDRESS (0139)	
012C	39		
012D	01		
012E	21	LXI H, 0806	
012F	06		
0130	08		
0131	C5	PUSH B	
0132	46	B ←-- M	
0133	21	LXI H, 0810	
0134	10		
0135	08		
0136	C3	JMP, ADDRESS (0179)	

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
0137	79		
0138	01		
0139	FE	CPI 09	¿Es Reg E = 097?
013A	09		
013B	C2	JNZ, ADDRESS (0149)	
013C	49		
013D	01		
013E	21	LXI H, 0807	
013F	07		
0140	08		
0141	C5	PUSH B	
0142	46	B ←-- M	
0143	21	LXI H, 0811	
0144	11		
0145	08		
0146	C3	JMP, ADDRESS (0179)	
0147	79		
0148	01		
0149	FE	CPI 0A	¿Es Reg E = 0A?
014A	0A		
014B	C2	JNZ, ADDRESS (0159)	
014C	59		
014D	01		
014E	21	LXI H, 0808	
014F	08		
0150	08		
0151	C5	PUSH B	
0152	46	B ←-- M	
0153	21	LXI H, 0812	
0154	12		
0155	08		
0156	C3	JMP, ADDRESS (0179)	
0157	79		
0158	01		
0159	FE	CPI 0B	¿Es Reg E = 0B?
015A	0B		
015B	C2	JNZ, ADDRESS (0169)	
015C	69		
015D	01		
015E	21	LXI H, 0809	
015F	09		
0160	08		
0161	C5	PUSH B	
0162	46	B ←-- M	
0163	21	LXI H, 0813	

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
0164	13		
0165	08		
0166	C3	JMP, ADDRESS (0179)	
0167	79		
0168	01		
0169	21	LXI H, 080A	
016A	CA		
016B	08		
016C	C5	PUSH B	
016D	46	B ←-- M	
016E	21	LXI H, 0814	
016F	14		
0170	08		
0171	C3	JMP, ADDRESS (0179)	
0172	79		
0173	01		
0174	C5	PUSH B	
0175	46	B ←-- M	
0176	21	LXI H, 080A	charge t _{av}
0177	0B		
0178	08		
0179	7E	A ←-- M	
017A	80	ADD B	
017B	23	INX H	
017C	77	MOV M, A	
017D	00	NOP	
017E	00	NOP	
017F	C1	POP B	
0180	B9	CMP C	Compare con el con- tador de segundos.
0181	C2	JNZ, ADDRESS (0086)	
0182	86		
0183	00		
0184	7B	MOV A, E	
0185	FE	CPI 02	
0186	02		
0187	C2	JNZ, ADDRESS (0194)	
0188	94		
0189	01		
018A	3E	MVI A, BF	Prenda Amarillo 1
018B	BF		y Rojo 2
018C	D3	OUT PORT B	1 0 1 1 1 1 1 1
018D	81		.
018E	1E	MVI E, 03	Cargue el señalador con 03
018F	03		
0190	C3	JMP, ADDRESS (0086)	

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
0191	86		
0192	00		
0193	00	NOP	
0194	FE	CPI 03	
0195	03		
0196	C2	JNZ, ADDRESS (01A3)	
0197	A3		
0198	01		Prenda Rojo 1 y Rojo 2
0199	3E	MVI A, 7F	
019A	7F		0 1 1 1 1 1 1 1
019B	D3	OUT A TO PORT 1B	
019C	81		
019D	1E	MVI E, 04	Cargue el señalador con 04
019E	04		
019F	C3	JMP, ADDRESS (0086)	
01A0	86		
01A1	00		
01A2	00	NOP	
01A3	FE	CPI 04	
01A4	04		
01A5	C2	JNZ, ADDRESS (01B6)	
01A6	B6		
01A7	01		
01A8	00	NOP	Prenda Rojo 1 y Verde - Direccional 2
01A9	00	NOP	
01AA	00	NOP	0 1 1 1 1 1 1 1
01AB	00	NOP	
01AC	3E	MVIA, F7	1 1 1 1 0 1 1 1
01AD	F7		
01AE	D3	OUT A TO PORT 1A	
01AF	80		
01B0	1E	MVI E, 05	cargue el señalador con 05
01B1	05		
01B2	C3	JMP, ADDRESS (0086)	
01B3	86		
01B4	00		
01B5	00	NOP	
01B6	FE	CPI 05	
01B7	05		
01B8	C2	JNZ, ADDRESS (01C5)	
01B9	C5		
01BA	01		
01BB	3E	MVI A, EF	Prenda Rojo 1 y Amarillo - direccional 2
01BC	EF		
01BD	D3	OUT A TO PORT 1A	1 1 1 0 1 1 1 1

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
01BE	80		
01BF	1E	MVI E, 06	Cargue el señalador -
01C0	06		con 06
01C1	C3	JMP, ADDRESS (0086)	
01C2	86		
01C3	00		
01C4	00	NOP	
01C5	FE	CPI 06	
01C6	06		
01C7	C2	JNZ, ADDRESS (01D4)	
01C8	D4		
01C9	01		
01CA	3E	MVI A, DF	Prenda Rojo 1 y Verde
01CB	DF		2
01CC	D3	OUT A TO PORT 1A	1 1 0 1 1 1 1 1
01CD	80		
01CE	1E	MVI E, 07	Cargue el señalador
01CF	07		con 07
01D0	C3	JMP, ADDRESS (0086)	
01D1	86		
01D2	00		
01D3	00	NOP	
01D4	FE	CPI 07	
01D5	07		
01D6	C2	JNZ, ADDRESS (01E2)	
01D7	E2		
01D8	01		
01D9	3E	MVI A, BF	Prenda Rojo 1 y Amari
01DA	BF		llo 2
01DB	D3	OUT A TO PORT 1A	1 0 1 1 1 1 1 1
01DC	80		
01DD	1E	MVI E, 08	Cargue el señalador
01DE	08		con 08
01DF	C3	JMP, ADDRESS (0086)	
01E0	86		
01E1	00		
01E2	FE	CPI 08	
01E3	08		
01E4	C2	JNZ, ADDRESS (01F1)	
01E5	F1		
01E6	01		Prenda Rojo 1 - Rojo 2
01E7	3E	MVI A, 7F	0 1 1 1 1 1 1 1
01E8	7F		
01E9	D3	OUT A TO PORT 1A	
01EA	80		

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
01EB	1E	MVI E, 09	
01EC	09		
01ED	C3	JMP, ADDRESS (0086)	
01EE	86		
01EF	00		
01F0	00	NOP	
01F1	FE	CPI 09	Cargue el señalador - con 09
01F2	09		
01F3	C2	JNZ, ADDRESS (0204)	
01F4	04		
01F5	02		
01F6	3E	MVI A, F7	Prenda Verde - direc- cional 1 y Rojo 2
01F7	F7		1 1 1 1 0 1 1 1
01F8	D3	OUT A TO PORT 1B	
01F9	81		
01FA	00	NOP	0 1 1 1 1 1 1 1
01FB	00	NOP	
01FC	00	NOP	
01FD	00	NOP	
01FE	1E	MVI E, 0A	Cargue el señalador con 10
01FF	0A		
0200	C3	JMP, ADDRESS (0086)	
0201	86		
0202	00		
0203	00	NOP	
0204	FE	CPI 0A	
0205	0A		
0206	C2	JNZ, ADDRESS (0212)	
0207	12		
0208	02		
0209	3E	MVI A, EF	Prenda Amarillo-direc- cional 1 y Rojo 2
020A	EF		1 1 1 0 1 1 1 1
020B	D3	OUT A TO PORT 1B	
020C	81		
020D	1E	MVI E, 0B	Cargue el señalador con 11
020E	0B		
020F	C3	JMP, ADDRESS (0086)	
0210	86		
0211	00		
0212	FE	CPI 0B	
0213	0B		
0214	C2	JNZ, ADDRESS (0221)	
0215	21		
0216	02		
0217	3E	MVI A, DF	Prenda Verde 1 y Rojo 2

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
0218	DF		
0219	D3	OUT A TO PORT 1B	1 1 0 1 1 1 1 1
021A	81		
021B	1E	MVI E, 0C	Cargue el señalador
021C	0C		con 12
021D	C3	JMP, ADDRESS (0086)	
021E	86		
021F	00		
0220	00	NOP	
0221	7A	MOV A, D	
0222	FE	CPI 00	
0223	00		
0224	CA	JZ , ADDRESS (00A9)	Si el contenido del -
0225	A9		registro D es diferen
0226	00		te de cero inicie el
0227	FE	CPI 05	proceso de sincroniza
0228	05		ción.
0229	CA	JZ, ADDRESS (0299)	
022A	99		
022B	02		
022C	FE	CPI 03	
022D	03		
022E	CA	JZ, ADDRESS (02A5)	
022F	A5		
0230	02		
0231	FE	CPI 02	
0232	02		
0233	CA	JZ, ADDRESS (026C)	
0234	6C		
0235	02		
0236	FE	CPI 01	
0237	01		
0238	CA	JZ, ADDRESS (0260)	
0239	60		
023A	02		
023B	D5	PUSH D	
023C	AF	XRA A	Divida la suma de -
023D	5F	MOV E, A	tiempos ST para dos
023E	16	MVI D, FF	
023F	FF		
0240	3E	MVI A, 02	
0241	02		
0242	83	ADD E	
0243	5F	MOV E, A	
0244	00	NOP	

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
0245	00	NOP	
0246	00	NOP	
0247	00	NOP	
0248	00	NOP	
0249	00	NOP	
024A	14	INR D	
024B	3A	LDA 0815	0815 $t_a+t_b+t_c+t_d+t_e+$
024C	15		$t_f+t_g+t_h+t_i+t_j+$
024D	08		$t_k = ST$
024E	BB	CMP E	
024F	D2	JNC, ADDRESS (0240)	
0250	40		
0251	02		
0252	7A	A ←-- D	
0253	32	STA 0816	0816 $(t_a+t_b+t_c+t_d+t_e+$
0254	16		$t_f+t_g+t_h+t_i+t_j+$
0255	08		$t_k)/2$
0256	D1	POP D	
0257	B8	CMP B	¿Es el contenido de -
0258	D2	JNC, ADDRESS (0299)	la dirección 0816 (su
0259	99		ma de tiempo dividida
025A	02		para dos) mayor que -
025B	3A	LDA 0815	el tiempo en que apa-
025C	15		rece el pulso de sin
025D	08		cronismo?
025E	90	SUB B	condición carry
025F	47	MOV B, A	A B cero
0260	78	MOV A, B	A = B cero
0261	FE	CPI 0A	A B uno
0262	0A		Si es mayor, entonces:
0263	D2	JNC, ADDRESS (0287)	Reg B = ST/2 - Reg B
0264	87		Es el contenido del -
0265	02		Reg B menor que 10 -
0266	7A	MOV A, D	seg?
0267	FE	CPI 02	
0268	02		
0269	C2	JNZ, ADDRESS (0279)	
026A	79		
026B	02		
026C	3A	LDA 0800	Tome la cantidad t_a -
026D	00		almacenada en la di-
026E	08		rección 0800 y y cárg-
026F	32	STA 080B	uela en la dirección
0270	0B		080B de tal manera
0271	08		$t_{av} = t_a$

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
0272	AF	XRA A	
0273	57	MOV D, A	
0274	00	NOP	
0275	00	NOP	
0276	C3	JMP, ADDRESS (00A9)	Salte a J
0277	A9		
0278	00		
0279	3A	LDA 0800	Tome la cantidad t_a
027A	00		almacenada en la -
027B	08		Dirección 0800, res-
027C	90	SUB B	te de éste el conte-
027D	00	NOP	nido del registro B
027E	32	STA 080B	y cargue el resulta-
027F	0B		do en la dirección
0280	08		080B de tal manera -
0281	16	MVI D, 02	que:
0282	02		$t_{av} = t_a - t_{Reg B}$
0283	C3	JMP, ADDRESS (00AC)	Salte ^{av} a P
0284	AC		
0285	00		
0286	00	NOP	
0287	D6	SUI 0A	Reg B = Reg B - 10
0288	0A		
0289	47	MOV B, A	
028A	3A	LDA 0800	Tome el contenido de
028B	00		la dirección 0800 -
028C	08		(t_a), reste de este
028D	D6	SUI 0A	la cantidad de 10 y
028E	0A		cargue el resultado
028F	32	STA 080B	en la dirección 080B
0290	0B		de tal manera que:
0291	08		$t_{av} = t_a - 10\text{seg}$
0292	16	MVI D, 01	
0293	01		
0294	C3	JMP, ADDRESS (00AC)	Salte a P
0295	AC		
0296	00		
0297	00	NOP	
0298	00	NOP	
0299	78	MOV A, B	Es el contenido del
029A	FE	CPI 0A	registro menor que -
029B	0A		10 segundos.
029C	D2	JNC, ADDRESS (02C2)	
029D	C2		
029E	02		

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
029F	7A	MOV A, D	
02A0	FE	CPI 03	
02A1	03		
02A2	C2	JNZ, ADDRESS (02B3)	
02A3	B3		
02A4	02		
02A5	3A	LDA 0800	Tome el contenido -
02A6	00		de la dirección -
02A7	08		0800 y cárguelo en
02A8	32	STA 080B	la dirección 080B -
02A9	0B		de tal forma que :
02AA	08		$t_{av} = t_a$
02AB	16	MVI D, D0	
02AC	00		
02AD	00	NOP	
02AE	00	NOP	
02AF	C3	JMP, ADDRESS (00A9)	Salte a J
02B0	A9		
02B1	00		
02B2	00	NOP	
02B3	04	INR B	
02B4	3A	LDA 0800	Tome el contenido de
02B5	00		la dirección 0800 ,
02B6	08		sume a éste el conte
02B7	80	ADD B	nido del registro <u>B</u>
02B8	32	STA 080B	y cárguelo en la di
02B9	0B		rección 080B de tal
02BA	08		manera que:
02BB	16	MVI D, 03	$t_{av} = t_a + t_{Reg B}$
02BC	03		
02BD	C3	JMP, ADDRESS (00AC)	Salte a P
02BE	AC		
02BF	00		
02C0	00	NOP	
02C1	00	NOP	
02C2	D6	SUI 0A	
02C3	0A		
02C4	47	MOV B, A	
02C5	3A	LDA 0800	Tome el contenido de
02C6	00		la dirección 0800 su
02C7	08		me a éste la canti
02C8	C6	ADI 0A	dad de 10 segundos y
02C9	0A		cárguelo en la direc
02CA	32	STA 080B	ción 080B de tal ma
02CB	0B		nera que:

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
02CC	08		tav = ta + 10 seg.
02CD	16	MVI D, 05	
02CE	05		
02CF	C3	JMP, ADDRESS (00AC)	Salte a P
02D0	AC		
02D1	00		
02D2	FF		
02D3	FF		
02D4	FF		
02D5	FF		
02D6	FF		
02D7	FF		
02D8	FF		
02D9	FF		
02DA	FF		
02DB	DB	IN PORT B (8155)	Lea la puerta B del circuito integrado - 8155
02DC	8A		
02DD	FE	CPI 00	
02DE	00		
02DF	C2	JNZ, ADDRESS (02F0)	
02E0	F0		
02E1	02		
02E2	3E	MVI A, 0A	0 0 0 0 1 0 1 0
02E3	0A		habilite RST 7.5 y
02E4	30	SIM	5.5
02E5	3E	MVI A, 78	
02E6	78		
02E7	32	STA 08EE	
02E8	EE		
02E9	08		
02EA	3E	MVI A, 00	
02EB	00		
02EC	32	STA 08EF	
02ED	EF		
02EE	08		
02EF	C9	RET	
02F0	FE	CPI 01	
02F1	01		
02F2	C2	JNZ, ADDRESS (0301)	
02F3	01		
02F4	03		
02F5	3E	MVI A, 0E	
02F6	0E		
02F7	30	SIM	
02F8	3E	MVI A, 7F	

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
02F9	7F		Desabilite RST 7.5 y
02FA	D3	OUT A TO PORT 1A	RST 6.5
02FB	80		0 0 0 0 1 1 1 0
02FC	03	OUT A TO PORT 1B	
02FD	81		Prenda Rojo 1 y Rojo
02FE	C3	JMP, ADDRESS (0389)	2
02FF	89		0 1 1 1 1 1 1 1
0300	03		
0301	FB	CPI 02	
0302	02		
0303	C2	JNZ ADDRESS (0314)	
0304	14		
0305	03		
0306	3E	MVI A, 0A	
0307	0A		
0308	30	SIM	
0309	3E	MVI A, 03	
030A	03		
030B	32	STA 08EF	Desabilite RST 6.5
030C	EF		0 0 0 0 1 0 1 0
030D	08		
030E	3E	MVI A, 59	
030F	59		
0310	32	STA 08EE	
0311	EE		
0312	08		
0313	C9	RET	
0314	FE	CPI 03	
0315	03		
0316	C2	JNZ, ADDRESS (02E5)	
0317	E5		
0318	02		
0319	00	NOP	
031A	00	NOP	
031b	00	NOP	
031C	21	LXI H, 0800	
031D	00		
031E	08		
031F	3E	MVI A, 11 seg	
0320	11		
0321	77	M ←-- A	0800 t _a
0322	23	INX H	
0323	3E	MVI A, 03 seg	
0324	03		
0325	77	M ←-- A	0801 t _b

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
0326	23	INX H	
0327	3E	MVI A, 02 Seg	
0328	02		
0329	77	M ←-- A	0802 t _c
032A	23	INX H	
032B	3E	MVI A, 0A Seg	
032C	0A		
032D	77	M ←-- A	0803 t _d
032E	23	INX H	
032F	3E	MVI A, 03 Seg	
0330	03		
0331	77	M ←-- A	0804 t _e
0332	23	INX H	
0333	3E	MVI A, 16 Seg	
0334	16		
0335	77	M ←-- A	0805 t _f
0336	23	INX H	
0337	3E	MVI A, 03 Seg	
0338	03		
0339	77	M ←-- A	0806 t _g
033A	23	INX H	
033B	3E	MVI A, 02 Seg	
033C	02		
033D	77	M ←-- A	0807 t _h
033E	23	INX H	
033F	3E	MVI A, 0A Seg	
0340	0A		
0341	77	M ←-- A	0808 t _i
0342	23	INX H	
0343	3E	MVI A, 03 Seg	
0344	03		
0345	77	M ←-- A	0809 t _j
0346	23	INX H	
0347	3E	MVI A, 05 Seg	
0348	05		
0349	77	M ←-- A	080A t _k
034A	23	INX H	
034B	3A	LDA 0800	
034C	00		
034D	08		
034E	77	M ←-- A	080B t _{av}
034F	AF	XRA A	
0350	32	STA 0817	
0351	17		
0352	08		

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
0353	C3	JMP, ADDRESS (02E2)	
0354	E2		
0355	02		
0356	00	NOP	
0357	00	NOP	
0358	00	NOP	
0359	3E	MVI A, 00	
035A	00		
035B	32	STA 0818	
035C	18		
035D	08		
035E	FB	EI	
035F	76	HLT	
0360	3A	LDA 0818	
0361	18		
0362	08		
0363	FE	CPI 00	
0364	00		
0365	C2	JNZ, ADDRESS (0378)	
0366	78		
0367	03		
0368	3E	MVI A, 7F	Prenda Rojo 1 y Amarillo 2
0369	7F		
036A	D3	OUT A TO PORT 1B	0 1 1 1 1 1 1 1
036B	81		
036C	3E	MVI A, BF	1 0 1 1 1 1 1 1
036D	BF		
036E	D3	OUT A TO PORT 1A	
036F	80		
0370	3E	MVI A, 01	
0371	01		
0372	32	STA 0818	
0373	18		
0374	08		
0375	C3	JMP, ADDRESS (035E)	
0376	5E		
0377	03		
0378	00	NOP	
0379	00	NOP	
037A	3E	MVI A, FF	
037B	FF		
037C	D3	OUT A TO PORT 1B	
037D	81		
037E	D3	OUT A TO PORT 1A	
037F	80		

DIRECCION	CODIGO	INSTRUCCIONES Y DATOS	COMENTARIOS
0380	3E	MVI A, 00	
0381	00		
0382	32	STA 0818	
0383	18		
0384	08		
0385	C3	JMP, ADDRESS (035E)	
0386	5E		
0387	03		
0388	FF		
0389	3E	MVI A, 86	
038A	86		
038B	32	STA 08EF	
038C	EF		
038D	08		
038E	3E	MVI A, 00	
038F	00		
0390	32	STA 08EF	
0391	EF		
0392	08		
0393	C9	RET	

Si se desea trabajar con solamente 3 líneas para cada lado del semáforo y tener la siguiente secuencia normal.

Verde 1 - Rojo 2
Amarillo 1 - Rojo 2
Rojo 1 - Rojo 2
Rojo 1 - Verde 2
Rojo 1 - Amarillo 2
Rojo 1 - Rojo 2

Ejecute los siguientes cambios:

8228	13	8320	0C	856C	17
8255	04	8330	0D	8570	04
8259	02	8340	0E	8574	03
8250	00	8368	07	8578	00
8261	00	8370	0F	857C	00
8265	18	837B	10	8580	1C
8269	04	82AA	06	8584	04
826D	02	8438	0B	8588	03
8271	00	8498	11	858C	00
8275	00	84AO	12	8590	00
831B	02	84A8	11		

De igual manera que para el caso de 5 luces se podrá cambiar de secuencia o cambiar los tiempos de la secuencia normal.

Si se desea trabajar con solamente 4 luces por cada lado del semáforo y tener la siguiente secuencia normal.

Verde	1	-	Rojo	2
Amarillo	1	-	Rojo	2
Rojo	1	-	Rojo	2
Rojo	1	-	Verde-direccional	2
Rojo	1	-	Verde	2
Rojo	1	-	Amarillo	2
Rojo	1	-	Rojo	2
Verde-direccional	1	-	Rojo	2

Ejecute los siguientes cambios:

8229	0D	8320	0D	8448	0B	8594	05
8255	03	8330	0E	856C	17		
8259	02	8340	0F	8570	04		
825D	07	8350	10	8574	03		
8261	00	836B	08	8578	0A		
8265	12	8370	11	857C	00		
8269	03	837B	12	8580	1C		
826D	02	8498	13	8584	04		
8271	07	84A0	14	8588	03		
8275	00	84A8	13	858C	0A		
831B	03	83BD	06	8590	00		

2.4. CONSTRUCCION DEL SISTEMA.- CONTROLADOR DE TRAFICO

2.4.1. Lista de Materiales

- 1 microprocesador 8085A
- 1 memoria RAM con puertos de I/O y TIMER(8155)
- 1 EPROM 8755A
- 3 circuitos integrados 7404 (INVERSORES)
- 1 cristal XT 4,704 MHz
- 1 multivibrador monoestable (74121)
- 10 resistencias $R_1 - R_{10}$, 200 Ω , 1/4 W
- 9 resistencias $R_{14} - R_{22}$, 1 K Ω , 1/2 W
- 3 resistencias $R_{11} - R_{13}$, 10 K Ω , 1/2 W
- 1 resistencia R_{14} , 2,2 K Ω , 1/4 W
- 1 resistencia R_{15} , 5,5 K Ω , 1/2 W
- 1 resistencia R_{16} , 4,5 K Ω , 1/2 W
- 1 resistencia R_{17} , 50K Ω , 1/2 W
- 1 resistencia R_{18} , 22 K Ω , 1/2 W

- 2 pulsadores SW1, SW2
- 5 diodos $D_1 - D_5$, 1 A
- 1 capacitor C_3 , 10 uf 35 v
- 1 capacitor C_2 , 4,7 uf 25 v
- 1 capacitor C_1 1000 uf 35 v
- 1 transistor Q_1 , 60 Hz
- 1 juegos de interruptores pequeños (8 interruptores de señal)
- 1 portafusible
- 1 regulador de voltaje RV +5 v
- 1 transformador 120/24 V , 1,5 A

2.4.2. Diseño del circuito impreso

Al igual que para el cálculo de los capacitores del programador de EPROMS el capacitor de la única fuente que existe en el controlador de tráfico se lo determina con la misma fórmula.

$$C_{\min} = \frac{I_{\max} \left[\frac{1}{4f} + \frac{1}{2\pi f} \text{arc. sen} \frac{V_{\min}}{V_{\max}} \right]}{V_{\max} - V_{\min}}$$

Puesto que:

$$f = 120 \text{ Hz}$$

$$V_{\text{máx}} = 12 \times 2 = 16,97 \text{ v}$$

$$V_{\text{mín}} = 10 \text{ v}$$

$$I_{\text{máx}} = 1 \text{ A}$$

$$C_{\text{mín}} = 837,621 \text{ (uf)}$$

Se ha colocado un capacitor de 1000 uf para cumplir con éste requisito.

Una vez que se decidió el circuito final que se iba a utilizar en el sistema se elaboró la disposición de las pistas de la tarjeta sobre la cual van a ir montados los elementos del circuito. Esta disposición se la puede apreciar en la Fig. 2.14.

Se ha trabajado con 3 anchos diferentes de cinta. El menor se lo ha utilizado para corrientes de señal, mientras que el más ancho para polarización de los diferentes circuitos integrados y elementos existentes en la tarjeta. El ancho intermedio se lo ha usado principalmente para las conexiones de los LEDs. La ubicación de los distintos componentes sobre la tarjeta se la puede observar

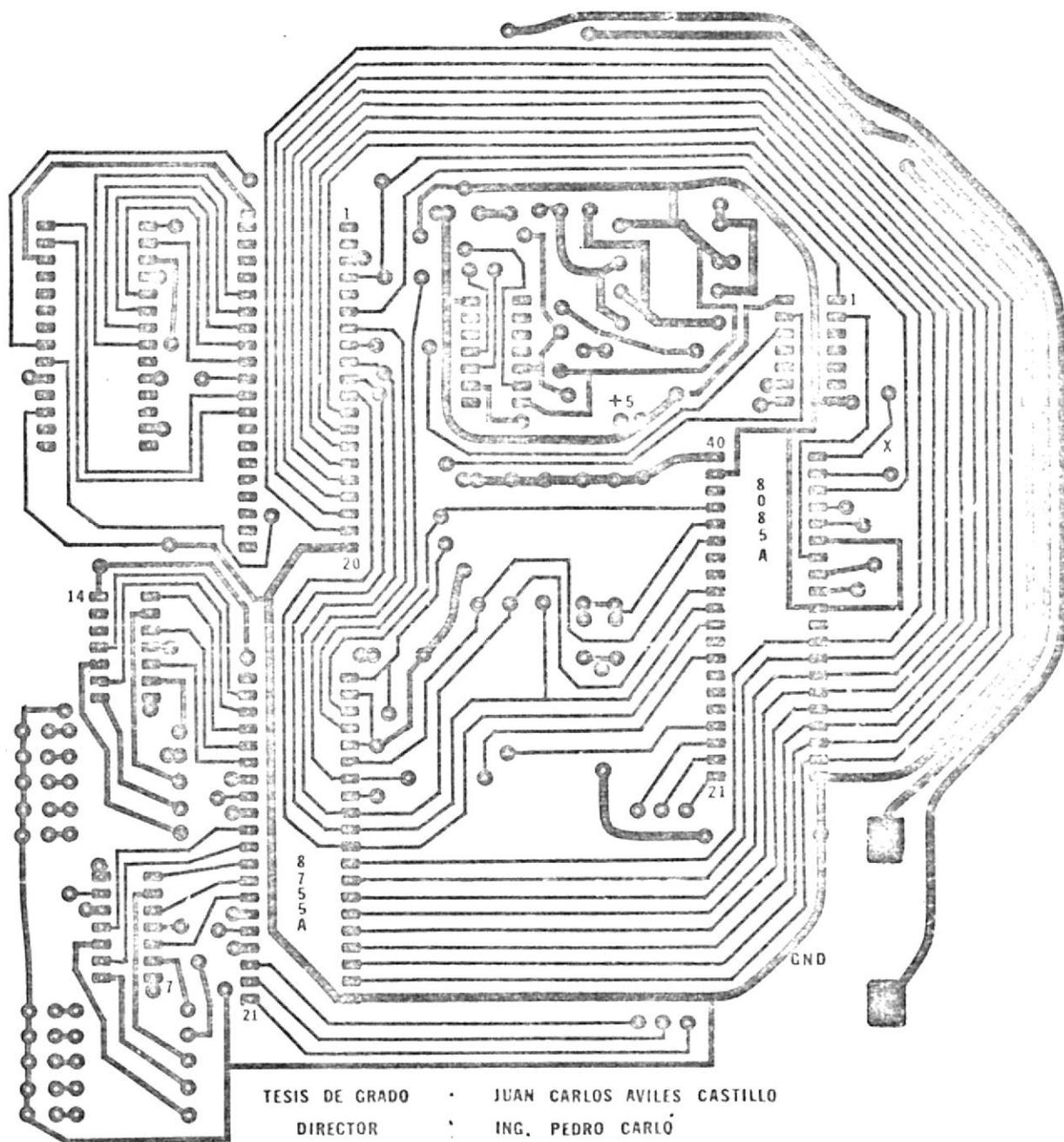


FIGURA 2 14 CIRCUITO IMPRESO PARA EL CONTROLADOR

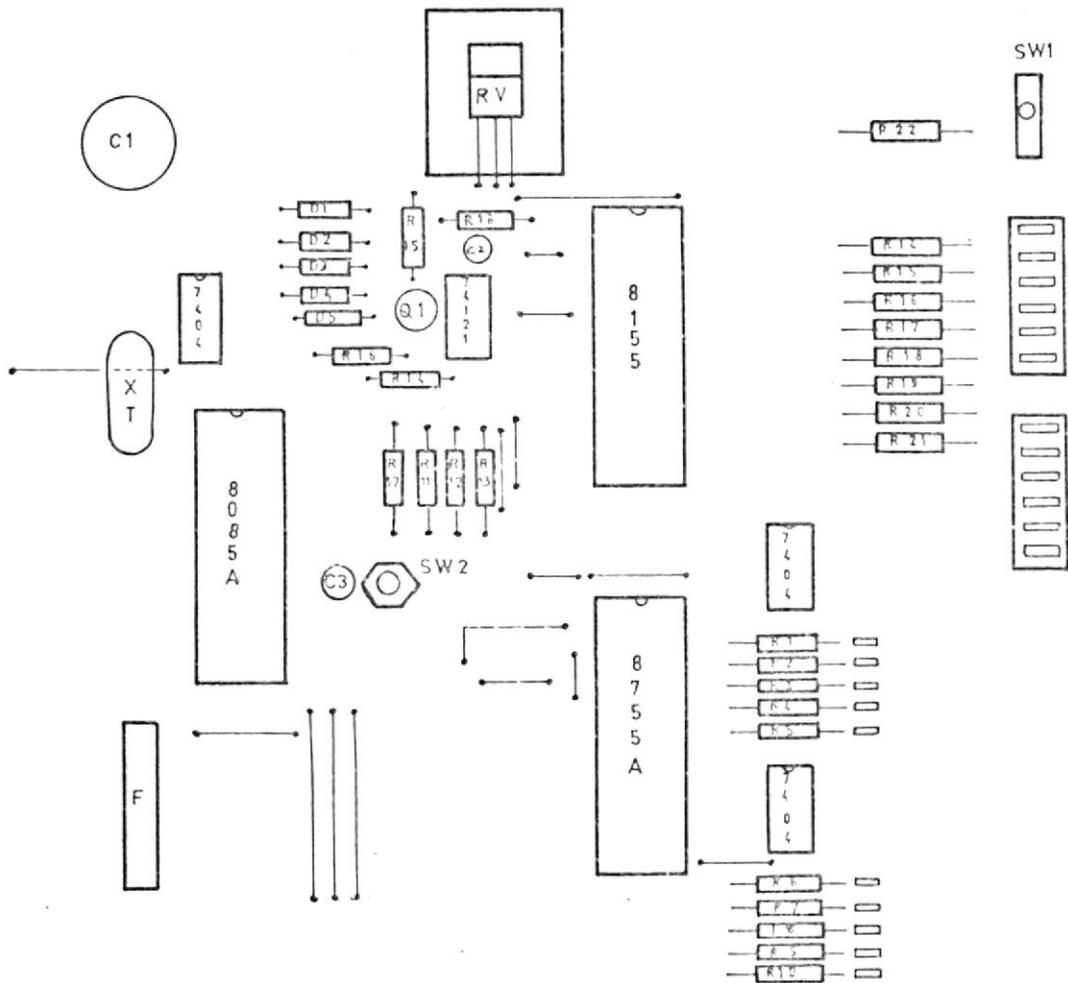


FIGURA 2.15. DISPOSICION DE LOS ELEMENTOS SOBRE LA TARJETA DEL CONTROLADOR DE TRAFICO

en la Figura 2.15

El procedimiento de obtención del circuito im
preso se lo explicó anteriormente. Unas foto
grafías del controlador de tráfico terminado
se los puede apreciar en las figuras 2.16 y -
2.17

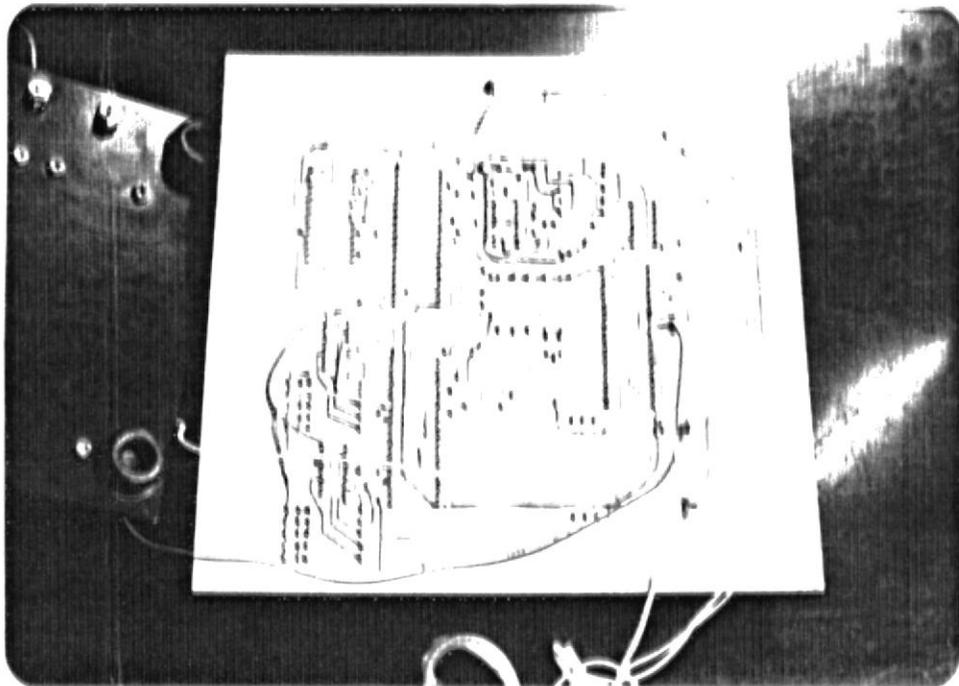


FIGURA 2.16 VISTA POSTERIOR DEL CONTROLA
DOR DE TRAFICO .

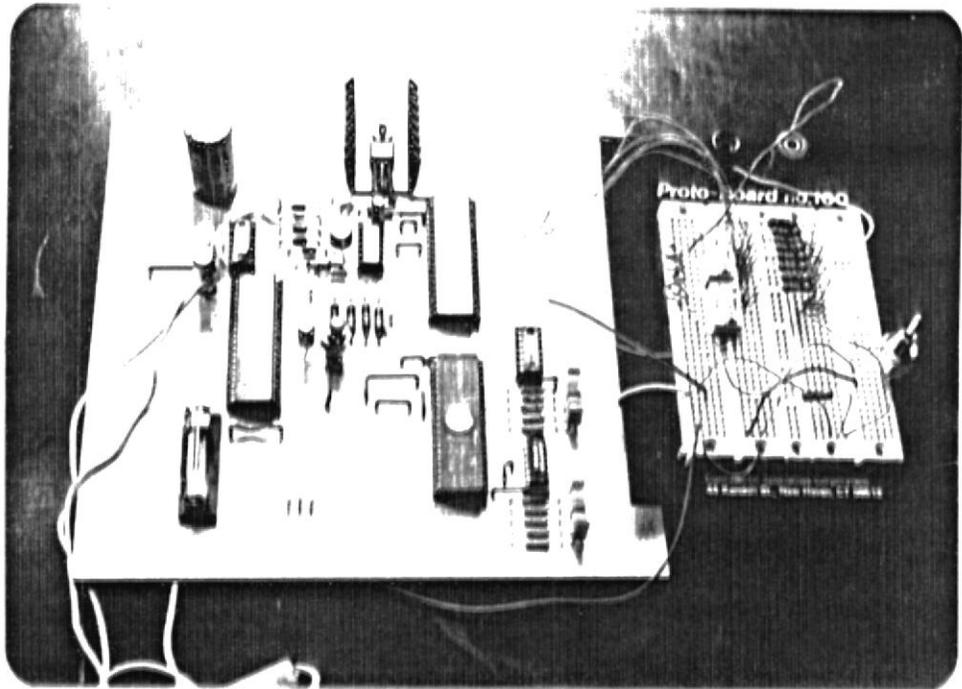


FIGURA 2.17 VISTA FRONTAL DEL CONTROLADOR
DE TRAFICO.

2.4.3. Pruebas

Una vez construido el circuito se grabó en el 8755A un programa totalmente sencillo para verificar si es que el sistema operaba satisfactoriamente.

Este programa prendía cada uno de los 10 LEDs

cada 2 segundos.

CONCLUSIONES Y RECOMENDACIONES

Se pueden establecer las siguientes conclusiones:

1. El diseño de cualquier sistema enfrenta a un estudiante con muchos problemas prácticos que casi nunca los encuentra en la teoría.
2. La elaboración práctica de las tesis de grado se ve afectada por la falta de los elementos necesarios que la componen en el mercado nacional.
3. Se requiere tener mas equipos disponibles en el laboratorio de microprocesadores.

En vista de lo anterior se puede finalizar con la siguientes recomendaciones:

1. Tratar en lo posible de aplicar los trabajos de tesis en las futuras tesis de grado como una prueba de que éstos trabajos no son simplemente una mera formalidad académica.
2. Prestar toda la ayuda financiera necesaria para los estudiantes que realizan trabajos prácticos.

3. Equipar el laboratorio de microprocesadores del departamento.
4. Incentivar el interés de los estudiantes en el área de la computación.

---A P E N D I C E S---

APENDICE AESTUDIO BREVE DEL MICROCOMPUTADOR
DE ENTRENAMIENTO Y SU INTEREASEa) Configuración del sistema

El microcomputador de entrenamiento está basado en un microprocesador 8080 y su configuración se encuentra en la figura A1.

El 8080 demanda de hardware adicional (el controlador del sistema) para permitir las conexiones necesarias a la memoria y a los dispositivos de entrada-salida debido a la falta de terminales disponibles, siendo esta la razón de que algunos de ellos sean bidireccionales.

La unidad de procesamiento central (CPU) controla el uso de las barras de datos y direcciones generando las señales de control a la memoria, puertas de entrada-salida y otros dispositivos externos para indicar las funciones a ser desarrolladas.

Para extender las funciones del número limitado de terminales, ciertas señales de control son sacadas por la

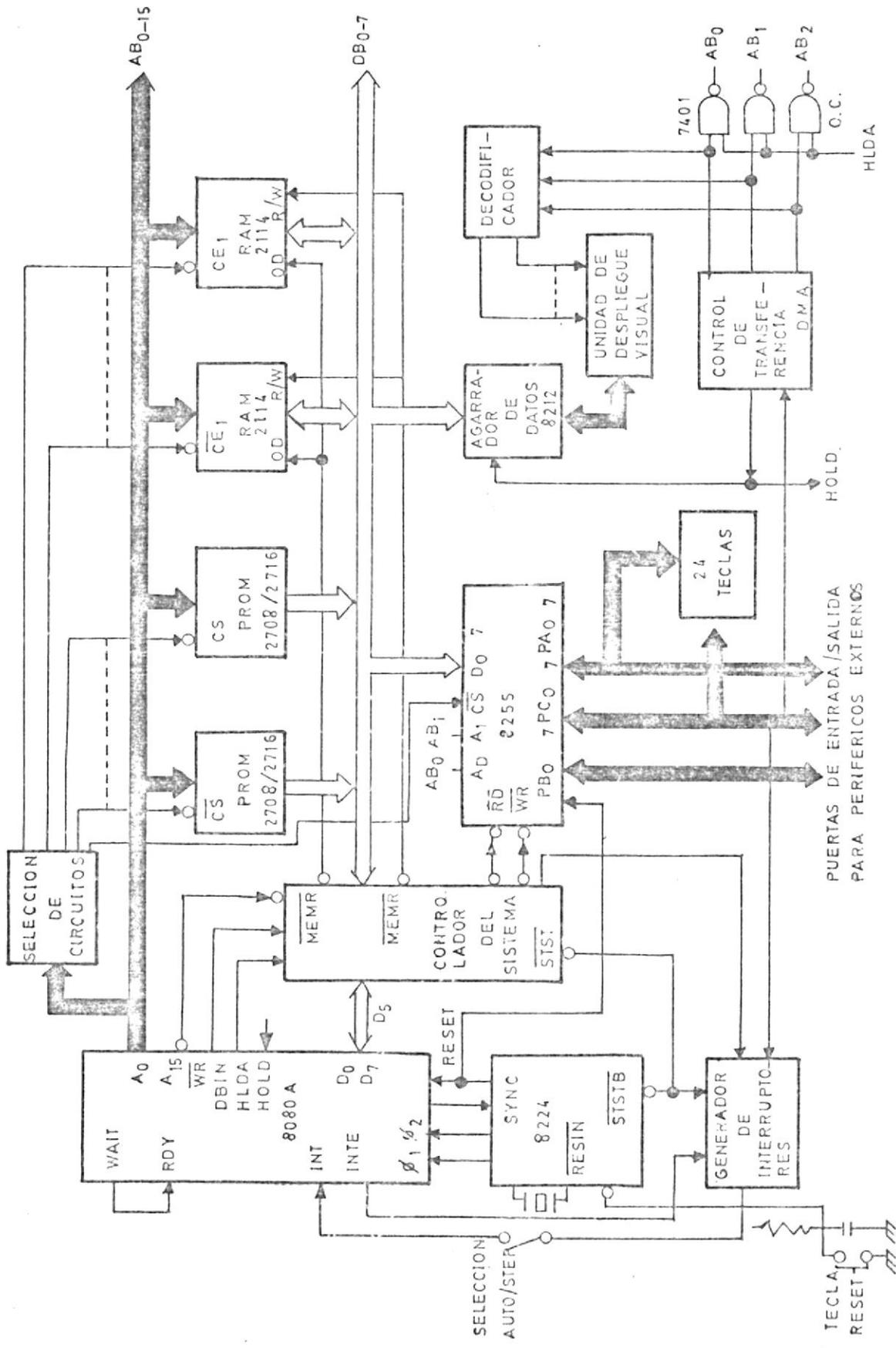


FIGURA A-1 CONFIGURACION DEL MICROCOMPUTADOR DE ENTRENAMIENTO

barra de datos y deben ser aceptadas y almacenadas por el controlador del sistema de tal forma que la barra de datos pueda ser usada para transferir otra información. Las señales de control sacadas a través de la barra de datos se conoce como el byte de estado.

Señales de control.- Las señales de control están grandemente relacionadas con la definición de las funciones de las barras y el control de las operaciones de diferentes dispositivos externos.

Algunas señales de control contienen información de tiempo y varían dentro de un ciclo de máquina. Estas señales tienen terminales asignados en el microprocesador 8080.

Otras señales permanecen efectivas a través de un ciclo de máquina. Son sacados en la barra de datos al comienzo del ciclo como el byte de estado y agarrado por el controlador del sistema.

Las señales de tiempo son:

SYNC	Designa la temporización del byte de estado.
DBIN	CPU aceptará datos desde la barra de datos.

\overline{WR} CPU coloca datos en la barra de datos.
 WAIT no listo.
 HLDA Indicador de aceptación del requerimiento de -
 HOLD.

Las señales DBIN y \overline{WR} son actualmente suficientes para un sistema que no usa interrupciones y que usa las -
 puertas de entrada-salida mapeadas por memoria.

Si la memoria o los dispositivos de entrada-salida son muy lentos para sacar o aceptar datos dentro de un -
 tiempo disponible, puede indicar al 8080 una señal de NO LISTO lo que extenderá el tiempo de DBIN o \overline{WR} en -
 uno o más ciclos de reloj.

Si otro dispositivo necesita usar las barras de datos y de direcciones, puede pedir al CPU suspender sus ope-
 raciones y liberar las barras. HLDA es una señal que concede el requerimiento de las barras.

SYNC extiende el tiempo antes y después de que el byte de estado está presente en la barra de datos. Debe -
 ser sincronizado con el reloj θ_1 para agarrar el byte de estado dentro del controlador del sistema.

Byte de estado.- La función principal del controlador del sistema es agarrar el byte de estado y también de codificarlo para dar las señales que son más convenientes para el uso de la memoria y de los dispositivos de entrada-salida. El byte de estado lo forman las siguientes señales:

MEMR (D7)
 $\overline{W0}$ (D1)
 INP (D6)
 OUT (D4)
 M1 (D5)
 STACK (D2)
 HLTA (D3)
 INTA (D0)

Señales de control decodificadas.- El controlador del sistema toma las señales del byte de estado y de tiempo para generar las señales de control para la memoria y los dispositivos de entrada-salida.

Estas señales son:

\overline{MEMW} una señal activa baja indicadora de que el contenido de la barra de datos va a ser almacenado en una -

localización de memoria.

$\overline{\text{MEMR}}$ una señal activa baja indicadora de que la información contenida en una dirección de memoria será colocada en la barra de datos.

$\overline{\text{IOW}}$ una señal activa baja indicadora de que un dispositivo de entrada aceptará datos desde la barra.

$\overline{\text{IOR}}$ una señal activa baja indicadora de que un dispositivo de entrada deberá colocar datos en la barra.

$\overline{\text{INTA}}$ una señal activa baja indicadora de que una interrupción ha sido reconocida y la instrucción de interrupción ha sido colocada en la barra de datos.

M1 una señal activa alta indicadora de que el ciclo de máquina corriente es el primer ciclo de máquina de un ciclo de instrucción.

Controlador del sistema del MTS (Figura A2)

Los dos manejadores de barra bidireccionales proveen el aislamiento eléctrico entre la barra de datos del 8080 y la barra del sistema. El 74LS174 agarra los

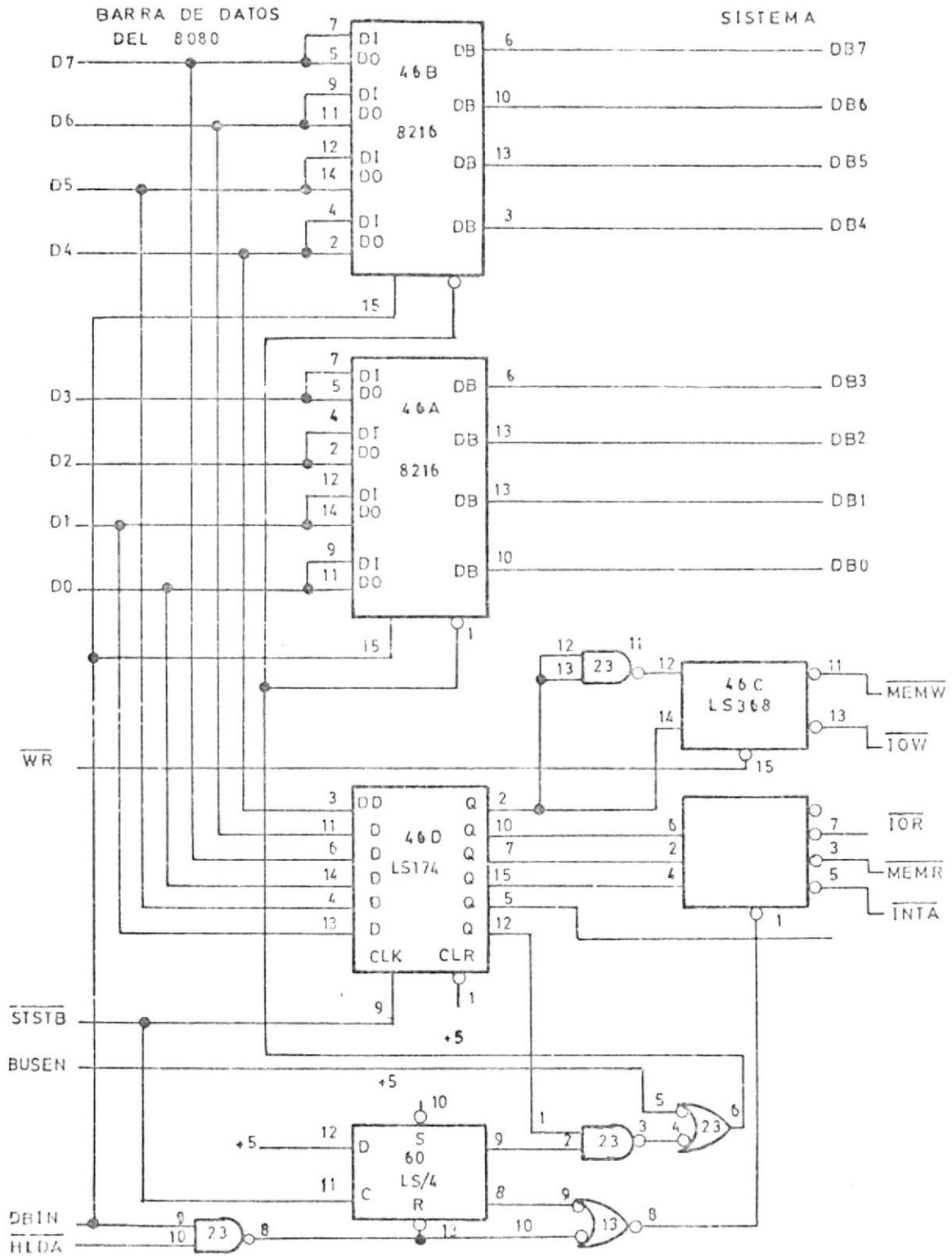


FIGURA A-2 CONTROLADOR DEL SISTEMA

bits de los bytes de estados (no se usan STACK y HLTA).

El aislador de 3 estados 74LS368 genera $\overline{\text{MEMW}}$ o $\overline{\text{IOW}}$ durante $\overline{\text{WR}}$ dependiendo de si OUT es falso o cierto. El otro aislador genera $\overline{\text{IOR}}$, $\overline{\text{MEMR}}$ o $\overline{\text{INTA}}$ durante DBIN dependiendo de si IN, MEMR o INTA del byte de estado son ciertas.

Estas señales son calificadas por el flip-flop, el mismo que inhibe estas señales cuando un requerimiento de HOLD se presenta y ha sido reconocido por el 8080 con $\overline{\text{HLDA}}$.

Memoria

Una memoria contiene circuitos que sirven para generar 4 funciones:

- 1) Almacenar datos en un arreglo ordenado.
- 2) Decodificar las direcciones para seleccionar una localización determinada.
- 3) Alterar los datos almacenados en una localización seleccionada por medio de un comando.
- 4) Sacar la información desde una localización seleccionada por medio de un comando.

El MTS utiliza módulos de memoria de 1024 direcciones. Las memorias RAM y ROM usados por el microcomputador - los muestra en la figura A-3.

Las memorias ROM almacenan ocho bits en cada localización, los dispositivos RAM almacenan 4 bits en cada localización de tal manera que 2 módulos deben ser usados para completar los 8 bits que deben ser almacenados en cada dirección.

El microcomputador tiene espacio para 4 ROMS y 4 pares de RAMS. Solamente tiene montado un EPROM y 2 pares de RAM. El resto está vacío.

El circuito lógico que genera las señales apropiadas para seleccionar una memoria RAM o ROM se muestra en la figura A-4.

Las dos señales $\overline{\text{MEMR}}$ y $\overline{\text{MEMW}}$ son derivados por el controlador del sistema de los datos sacados por el microprocesador al comienzo de cada ciclo de máquina. Algunas operaciones no requieren acceso a la memoria y en consecuencia ninguna de estas dos señales será cierta.

Cuando un byte de datos va a ser escrito o leído desde

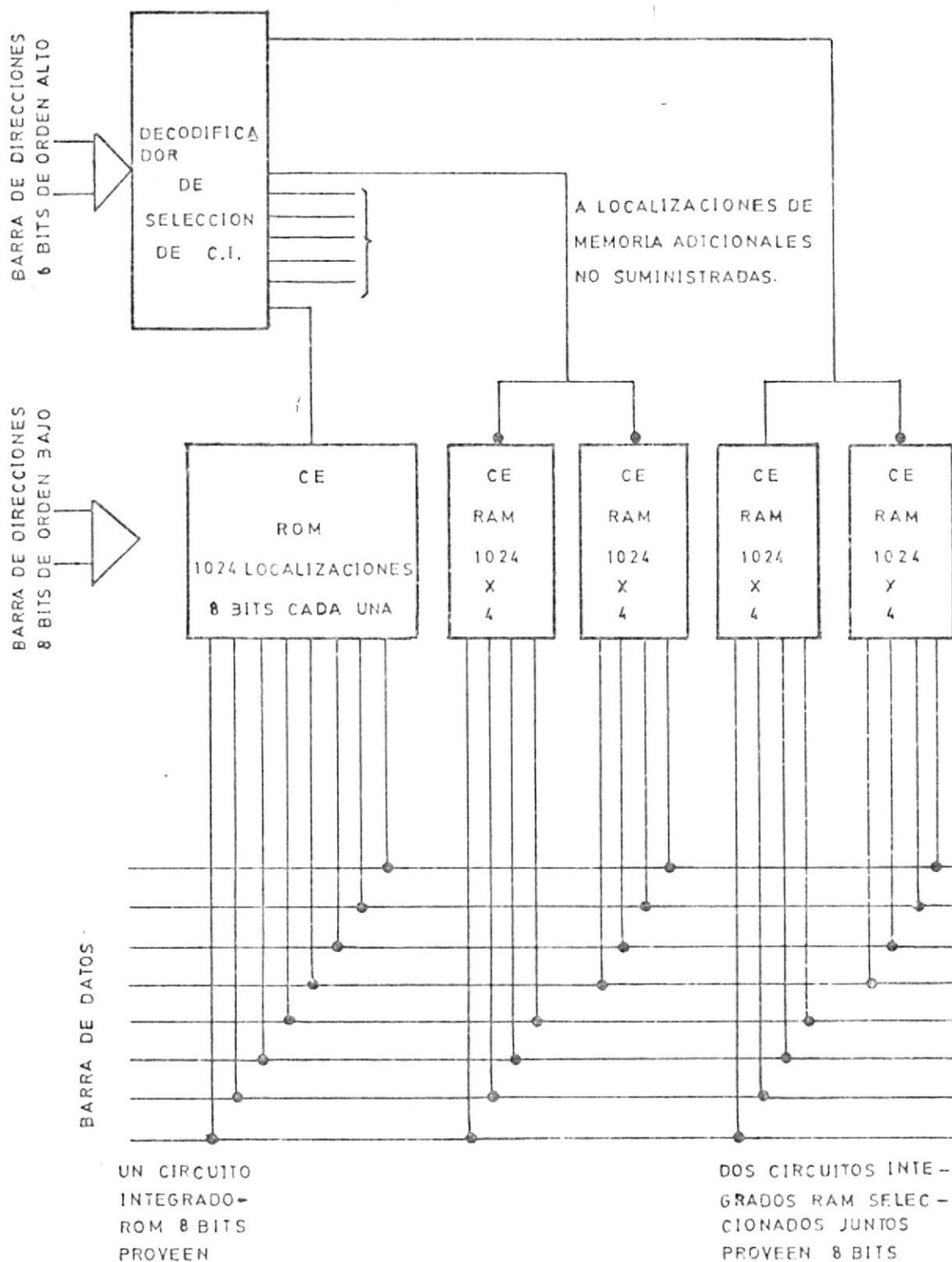


FIGURA A-3 DIRECCIONAMIENTO DE MEMORIA

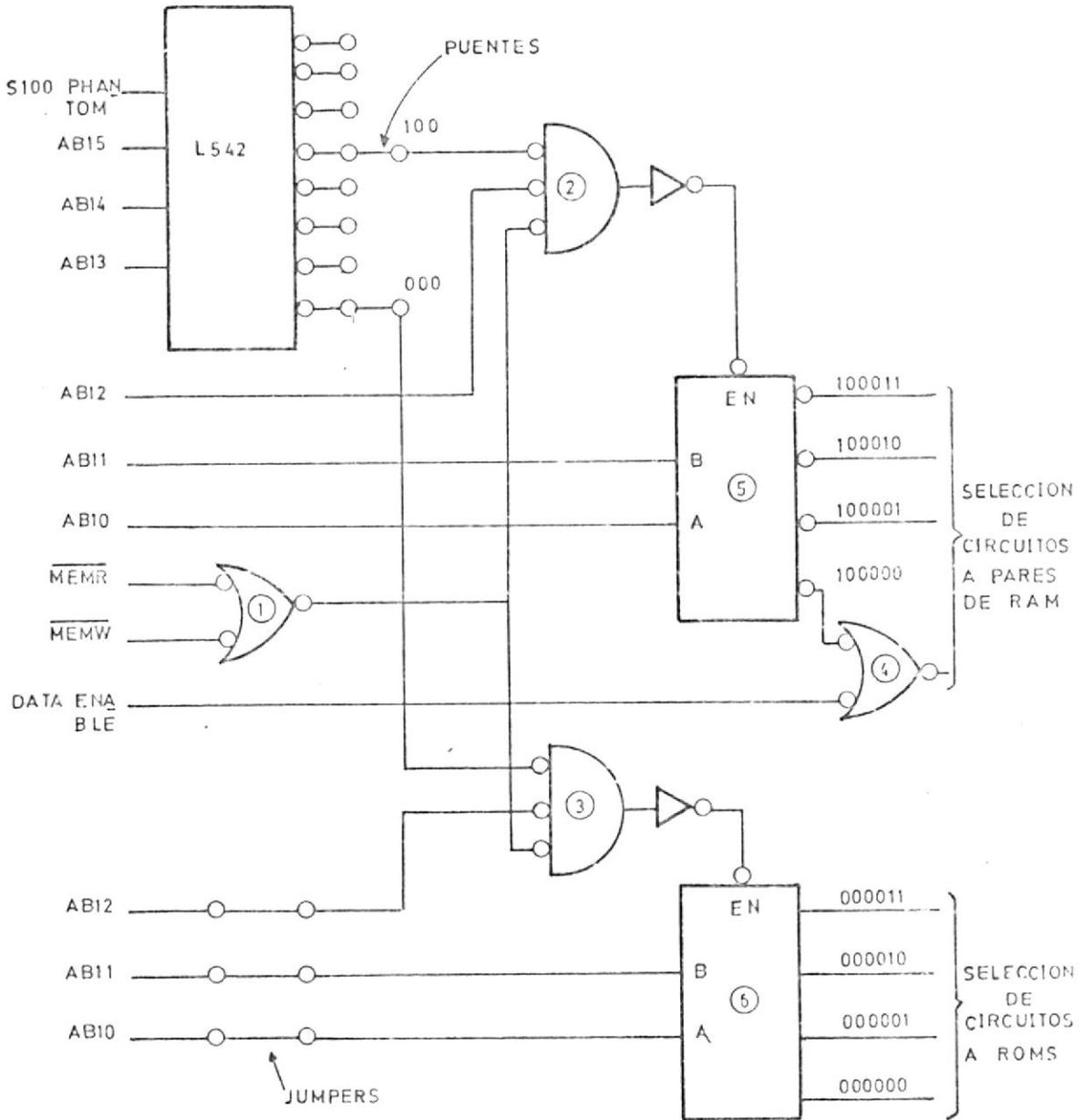


FIGURA A-4

LOGICA DE SELECCION DE CIRCUITOS INTEGRADOS

la memoria, la puerta OR (1) reconoce que un acceso de memoria se requiere y habilita las puertas 2 y 3.

La señal S-100 PHANTOM es una señal derivada desde la barra S-100 que puede inquirir el direccionamiento de cualquiera de las memorias del MTS.

El circuito integrado L542 es un decodificador que tiene 3 señales de entrada de la barra de direcciones y tiene 8 salidas. De estas últimas solo se toman 2 que junto al terminal AB12 y la salida de la puerta OR (1) servirán para habilitar a los decodificadores 5 y 6 , uno a la vez. En ningún caso estos dos equipos integrados serán habilitados al mismo tiempo.

De acuerdo a las entradas AB10 y AB11 será posible seleccionar uno de cuatro pares de RAM o uno de cuatro circuitos ROM.

La puerta 4 permite la selección del par de RAMS que son direccionados desde 8.000 - 83FF con una señal de habilitación de DMA. Esta señal se genera durante accesos repetitivos a la memoria para operar la unidad de despliegue visual.

Durante este acceso de memoria, $\overline{\text{MEMR}}$ y $\overline{\text{MEMW}}$ no están activos de tal manera que ambos decodificadores 5 y 6 están deshabilitados. Los circuitos RAM serán habilitados entonces por la señal DMA ENABLE.

La distribución de la memoria en el MTS es la siguiente:

<u>DIRECCION</u>	<u>AB15 - AB10</u>	<u>MEMORIA SELECCIONADA</u>
0000 - 03FF	000000	PROM conteniendo el MONITOR
0400 - 07FF	000001	Posición de ROM 1. VACIO
0800 - 0BFF	000010	Posición de ROM 2. VACIO
0C00 - 0FFF	000011	Posición de ROM 3. VACIO
1000 - 7FFF	000100	No existe
	a	
	011111	
8000 - 83FF	100000	Par RAM 0
8400 - 87FF	100001	Par RAM 1
8800 - 8BFF	100010	Posición par RAM 2 VACIO
8C00 - 8FFF	100011	Posición par RAM 3 VACIO
9000 - FFFF	100100	No existe
	a	
	111111	

Puesto que el monitor se almacena en memoria de lectura solamente se requiere parte de RAM para almacenamiento temporal de datos. 64 bytes de RAM, direccionados desde 83C0 hasta 8BFF son asignados al monitor. Se debe tener cuidado para no modificar estas localizaciones de memoria.

Una fotografía del MTS se muestra a continuación:

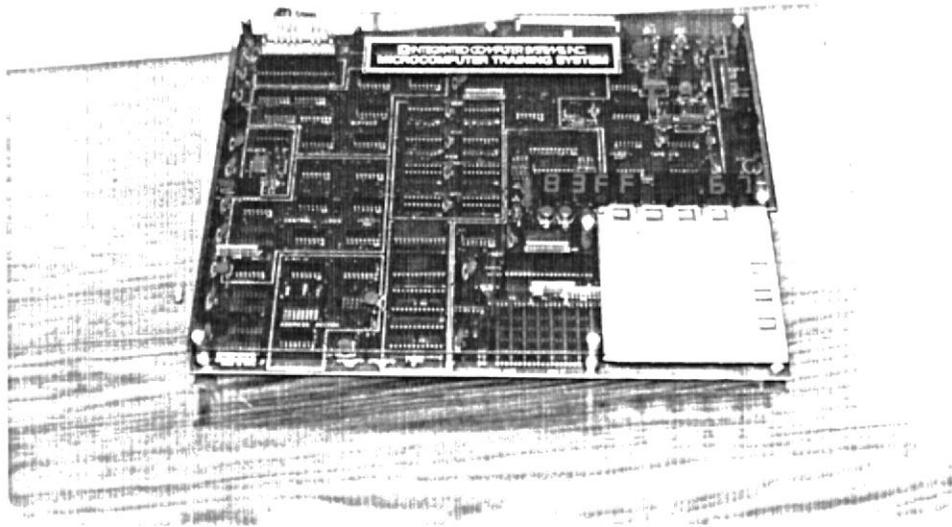


FIGURA A-5 MTS

El microcomputador de entrenamiento tiene adicionalmente una interfase a cassette de audio y un canal de acceso directo de memoria.

Si se desea una explicación de la operación del microcomputador y su interfase es necesario referirse a los libros SOFTWARE/HARDWARE TRAINING COURSE, volumen 1 y 2 y a los libros INTERFACE TRAINING SYSTEM, volumen 1

y 2.

Es muy ventajosa la utilización de la interfase a un e quipo grabador de audio ya que permite muy facilmente almacenar y cargar programas en la cinta magnética de un cassette.

Para grabar un programa en la cinta se utilizan las si guientes instrucciones:

TECLA ADDRESS - PRIMERA DIRECCION DEL PROGRAMA (####) - TECLA MEM
 TECLA ADDRESS - ULTIMA DIRECCION DEL PROGRAMA (####) - TECLA BRE
 TECLA ADDRESS - 0371 - TECLA RUN

y para cargar un programa en la memoria del microcompu tador:

TECLA ADDRESS - 03AE - TECLA RUN

El canal de acceso directo de memoria permite a un dis positivo externo leer o escribir a la memoria del com putador sin el control de programa o sin la interven - ción del CPU.

El set de instrucciones usados por el sistema 8080 se

da a continuación:

DATA MOVEMENT INSTRUCTIONS

INPUT/OUTPUT	MOVE	STACK OPS
D3 OUT } DB IN } DB	40 MOV B,B 60 MOV H,B 41 MOV B,C 61 MOV H,C 42 MOV B,D 62 MOV H,D 43 MOV B,E 63 MOV H,E 44 MOV B,H 64 MOV H,H 45 MOV B,L 65 MOV H,L 46 MOV B,M 66 MOV H,M 47 MOV B,A 67 MOV H,A 48 MOV C,B 68 MOV L,B 49 MOV C,C 69 MOV L,C 4A MOV C,D 6A MOV L,D 4B MOV C,E 6B MOV L,E 4C MOV C,H 6C MOV L,H 4D MOV C,L 6D MOV L,L 4E MOV C,M 6E MOV L,M 4F MOV C,A 6F MOV L,A 50 MOV D,B 70 MOV M,B 51 MOV D,C 71 MOV M,C 52 MOV D,D 72 MOV M,D 53 MOV D,E 73 MOV M,E 54 MOV D,H 74 MOV M,H 55 MOV D,L 75 MOV M,L 56 MOV D,M 57 MOV D,A 77 MOV M,A 58 MOV E,B 78 MOV A,B 59 MOV E,C 79 MOV A,C 5A MOV E,D 7A MOV A,D 5B MOV E,E 7B MOV A,E 5C MOV E,H 7C MOV A,H 5D MOV E,L 7D MOV A,L 5E MOV E,M 7E MOV A,M 5F MOV E,A 7F MOV A,A	C5 PUSH B D5 PUSH D E5 PUSH H F5 PUSH PSW C1 POP B D1 POP D E1 POP H F1 POP PSW E3 XTHL F9 SPHL
LOAD IMMEDIATE 01 LXI B, } 11 LXI D, } D16 21 LXI H, } 31 LXI SP, }		
LOAD/STORE 0A LDAX B 1A LDAX D 2A LHLD Adr 3A LDA Adr 02 STAX B 12 STAX D 22 SHLD Adr 32 STA Adr		
MOVE IMMEDIATE D6 MVI B, } 0E MVI C, } 16 MVI D, } D8 1E MVI E, } 26 MVI H, } 2E MVI L, } 36 MVI M, } 3E MVI A, }		

ARITHMETIC & LOGICAL INSTRUCTIONS										PROGRAM FLOW-CONTROL				
ACCUMULATOR *					DECREMENT **					NOTABLE				
80	ADD	B	A0	ANA	B	05	DCR	B	07	RLC	CALL CD CALL } C4 CNZ } CC CZ } Adr D4 CNC } DC CC } E4 CPO } EC CPE } F4 CP } FC CM }			
81	ADD	C	A1	ANA	C	0D	DCR	C	0F	RRC				
82	ADD	D	A2	ANA	D	15	DCR	D	17	RAL				
83	ADD	E	A3	ANA	E	1D	DCR	E	1F	RAR				
84	ADD	H	A4	ANA	H	25	DCR	H	SPECIALS EB XCHG 27 DAA* 2F CMA 37 STC 3F CMCI					
85	ADD	L	A5	ANA	L	2D	DCR	L						
86	ADD	M	A6	ANA	M	35	DCR	M						
87	ADD	A	A7	ANA	A	3D	DCR	A						
88	ADC	B	A8	XRA	B	0B	DCX	B	CONTROL 00 NOP 76 HLT F3 DI FB EI					
89	ADC	C	A9	XRA	C	1B	DCX	D						
8A	ADC	D	AA	XRA	D	2B	DCX	H						
8B	ADC	E	AB	XRA	E	3B	DCX	SP						
8C	ADC	H	AC	XRA	H	DOUBLE ADD 09 DAD B 19 DAD D 29 DAD H 39 DAD SP		Acc * IMMEDIATE C6 ADI } CE ACI } D6 SUI } DE SBI } E6 ANI } EE XRI } F6 ORI } FE CPI }						
8D	ADC	L	AD	XRA	L									
8E	ADC	M	AE	XRA	M									
8F	ADC	A	AF	XRA	A									
90	SUB	B	B0	ORA	B	INCREMENT ** 04 INR B 0C INR C 14 INR D 1C INR E 24 INR H 2C INR L 34 INR M 3C INR A 03 INX B 13 INX D 23 INX H 33 INX SP		RETURN C9 RET C0 RNZ C8 RZ D0 RNC D8 RC E0 RPO E8 RPE F0 RP F8 RM						
91	SUB	C	B1	ORA	C									
92	SUB	D	B2	ORA	D									
93	SUB	E	B3	ORA	E									
94	SUB	H	B4	ORA	H	JUMP C3 JMP } C2 JNZ } CA JZ } D2 JNC } DA JC } E2 JPO } EA JPE } F2 JP } FA JM } E9 PCHL }								
95	SUB	L	B5	ORA	L									
96	SUB	M	B6	ORA	M									
97	SUB	A	B7	ORA	A									
98	SBB	B	B8	CMP	B	CALL		RESTART C7 RST 0 CF RST 1 D7 RST 2 DF RST 3 E7 RST 4 EF RST 5 F7 RST 6 FF RST 7						
99	SBB	C	B9	CMP	C									
9A	SBB	D	BA	CMP	D									
9B	SBB	E	BB	CMP	E									
9C	SBB	H	BC	CMP	H	ACCUMULATOR *		DECREMENT **		NOTABLE				
9D	SBB	L	BD	CMP	L									
9E	SBB	M	BE	CMP	M									
9F	SBB	A	BF	CMP	A									

b) Parte de la interfase utilizada en el presente trabajo

Un diagrama de bloques del circuito de la interfase se muestra en la figura A-6.

La interfase incluye 2 circuitos integrados periféricos programables 8255, cada una con tres puertas de entrada/salida (A, B y C).

De estos dos dispositivos, uno de ellos llamado puerta 1 (8255 # 1) maneja los indicadores de LED en la parte superior izquierda de la tarjeta de la interfase a través de la puerta 1A y da conexiones a un convertidor digital/analógico a través de la puerta 1B. Las puertas 1C y 1A están conectadas a zócalos para aplicaciones generales, los mismo que son usados para la aplicación del programador de EPROMS.

La figura 7 nos muestra las conexiones a circuito integrado 8255 # 1.

El segundo dispositivo (8255 # 2) está dedicado principalmente al sistema de interrupción. La puerta A de este circuito integrado también está conectada a un zócalo que es el otro zócalo usado en la aplicación del

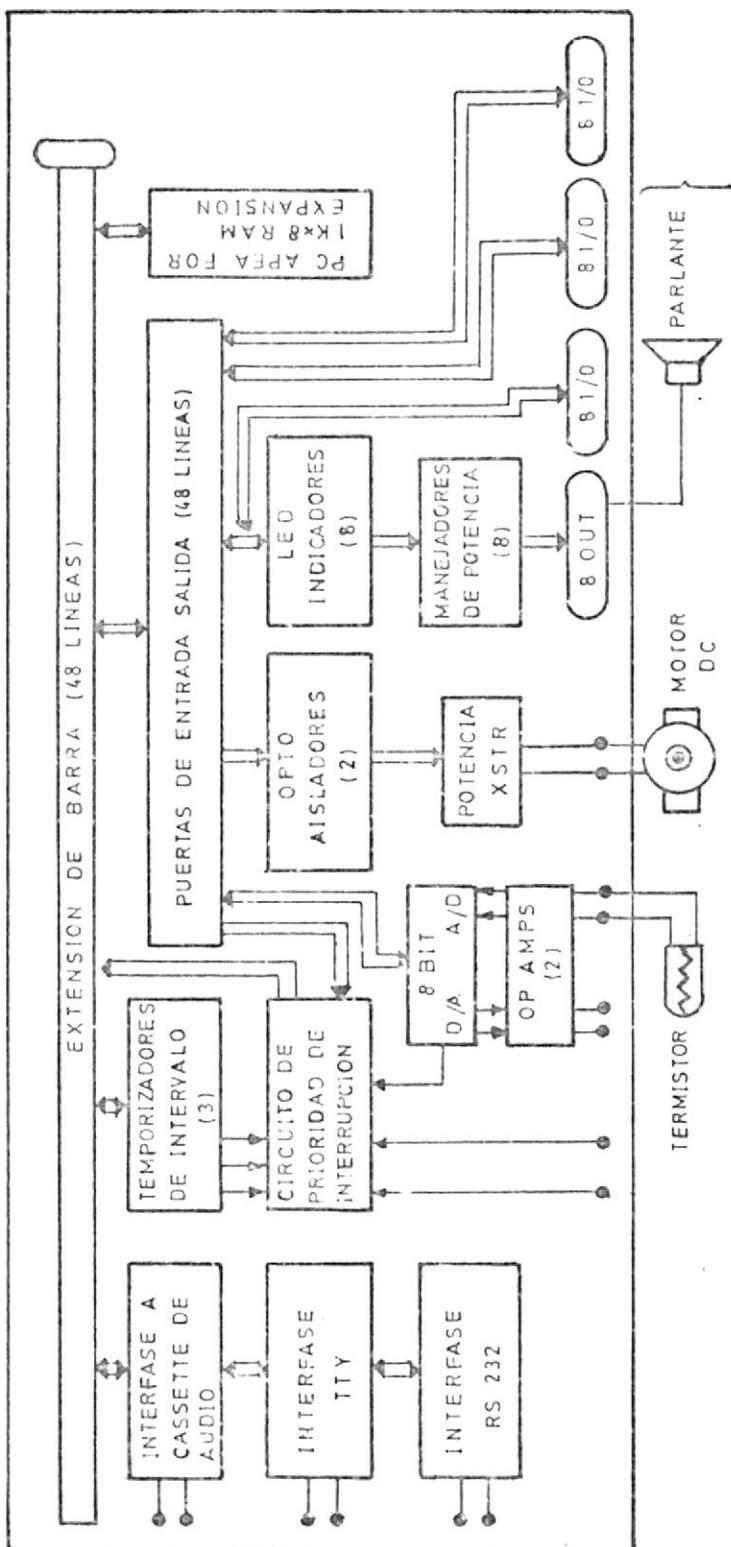


FIGURA A-6 SISTEMA DE INTERFASE MTS

programador de EPROMS.

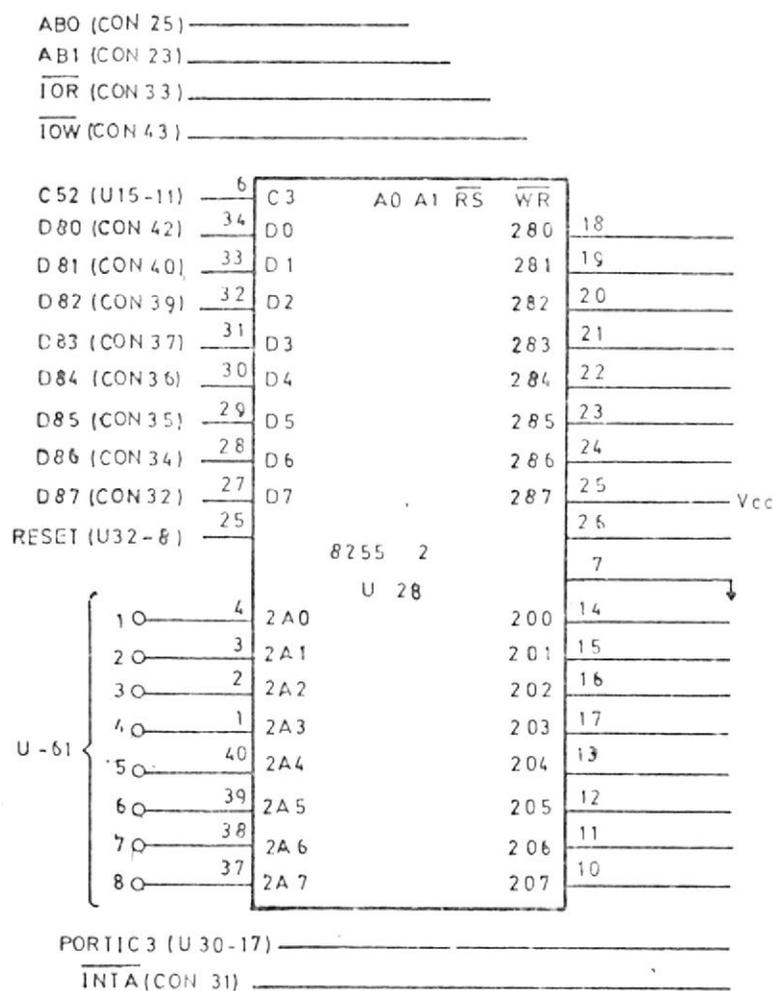


FIGURA A-8 PERIFERICO 8255#2

El resto de los circuitos que forman parte de la interfase no se han utilizado y no se lo tratará en este escrito.

Nos referiremos a las interfases periféricas programa-

bles por números, esto es, 8255 # 1 o 8255 # 2; a las puertas que contienen cada uno de estos circuitos integrados por letras (A, B y C) y por números a los bits que contienen cada una de estas puertas.

Por ejemplo, puerta 1 A2 quiere decir 8255 # 1, puerta A, bit 2.

Las asignaciones de cada una de las puertas de los circuitos 8255 para este sistema se muestra a continuación:

8255 # 0	
MTS	
0A	filas del teclado
a { 0B7	no asignado
0B1	
0B0	
0C7	habilitación de la unidad d.v.
0C6	teclas de comando
0C5	teclas 8-F
0C4	teclas 0-7
0C3	indicador de cero
0C2	indicador de transporte
0C1	habilitación de monitor
0C0	enviador de datos de la cinta del cassette

8255 # 1

1A Manejadores de leds y manejadores con colector abierto

1B convertidor A/D - D/A

a { 1C7 no asignado
 1C4
 1C3 interrupción
 1C2 no asignado
 1C1 habilitación de motor
 1C0 habilitación

8255 # 2

2A no asignado

2B estado de interrupción

a { 2C7 deshabilitación de interrupción general
 2C6
 2C0 habilitadores de interrupción específico

ASIGNACIONES Y DIRECCIONES DE PUERTAS

DIRECCION	NUMERO DE PUERTA	FUNCION
00	PUERTA 0A	ENTRADA DE TECLADO DEL MTS
01	PUERTA 0B	NO ASIGNADO EXCEPTO 0B0
02	PUERTA 0C	VER COLUMNA A LA DERECHA
03	CNT 0	PUERTA DE CONTROL PARA MTS 8255
04	PUERTA 1A	SALIDAS PARA LED Y DRIVERS
05	PUERTA 1E	SALIDA D/A O ENTRADA A/D
06	PUERTA 1C	VER COLUMNA A LA DERECHA
07	CNT 1	PUERTA DE CONTROL PARA 8255 # 1
0C	PUERTA 2A	NO ASIGNADO
0D	PUERTA 2B	ENTRADA DE ESTADO DE INTERRUPC.
0E	PUERTA 2C	SALIDA DE HABILITACION DE INT.
0F	CNT 2	PUERTA DE CONTROL PARA 8255 # 2

BYTES DE CONTROL DE PROGRAMACION DEL 8255

(ESCRIBA A LA PUERTA DE CONTROL DEL 8855)

Byte de Control	Puerta A	Puerta B	Puerta C0-C3	Puerta C4-C7	Use con 8255 #		
					0	1	2
80	salida	salida	salida	salida			D/A
81	salida	salida	entrada	salida			CP
82	salida	entrada	salida	salida			A/D
83	salida	entrada	entrada	salida			A/D
88	salida	salida	salida	entrada			D/A
89	salida	salida	entrada	entrada			CP
8A	salida	entrada	salida	entrada			A/D
8B	salida	entrada	entrada	entrada			A/D
90	entrada	salida	salida	salida			D/A
91	entrada	salida	entrada	salida			CP
92	entrada	entrada	salida	salida			A/D
93	entrada	entrada	entrada	salida			A/D
98	entrada	salida	salida	entrada			D/A
99	entrada	salida	entrada	entrada			CP
9A	entrada	entrada	salida	entrada			A/D
9B	entrada	entrada	entrada	entrada			A/D

CP. CONFIGURACION PROHIBIDA

En el momento de RESET todas las puertas de todos los 8255A son automáticamente colocados en el modo de entrada. Pueden ser usados de esta manera o pueden ser programados a otras configuraciones escribiendo un byte de control a la puerta de control del 8255 deseado.

Supongamos que queremos programar las puertas del 8255 # 1 en la forma Asalida Bentrada Csalida. Entonces

las instrucciones:

```
3E      MVI A, 82
82
D3      OUT CNT1
07
```

Lograrán este propósito.

Una fotografía de la interfase se muestra a continuación:

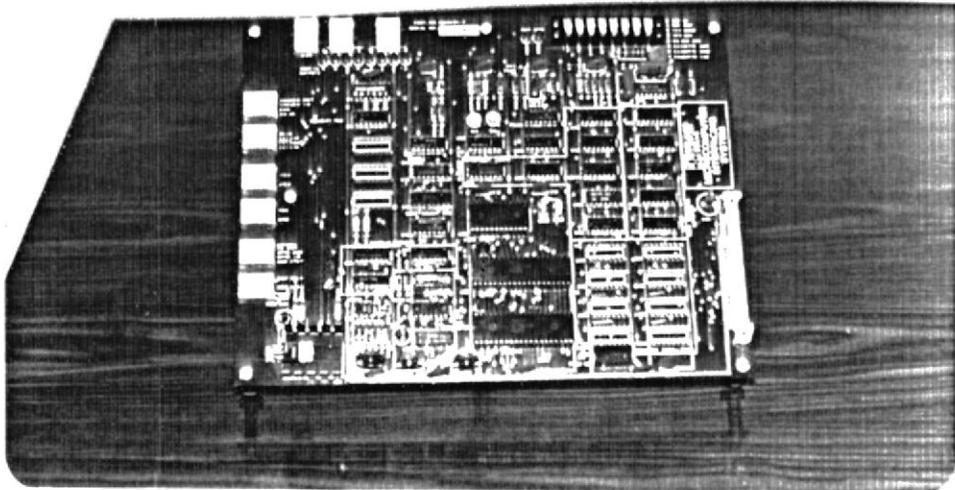


FIGURA A-9 INTERFASE

c) Subrutinas GETKY, DBYTE, DWORD.Subrutina GETKY

Función.- Obtener la entrada debido a una tecla presionada en el teclado. Retorna cuando la tecla ha sido presionada y soltada.

Llamada.- CALL GETKY CD
 3D
 02

Extensión.- 023D hasta 0256

Entrada.- Teclado

Salidas.- (1) El código de la tecla presionada se duplica en los registros A y C.

El código de la tecla hexadecimal es el mismo valor hexadecimal escrito en los cuatro bits menos significativos.

Los códigos para las teclas de comando son las siguientes:

MEM	10
REG	11
ADDR	12
STEP	13
RUM	14
NEXT	15
BRK	16
CLR	17

La tecla RST causa un reset general al procesador y no es manejado por la subrutina.

(2) La bandera de transporte se hace cero - si una tecla de comando se presiona; se ha ce uno si una tecla hexadecimal se presiona.

Registros.- Los registros A, B y C son usados. El re - gistro B es borrado y el contenido de los registros D, E, H y L se mantienen.

Restricciones.- Esta subrutina retiene el control has - ta que la tecla haya sido presionada y sol tada. Se retarda hasta que la liberación - de la tecla haya sido detectada contínuamente por 20 milisegundos.

El monitor se deshabilita durante la entra - da de una tecla. Al retorno de la subruti -

na, el monitor, la unidad de despliegue visual y teclado son habilitados.

Subrutina DBYTE

Función.- Poner en la unidad de despliegue visual un byte de datos (registro A en los dos dígitos extremos derechos) en la forma de dos dígitos hexadecimales.

Llamada.- CALL DBYTE CD
 95
 02

Extensión.- 0294 hasta 02A5

Entradas.- Byte en el registro A

Salidas.- Los registros A y C contienen el byte puesto en la unidad de despliegue visual. La localización de memoria direccionada por el contenido del par de registros D y E se carga con el código (7 segmentos) correspondiente a los 4 bits menos significativos del byte de entrada.

La localización de memoria contenida en los registros D y E menos uno se carga con el código (7 segmentos) correspondiente a los 4 bits más significativos del byte de entrada.

Registros.- Registros A, C, D y E usados.

Registros B, H y L inalterados.

Restricciones.- No se puede almacenar datos entre las direcciones 83C0 - 83FF debido a que puede existir una mala operación del monitor.

Las interrupciones del monitor, teclado y unidad de despliegue visual son habilitados al término de la subrutina.

Subrutina DWORD

Función.- Poner en la unidad de despliegue visual el contenido de los registros H y L en los cuatro dígitos de la izquierda.

Llamada.- CALL DWORD CD
 D4
 02

Extensión.- 02D1 hasta 02BD

Entradas.- Información a ser colocada en la unidad d.v. en los registros H y L.

Salidas.- Registros A y C contienen el byte más significativo colocado en la unidad d.v.

Registros.- Los registros B, H y L se mantienen inalterables.

Restricciones.- No se puede almacenar datos entre las direcciones 83C0 - 83FF debido a que puede existir una mala operación del monitor.

Las interrupciones del monitor, teclado y unidad de despliegue visual son habilitados al término de la subrutina.

APENDICE B

ESTUDIO BREVE DEL EPROM 2708 y 8755A

a) EPROM 2708, Diagrama de terminales, modo de operación y características

El EPROM 2708 es una memoria de 8.192 bits (1K x 8) - que se puede borrar mediante luz ultravioleta y reprogramar eléctricamente. Ideal para experimentación.

Todas las entradas y salidas son compatibles con voltajes TTL durante ambos modos de lectura y programación. Las salidas tienen tres estados permitiendo interfase directa con estructuras de barras comunes. No requiere reloj y tiene una máxima disipación de potencia de 800 (mw).

Diagrama de terminales y modo de operación.- Fig. B-1

$A_0 - A_9$	entradas de direcciones
$O_1 - O_8$	entrada/salida de datos
\overline{CS}/WE	entrada selección de chip/habilitación de escritura

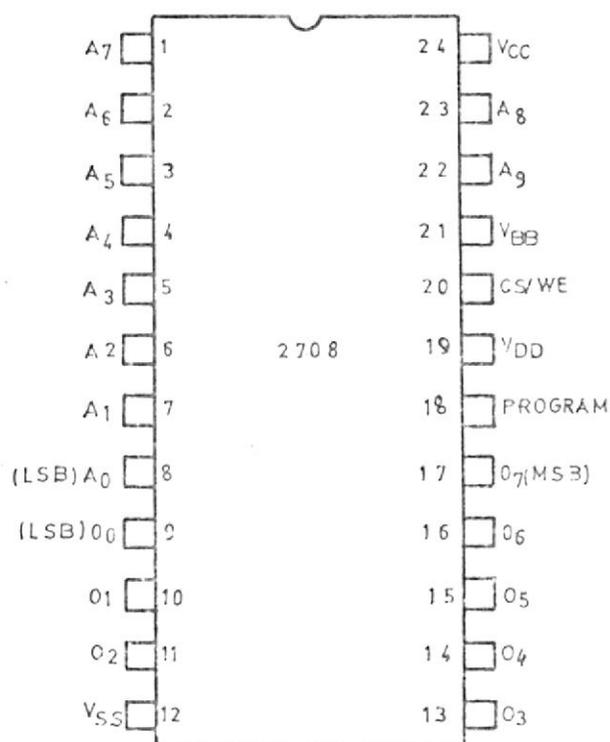


FIGURA B-1. DIAGRAMA DE TERMINALES

Según sea el modo de operación del 2708 se deberá tener las siguientes condiciones en los terminales.

MODO	Número de Pines							
	I/O datos 9 - 11 13 - 17	entradas direc. 1 - 8 22 - 23	Vss 12	Progra ma- ción 18	VDD 19	\overline{CS}/WE 20	VBB 21	VCC 24
Lectura	Dsalida	Aentrada	Tierra	Tierra	+ 12	Low	- 5	+ 5
No selec cionado	Alta Impedancia	No Imperta	Tierra	Tierra	+ 12	High	- 5	+ 5
Progra- mación	Dentrada	Aentrada	Tierra	Pulsode 26 v	+ 12	+ 12	- 5	+ 5

Características.

Condiciones de operaciones D.C. y A.C. durante lectura.

Para el rango 0°C - 70°C

V_{CC}	$5 \pm 5 \%$
V_{DD}	$12 \pm 5 \%$
V_{BB}	$-5 \pm 5 \%$

Operación de lectura.-

Características de operación y corriente directa.

Símbolo	Parámetro	2708 , 2708			Unidad	Condiciones de prueba
		Min.	Tip.	Max.		
I_{LI}	Corriente de drenaje de entrada de dirección y de selección de chip	1	10		uA	$V_{in} = 5.25v$ o $V_{in} = V_{IL}$
I_{LO}	Corriente de fuga de salida	1	10		uA	$V_{out} = 5.5v$, $CS/WB = Sv$
I_{DD}	Corriente suministrada por V_{DD}	50	65		mA	corrientes suministradas en el peor caso
I_{CC}	Corriente suministrada por V_{CC}	6	10		mA	Todas las entradas altas
I_{BB}	Corriente suministrada por V_{BB}	30	45		mA	$CS/WE = 5 v$ $T_A = 0^\circ C$
V_{IL}	Voltaje de salida bajo V_{SS}		0,65		V	
V_{IH}	Voltaje de salida alto	3.0	V_{CC}		V	

Símbolo	Parámetro	2708 , 2708			Unidades	Condiciones de prueba
		Min.	Tip.	Max.		
V_{OL}	Voltaje de salida bajo			0,45	V	$I_{OL} = 1.6 \text{ mA}$ (2708, 2708-1) $I_{OL} = 2 \text{ mA}$ (2708-2)
V_{OH1}	Voltaje de salida alto	3,7				$I_{OH} = 100 \text{ uA}$
V_{OH2}	Voltaje de salida alto	2,4				$I_{OH} = 1 \text{ uA}$
PD	Disipación de potencia			800	mW	$T_A = 70^\circ\text{C}$ $T_A = 0^\circ\text{C}$

características de corriente alterna

Símbolo	Parámetro	Límites 2708, 2708 c		Unidades
		Min.	Max.	
t_{ACC}	Retardo entre dirección y salida		450	ns
t_{CO}	Retardo entre selección de chip y salida		120	ns
t_{DF}	Desabilitación de chip a salida flotante	0	120	ns
t_{OH}	Dirección a salida sostenida	0		ns

El rango de corriente suministrada vs. temperatura y el tiempo de acceso vs. temperatura se lo muestra en la figura B-2.

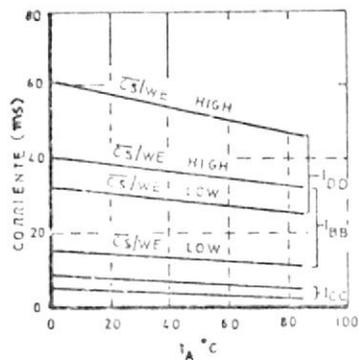


FIG. B-2A CORRIENTE SUMINISTRADA VS. TEMPERAT.

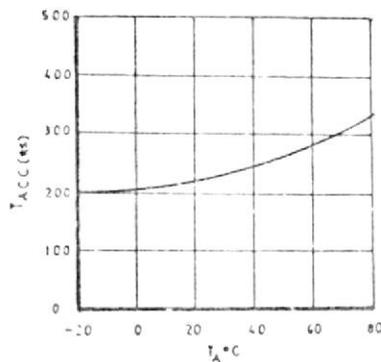


FIG. B-2B TIEMPO DE ACCESO VS. TEMPERATURA

Formas de ondas A.C.

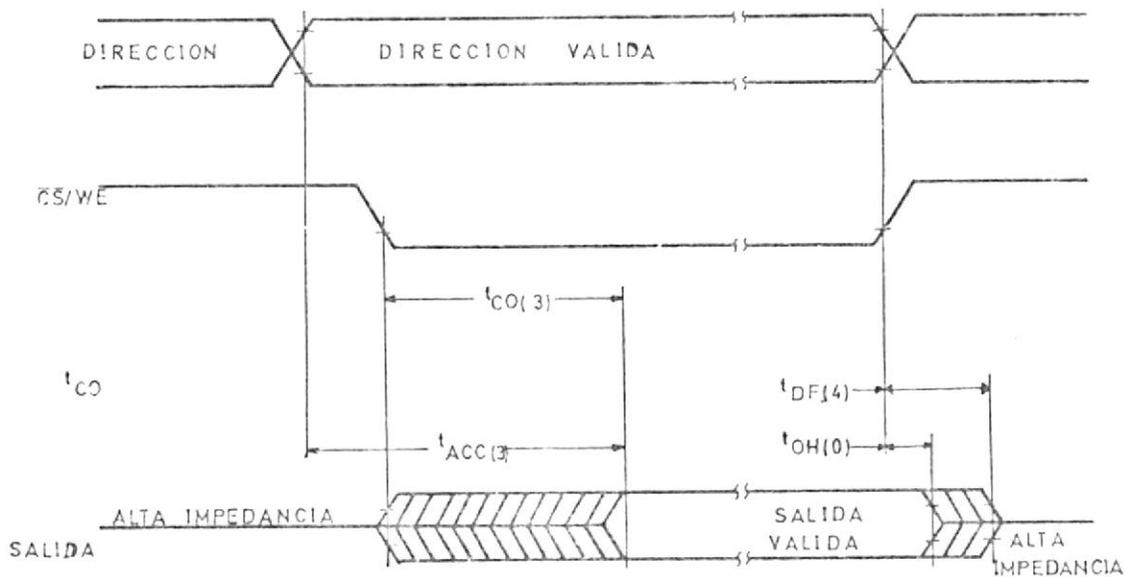


FIGURA B-3. LECTURA DE INFORMACION EN EL 2078

Características de borrado

Las características de borrado para la familia 2708 - son tales que ocurren cuando se exponen a la luz ultravioleta con una longitud de onda menor que 4.000 A°

La luz solar y ciertos tipos de lámparas fluorescentes tienen longitudes de onda entre 3.000 y 4.000 A° , de tal suerte que se puede borrar un EPROM si se lo somete a una exposición constante de estas luces. La experiencia demuestra que tomaría aproximadamente 3 años - borrar la memoria con luz fluorescente, mientras que solamente una semana con luz solar.

El procedimiento de borrado recomendado para esta familia es la exposición a luz ultravioleta con una longitud de onda de 2.537 A°.

La dosis integrada para borrado (intensidad UV x tiempo de exposición) debe ser un mínimo de 15 W - seg/cm². El tiempo de borrado para esta dosis es de 15 a 20 minutos usando una lámpara ultravioleta con una densidad de potencia de 12.000 uw/cm².

Programación de la familia 2708

Inicialmente y después de cada borrada, todos los bits del 2708/2704 están en uno lógico. La información es introducida programando selectivamente "0" (ceros) en las localizaciones de bits deseados. "0" puede ser cambiado a "1" solamente por luz ultravioleta.

El circuito se acondiciona para la operación de programación aplicando + 12v al terminal CS/WE. Las direcciones son puestas en igual forma que en el modo de lectura. La información a ser programada se presenta en la forma de 8 bits en paralelo a las líneas de salidas de datos $0_1 - 0_8$. Los niveles lógicos para las líneas de datos y direcciones y las fuentes de voltajes son las mismas que para el modo de lectura. Después que se ha colocado tanto los datos como la dirección se aplica un pulso de programación por cada dirección en el terminal 18.

Una pasada a través de todas las direcciones se define como un lazo de programa. El número de lazos de programa (N) requeridos es una función del ancho del pulso de programación (t_{pw}) de acuerdo a la expresión $N \times t_{pw} \geq 100$ mseg.

El ancho del pulso de programación es de 0.1 a 1 mseg. El número de lazos (N) es de un mínimo de 100 ($t_{pw} = 1$ mseg.) y puede ser mayor que 1.000 ($t_{pw} = 0.1$ mseg.). Deben existir N lazos sucesivos a través de todas las 1.024 direcciones. No se puede aplicar N pulsos de programación a una dirección y luego cambiar a la siguiente dirección para ser programada.

Características de Programación D.C. (2708, 2704)

Símbolo	Parámetro	Min.	Tip.	Max.	Unidad	Condiciones de prueba
I_{L1}	Corriente de drenaje de entrada de dirección y CS/WE			10	μA	$V_{in}=5.25$ v
I_{IPL}	Corriente alimentadora del pulso de programa			3	mA	
I_{IPH}	Corriente de drenaje de pulso de programa			20	mA	
I_{DD}	Corriente de suministro V_{DD}		50	65	mA	Corrientes de suministro en el peor caso.
I_{CC}	Corriente de suministro V_{CC}		6	10	mA	Todas las entradas altas CS/WE = 5V $T_A = 0^\circ C$
I_{BB}	Corriente de suministro V_{BB}					
V_{IL}	Nivel de entrada bajo	V_{SS}		0.65	V	

Símbolo	Parámetro	Mín.	Tip.	Max.	Unidad	Condiciones de prueba
V_{IH}	Nivel de entrada alto para todas - direcciones y datos	3.0		$V_{CC} + 1$	V	
V_{IHW}	Nivel de entrada alto CS/WE	11.4		12.6	V	Con referencia a V_{SS}
V_{IHP}	Nivel alto de pulso de programa	25		27	V	Con referencia a V_{SS}
V_{ILP}	Nivel bajo de pulso de programa	V_{SS}		1	V	$V_{IHP} - V_{ILP}$ 25 V min.

Características de Programación A.C.

Símbolo	Parámetro	Min.	Tip.	Max.	Unidades
t_{AS}	Tiempo de establecimiento de direcciones		10		us
t_{CSS}	Tiempo de establecimiento CS/WE		10		us
t_{DS}	Tiempo de establecimiento de datos		10		us
t_{AH}	Tiempo de sostenimiento de direcciones		1		us
t_{CH}	Tiempo de sostenimiento CS/WE		.5		us
t_{DH}	Tiempo de sostenimiento de datos		1		us
t_{DF}	Retardo de deshabilitación del chip a salida flotante	0		120	us
t_{DPR}	Retardo de programa a lectura			10	us
t_{PW}	Ancho del pulso de programa		.1	1.0	ms

Símbolo	Parámetro	Min.	Tip.	Max.	Unidades
t_{PR}	Tiempo de elevación del pulso de programa	.5		2.0	us
t_{PF}	Tiempo de caída del pulso de programa	.5		2.0	us

Formas de Onda de Programación (Fig. B-4)

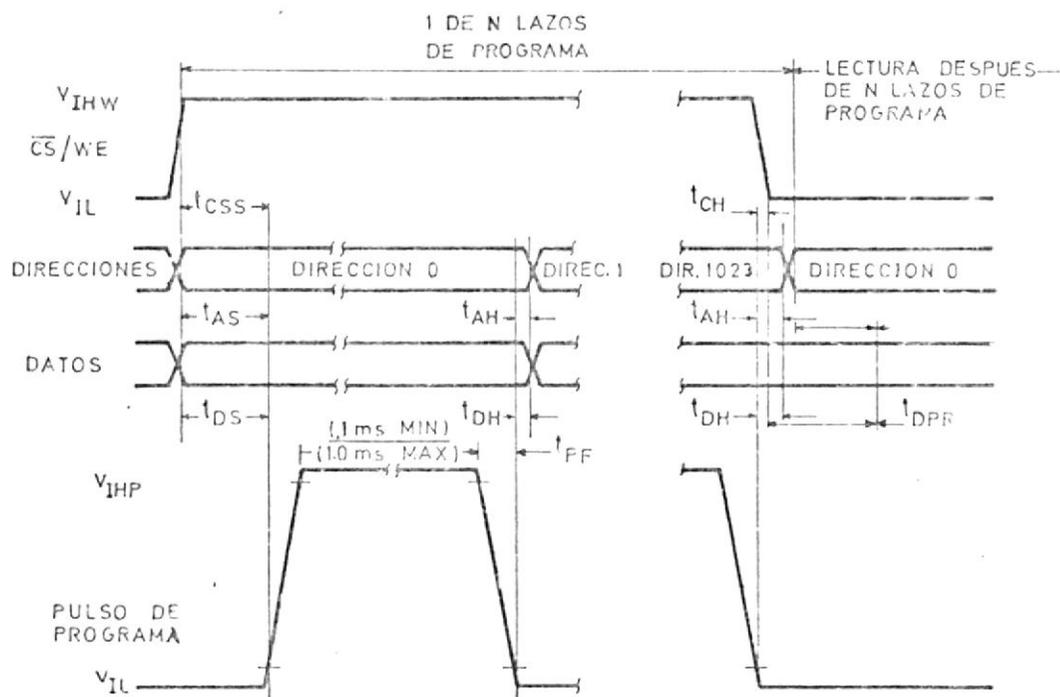


FIGURA B-4 CURVAS DE PROGRAMACION DEL EPROM 2708

b) EPROM 8755A.- Diagrama de terminales, modo de operación y características

El circuito integrado 8755A es un ROM borrable y reprogramable eléctricamente, posee además puertas de entrada/salida que se utilizan en los sistemas de microprocesadores 8085A y 8088. La porción de memoria está organizada en 2.048 palabras de 8 bits.

Tiene un tiempo de acceso máximo de 450 nseg. que permite su uso sin estados de espera en un sistema 85.

La porción correspondiente a las puertas de entrada/salida consiste en dos puertas E/S de propósito general. Cada puerta de entrada/salida tiene 8 líneas y cada línea es programable individualmente.

Diagrama de terminales y modo de operación. (Figura B-5)

ALE (entrada),- Cuando este pin se hace high, ADo-7 , IO/M, A8-10. CE_2 y \overline{CE}_1 entran a los agarradores de direcciones. Estas señales son agarradas con la parte final del pulso de ALE.

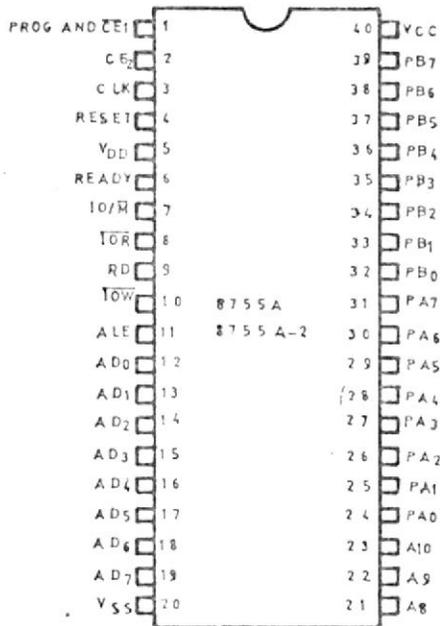


FIGURA B-5a. CONFIGURACION DE TERMINALES

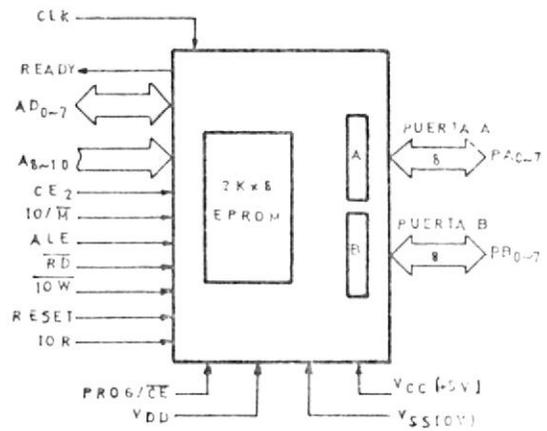


FIGURA B-5b. DIA GRAMA DE BLOQUES

AD_{0-7} (entrada/salida).- Barra de datos/direcciones - bidireccional. Los 8 bits menos significativos de la barra de direcciones son aplicados cuando ALE es HIGH.

A_{8-10} (entrada) Estos son los bits de mas alto orden para direccionamiento del PROM solamente.

$PROG/\overline{CE}_1$ (entrada) El 8755A puede ser accedido sola -
 CE_2

mente cuando ambos terminales están activos en el momento que la señal ALE los agarra, de lo contrario las salidas AD_{0-7} y READY se encontrarán en un estado de alta impedancia.

- $\overline{IO/\overline{M}}$ (entrada) Si es alto (HIGH) cuando \overline{RD} es bajo (Low), los datos de salida vienen de una puerta de I/O. Si es bajo los datos vienen del PROM.
- \overline{RD} (entrada) Si \overline{CE}_1 y CE_2 están activos cuando \overline{RD} es bajo, los buffers de las salidas AD_{0-7} son habilitados y se tiene salida ya sea del PROM o de las puertas de entrada-salida. Si es alto y \overline{IOR} también lo es luego AD_{0-7} estarán en un estado de alta impedancia.
- \overline{IOW} (entrada) Si \overline{CE}_1 y CE_2 están activos, un cero lógico en \overline{IOW} causará que la puerta de salida señalado por el valor agarrado de AD_0 sea escrita

- con los datos en AD_{0-7} . Se ignora el estado de IO/\overline{M} .
- CLK (entrada) Esta señal nos sirve para forzar - READY a su estado de alta impedancia después de que ha sido forzado abajo por \overline{CE}_1 , CE_2 y ALE altos.
- READY (salida) Es una salida (3 estados) controlada por \overline{CE}_1 , CE_2 .
- $PA_0 - PA_7$ (ent/sal) Estos son terminales de E/S de propósito general. Su dirección de entrada/salida es determinada por el contenido del registro de direcciones de datos (DDR).
- $PB_0 - PB_7$
- RESET (entrada) Cuando aparece una entrada alta en RESET causa que todos los terminales en las puertas A y B se coloquen en el modo INPUT.
- \overline{IOR} (entrada) Cuando \overline{CE}_1 y CE_2 están activos, un bajo en \overline{IOR} provocará una salida de información desde la puerta E/S seleccionada hacia la barra de da

tos.

Cuando $\overline{\text{IOR}}$ no se usa debe ser polarizado con una fuente de + 5 v.

V_{CC}

fuentes de + 5 v.

V_{SS}

Referencia de tierra (GND).

V_{DD}

V_{DD} es un voltaje de programación y debe ser polarizado con + 5 v - cuando el 8755A está siendo leído.

Para programación $V_{DD} = 25$ v.

Descripción funcional

Sección EPROM.- La sección de memoria del circuito integrado se direcciona mediante 11 bits y CE. Estas señales son agarradas en la caída del pulso de ALE. Si $\overline{\text{CE}}_1$ y CE_2 están activos y $\text{IO}/\overline{\text{M}}$ es bajo cuando $\overline{\text{RD}}$ se hace bajo, el contenido de la dirección de memoria agarrado durante ALE es puesta sobre las líneas AD_{0-7} .

Sección de entrada-salida.- La sección E/S se direcciona por la información contenida en los bits AD_0 y AD_1 . Dos registros de direcciones de datos de 8 bits (DDR) determinan el estado de cada terminal en las

puertas correspondientes. Un cero en una posición particular de un DDR significa que ese bit de entrada/salida particular está en el modo de entrada. Un uno indicará que ese bit está en el modo de salida. Los DDR no pueden ser leídos.

AD_1	AD_0	Selección
0	0	Puerta A
0	1	Puerta B
1	0	Registro de dirección de datos (Puerta A)
1	1	Registro de dirección de datos (Puerta B)

Cuando \overline{IOW} y los habilitadores del circuito integrado están activos, la información que se encuentra en la barra de datos es escrita en la puerta de E/S seleccionada por el valor agarrado AD_0 y AD_1 . Durante esta operación todos los bits E/S de la puerta seleccionada se afectan sin que tenga importancia su modo de E/S y el estado de IO/\overline{M} . El nivel actual de salida no cambia hasta que \overline{IOW} se haga alto.

Una puerta puede ser leída cuando los habilitadores del circuito integrado están activos y \overline{RD} es bajo con IO/\overline{M} alto o \overline{IOR} bajo.

Este circuito integrado 8755A tiene las mismas caracte

rísticas de borrado que el 2708.

Programación.- Al igual que para el EPROM 2708 inicialmente y después de cada borrada todos los bits del 8755A están en el estado uno lógico. La información es introducida programándose selectivamente un cero en una localización de bit deseado. Un cero programado puede ser cambiado a uno solamente con borrado ultravioleta.

El modo de programa consiste en la programación de una sola dirección a la vez, aplicando un pulso único de 50 mseg. para cada dirección. Generalmente es deseable tener un ciclo de verificación después del ciclo de programa para la misma dirección. En el ciclo de verificación, esto es ciclo normal de lectura de memoria, " V_{DD} " debe estar a + 5 v

Características D.C. ($T_A = 0^\circ\text{C}$ a 70°C ; $V_{CC} = 5\text{ v} \pm 5\%$)

Símbolo	Parámetros	Min.	Max.	Unidades	Condiciones de Prueba
V_{IL}	Voltaje de entrada bajo	-0.5	0.8	V	$V_{CC} = 5.0\text{ V}$
V_{IH}	Voltaje de entrada alto	2.0	$V_{CC} + 0.5$	V	$V_{CC} = 5.0\text{ V}$

Símbolo	Parámetros	Min.	Max.	Unidades	Condiciones de Prueba
V_{OL}	Voltaje de salida bajo		0.45	V	$I_{OL} = 2 \text{ mA}$
V_{OH}	Voltaje de salida alto	2.4		V	$I_{OH} = 400 \text{ uA}$
I_{IL}	Fuga de entrada		10	μA	$V_{ENT} = V_{EC} \text{ a } 0 \text{ v}$
I_{LO}	Corriente de fuga de salida		± 10	μA	0.45 V_{sal} V_{CC}
I_{CC}	Corriente suministrada por V_{CC}		180	mA	

Características A.C.

Símbolo	Parámetro	8755A		Unidades
		Min.	Max.	
t_{cyc}	Tiempo de ciclo de reloj		320	nseg.
T_1	Ancho de pulso de reloj		80	nseg.
T_2	Ancho de pulso de reloj		120	nseg.
t_f, t_r	Tiempo de subida y bajada de reloj		30	nseg.
t_{AL}	Dirección a ejecución de agarrao		50	nseg.
t_{LA}	Tiempo de sostenimiento de dirección después de sujeción o agarrao		80	nseg.
t_{LC}	Sujeción a control lectura/escritura		100	nseg.
t_{RD}	Retardo entre control READ y datos de salida válidos		170	nseg.
t_{AD}	Dirección estable a datos de salida válidos		450	nseg.
t_{LL}	Ancho de habilitación de agarrao (ALE)		100	nseg.

Símbolo	Parámetro	8755A		Unidades
		Min.	Max.	
t_{RDF}	Barra de datos flotante después de lectura	0	100	nseg.
t_{CL}	Control READ/WRITE a habilitación de agarrado	20		nseg.
t_{CC}	Ancho del control READ/WRITE	250		nseg.
t_{DW}	Datos de entrada a tiempo de comienzo de WRITE	150		nseg.
t_{WD}	Tiempo de sostenimiento de datos de entrada después de escritura.	30		nseg.
t_{WP}	Escritura a una puerta de salida		400	nseg.
t_{PR}	Tiempo de comienzo de entrada a puerta	50		nseg.
t_{RP}	Tiempo de sostenimiento de entrada a puerta	50		nseg.
t_{RYH}	Tiempo de sostenimiento de listo	0	160	nseg.
t_{ARY}	Dirección a listo		160	nseg.
t_{RY}	Tiempo de recobramiento entre controles	300		nseg.
t_{RDE}	Control READ a habilitación de barra de datos	10		nseg.
t_{LD}	ALE a datos de salida válidos		350	

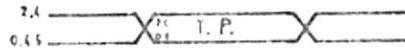


FIGURA B-6. FORMAS DE ONDA DE ENTRADA PARA PRUEBAS A.C.

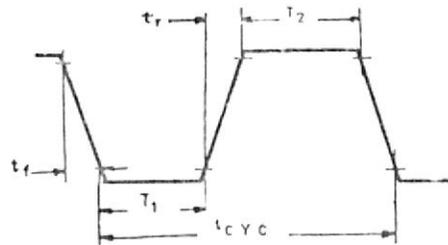


FIGURA B-7. ESPECIFICACIONES DE RELOJ PARA 8755A

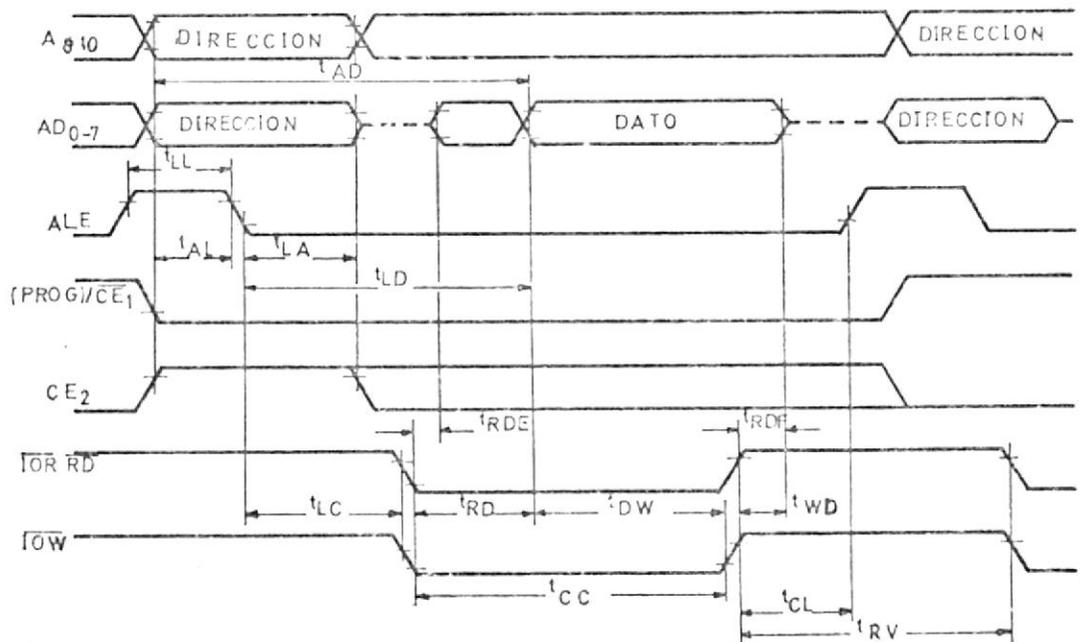


FIGURA B-8. CURVAS DE LECTURA DE PROM, LECTURA Y ESCRITURA DE PUERTAS DE ENTRADA-SALIDA

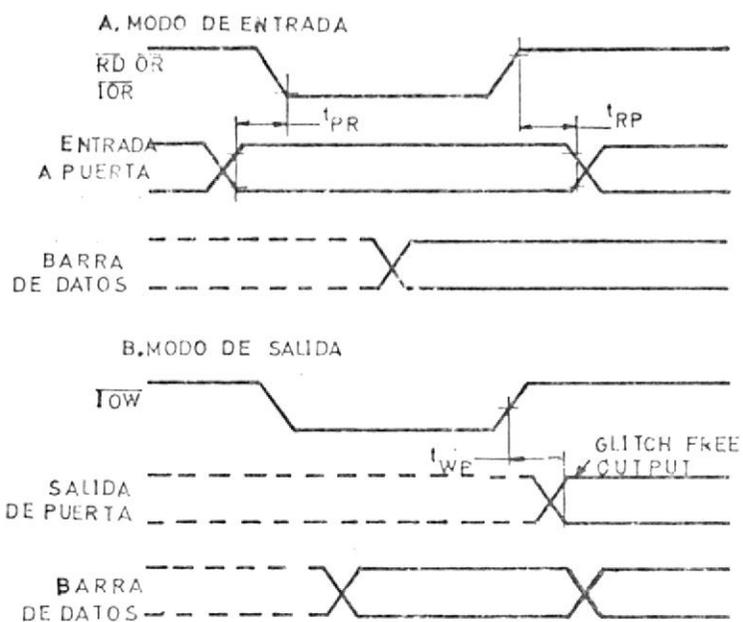


FIGURA B-9. CURVAS DE TRANSFERENCIA DE INFORMACION POR LAS PUERTAS DE ENTRADA/SALIDA

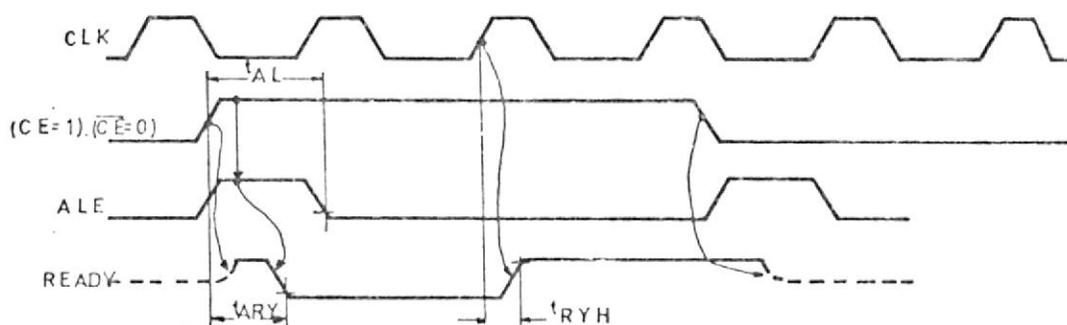


FIGURA B-10. CURVAS PARA EL ESTADO DE ESPERA (READY = 0)

Especificación para programación D.C.

Símbolo	Parámetro	Min.	Tip.	Max.	Unidades
V_{DD}	Voltaje de programación	24	25	26	V
I_{DD}	Corriente durante pulso prog.		15	30	mA

Especificación para programación A.C.

Símbolo	Parámetro	Min.	Tip.	Max.	Unidades
t_{ps}	Tiempo de establecimiento de datos				nseg.
t_{pD}	Tiempo de sostenimiento de datos				nseg.
t_s	Tiempo de inicio del pulso de programación				useg.
t_H	Tiempo de sostenimiento del pulso de programación				useg.
t_{PR}	Tiempo de subida del pulso de programación				useg.
t_{pF}	Tiempo de caída del pulso de programación				useg.
t_{PRG}	Ancho pulso de programación				mseg.

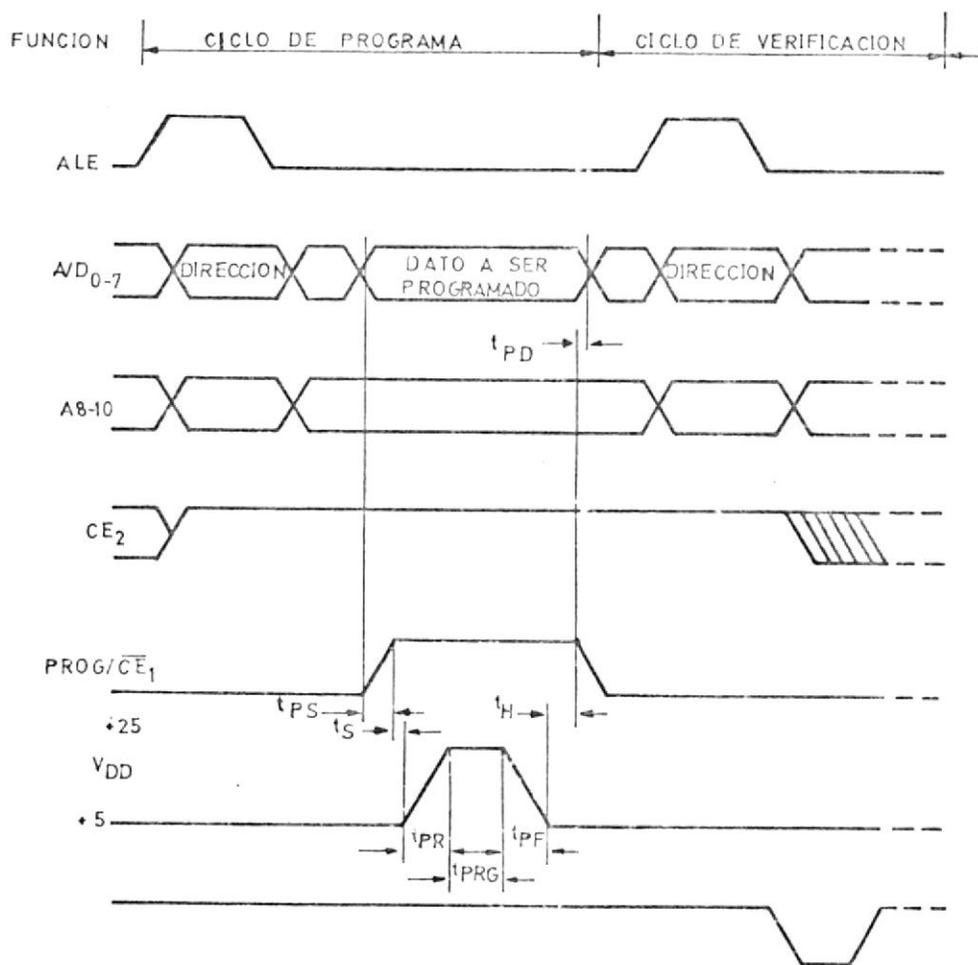


FIGURA B-11. CURVAS DE PROGRAMACION PARA EL EPROM 8755A

APENDICE CESTUDIO BREVE DEL MICROPROCESADOR 8085A
Y DEL CIRCUITO INTEGRADO 8155

- a) Microprocesador 8085A. Diagrama de terminales, aplicaciones y características.

Descripción.- El microprocesador 8085A es una unidad de procesamiento central de 8 bits en paralelo completo. Su juego de instrucciones es 100 % compatible con el microprocesador 8080A y está diseñado para operar a una mayor velocidad.

Su alto nivel de integración permite un sistema mínimo de 3 circuitos integrados, 8085A (CPU), 8155 (RAM, I/O) y 8355/8755A (ROM/PROM, I/O) manteniendo expansión total del sistema.

El 8085A incorpora todas las características que el 8224 (generador de reloj) y 8228 (controlador de sistema) daban al 8080A.

El 8085A usa una barra de datos multiplexada, es decir, la misma barra sirve como barra de direcciones (8 bits

menos significativos) y como barra de datos.

Los agarradores (latch) de direcciones presentes en los circuitos integrados 8155/8156 y 8355/8755A permiten interfase directa con el 8085A.

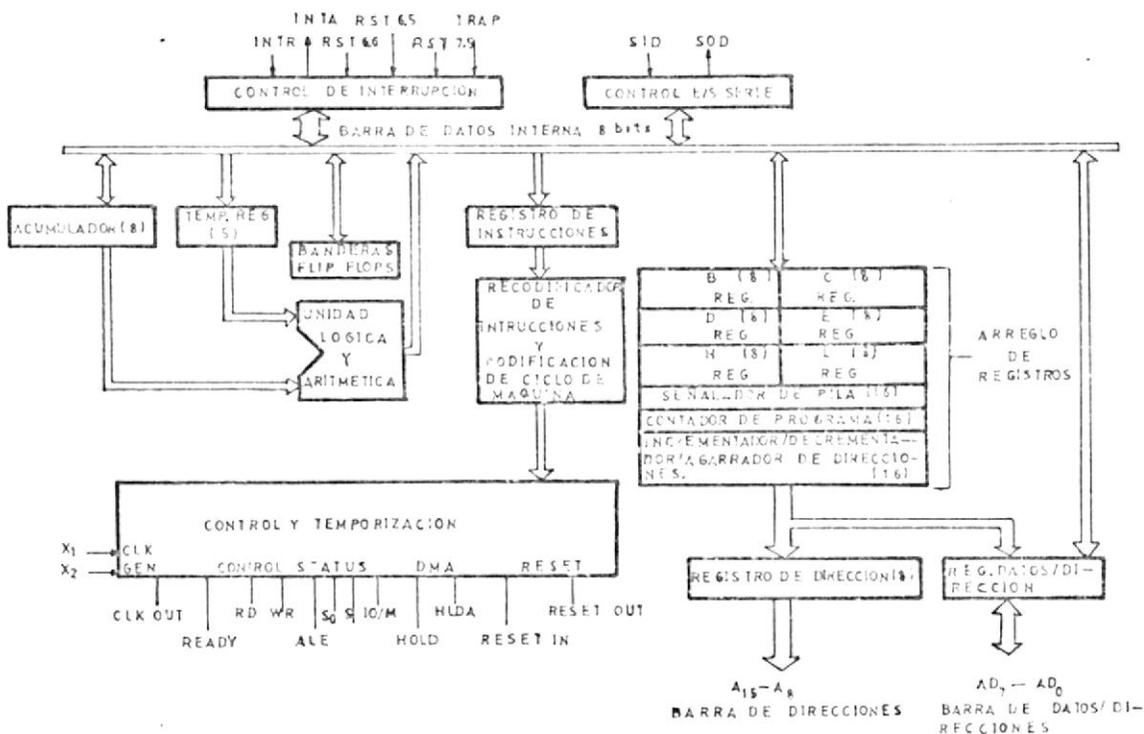


FIGURA C-1. DIAGRAMA DEL BLOQUE FUNCIONAL DEL 8085A

Diagrama de terminales

A_8-15 (salida 3-estados) Los 8 bits más significativos de la barra de direcciones.

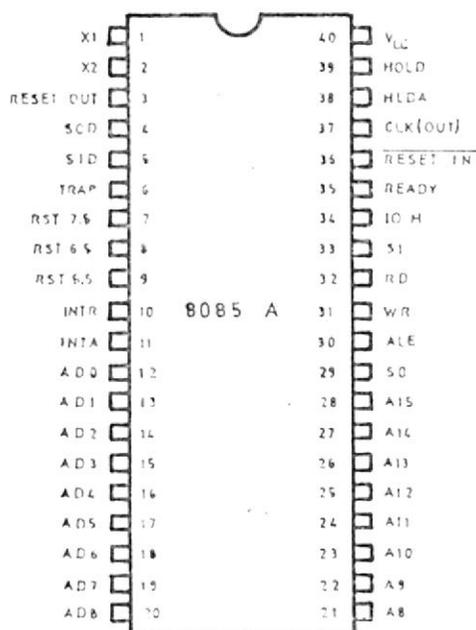


FIGURA C-2 CONFIGURACION DE TERMINALES

AD_{0-7} (entrada/salida. 3-estados)

Barra de direcciones / datos multiplexada.

Los 8 bits menos significativos de la dirección de memoria (o dirección I/O) aparecen en la barra durante el primer ciclo de reloj de un ciclo de máquina.

Luego se convierte en barra de datos durante el segundo y tercer ciclo.

ALE (salida)

Habilitación de agarrado de dirección: Ocurre durante el primer ciclo de reloj de un ciclo de máquina y permite que la dirección sea agarrado en los periféricos que trabajan con el microprocesador.

S_0 , S_1 and IO/\bar{M} . (salida)

Estado del ciclo de máquina.

IO/\bar{M}	SI	SO	Estado
0	0	1	escritura a memoria.
0	1	0	lectura de memoria.
1	0	1	Escritura entrada/salida.
1	1	0	Lectura entrada/salida.

			lida.
1	0	1	búsqueda de código de <u>o</u> peración.
1	1	1	Reconocimien <u>o</u> to de inte - rrupción.
AI	0	0	HALT
AI	X	X	HOLD
AI	X	X	RESET

AI = ALT IMPEDANCIA

RD (salida tres-estados) Control de lectura.- un nivel -
bajo en \overline{RD} indica que la memo -
ria seleccionada o dispositivo
de entrada/salida va a ser lei
do y que la barra de datos está
disponible para la transferen -
cia.

\overline{WR} (salida tres-estados) Control de escritura. un nivel
bajo en \overline{WR} indica que los datos
en la barra de datos van a ser
escritos en una memoria selec -
cionada o localización de entraa

da/salida.

READY (entrada)

Si es alta durante un ciclo de escritura o lectura, indica que el periférico está listo para enviar o recibir datos. Si es bajo, el cpu esperará un número entero de ciclos de reloj hasta que READY se haga alto antes de completar el ciclo de lectura o escritura.

HOLD (entrada)

Indica que otro dispositivo está requiriendo el uso de las barras de datos y direcciones.

HLDA (salida)

Indica que el cpu a recibido un pedido de HOLD y va a liberar las barras en el siguiente ciclo de reloj.

INTR (entrada)

Es usado como una interrupción de propósito general. Es muestreado solamente durante el ciclo siguiente al último ciclo de reloj de una instrucción y duran-

	te los estados de HOLD y HALT.
INTA (salida)	Reconocimiento de interrupción se usa en vez de \overline{RD} durante un ciclo de instrucción después - que INTR se acepta.
RST 5.5 (entradas)	Interrupciones RESTART. Estas 3 interrupciones tienen la misma temporización que INTR excepto que ellos causan un RESTART interno que es insertado automáticamente.
RST 6.5	
RST 7.5	
TRAP (entrada)	Esta interrupción no se puede enmascarar. Es reconocida en el mismo momento que INTR o - RST 7.5, RST 6-5 y RST 5.5. Tiene la mayor prioridad.
\overline{RESET} \overline{IN} (entrada)	Llena de ceros el contador de programa y hace cero la habilitación de interrupción y los flip-flops de HLDA. Las barras de datos y direcciones es

tan en un estado de alta impedancia durante RESET.

RESET OUT (salida)	Indica que el CPU está en estado de RESET.
X_1 , X_2 (entradas)	Están conectados a un cristal , a una red LC o RC para manejar al generador de reloj interno.
CLK (salida)	El reloj del sistema. El período de este reloj es el doble del período de entrada X_1 , X_2 .
SID (entrada)	Línea de entrada de datos en serie.
SOD (salida)	Línea de salida de datos en serie.
Vcc	Fuente de + 5 v
Vss	Referencia de tierra.

TABLA 1. PRIORIDAD DE INTERRUPCION, DIRECCION DE RESTART Y SENSITIVIDAD.

Nombre	Prioridad	Dirección cambiada a cuando ocurre la int.	Tipo de disparo
TRAP	1	24	Pendiente de subida y alto nivel hasta muestreo
RST 7.5	2	3C	borde de subida
RST 6.5	3	34	alto nivel hasta muestreo
RST 5.5	4	2C	alto nivel hasta muestreo
INTR	5	*	alto nivel hasta muestreo

* La dirección a la que se salta depende de la instrucción dada al CPU cuando la instrucción se reconoce.

El 8085A tiene 12 registros de 8 bits direccionables - 4 cuatro de ellos pueden funcionar solamente como dos pares de registros de 16 bits, 6 registros pueden funcionar intercambiablemente como registros de 8 bits o registros de 16 bits.

El 8085A tiene 5 entradas de interrupción: INTR, RST 5.5, RST 6.5, RST 7.5 y TRAP. INTR es idéntico en función al terminal INT del microprocesador 8080A.

Cada uno de los terminales RST 5.5, 6.5 y 7.5 tienen -

enmascaramiento programable. TRAP es también una interrupción RESTART pero no es enmascarable. Este último es muy útil cuando eventos catastróficos tales como fallas de potencia o error de barras ocurren. No es afectado por ninguna bandera o máscara.

Esta interrupción es especial en el sentido que deshabilita las interrupciones pero mantiene el estado de habilitación de interrupción previo. Ejecutando la instrucción RIM después de TRAP se permite determinar si las interrupciones fueron habilitadas o deshabilitadas antes de TRAP .

Todas las transferencias seriales son controladas por las instrucciones RIM y SIM.

La familia 8085A incluye componentes de memoria, los cuales son directamente compatibles con el CPU 8085A . Por ej., un sistema que consiste de tres circuitos integrados 8085A, 8156 y 8755A tendrán las siguientes características:

- 2K bytes de ROM
- 256 bytes de RAM
- 1 temporizador/contador
- 4 puertas de entrada/salida de 8 bits
- 1 puerta de entrada/salida de 6 bits

4 niveles de interrupción
Puertas de entrada/salida en serie.

Este sistema mínimo, usando técnicas de entrada/salida estándar se muestra en la figura C-3

Además de la técnica entrada/salida normal, las entradas/salidas mapeadas por memoria ofrecen una técnica - de direccionamiento eficiente (figura C-4).

El 8085A tiene una barra de datos multiplexado como ya se lo mencionó anteriormente, ALE se usa para muestrear los 8 bits menos significativos de direcciones sobre - la barra de datos. La figura C-5 nos muestra una instrucción de búsqueda, lectura de memoria y ciclo de escritura a dispositivos de entrada/salida (como ocurriría durante el procesamiento de una instrucción OUT). Es importante notar que durante un ciclo de escritura y lectura I/O la dirección de la puerta de entrada o - salida es copiada tanto en la mitad alta como en la mitad baja de la barra de direcciones.

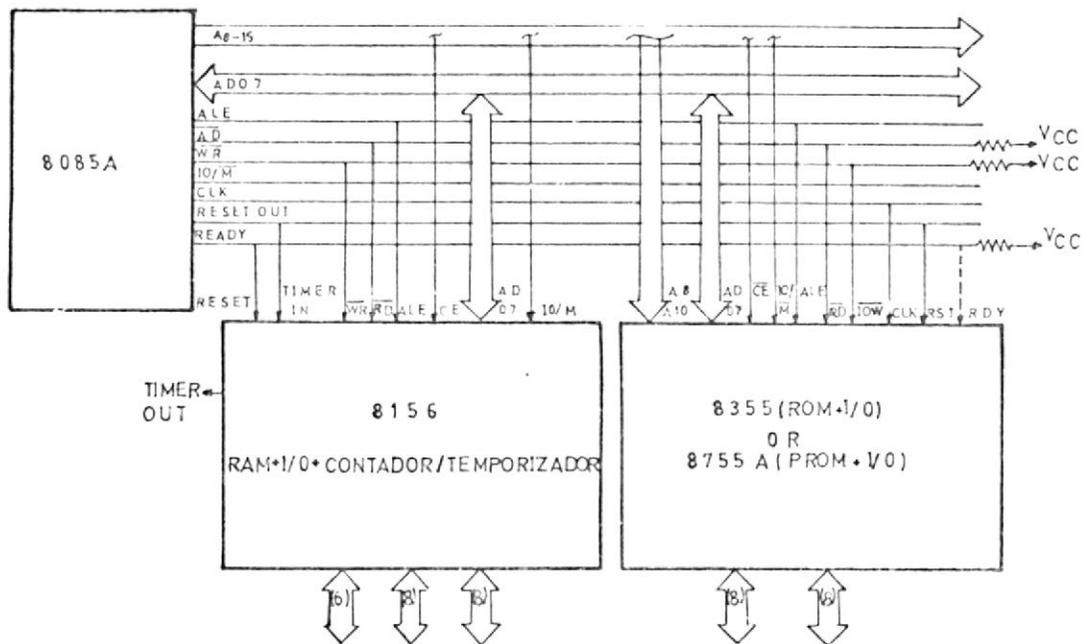


FIGURA C-4 . SISTEMA MINIMO MCS-85
PUERTAS ENTRADA SALIDAS MAPEADAS POR
MEMORIA

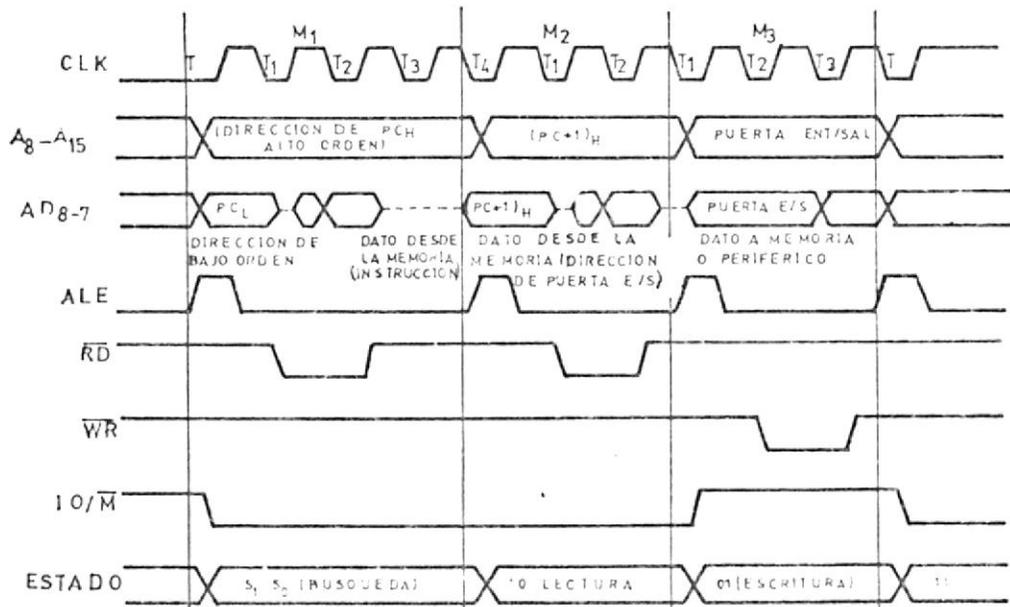


FIGURA C-5. INSTRUCCION DE BUSQUEDA LECTURA DE ME
MORIA Y CICLO DE ESCRITURA A PUERTAS DE
ENTRADA-SALIDA.

CARACTERISTICAS D.C.

SIMBOLO	PARAMETRO	MIN.	MAX.	UNIDA DES	CONDICIONES DE PRUEBA
Vil	Voltaje bajo de entrada	- 0.5	+ 0.8	V	
Vih	Voltaje alto de entrada	2.0	V _{cc} + 0.5		
Vol	Voltaje bajo de salida		0.45	V	I _{ol} = 2 mA
Voh	Voltaje alto de salida	2.4		V	I _{oh} = - 400 μ A
I _{cc}	Corriente de fuente		170	mA	
I _{il}	Fuga de entrada		± 10	μ A	V _{in} = V _{cc}
I _{lo}	Fuga de salida		± 10	μ A	0,45v V _{out} V _{cc}
Vilr	Nivel bajo de - entrada, RESET	0.5	+ 0.8	V	
Vihr	Nivel alto de entrada, RESET	2.4	V _{cc} +0.5	V	
Vhv	Histeresis, RESET	0.25		V	

CARACTERISTICAS A.C.

SIMBOLO	PARAMETROS	8085A		UNIDADES
		MIN.	MAX.	
t _{cyc}	Período del ciclo de reloj	320	2000	nseg
t ₁	Tiempo bajo de reloj	80		nseg
t ₂	Tiempo alto de reloj	120		nseg
t _r , t _f	Tiempo de subida y tiempo de bajada de reloj		30	nseg
t _{xkr}	Elevación X1 a elevación de reloj	30	120	nseg
t _{xkf}	Elevación X1 a caída de reloj	30	250	nseg
t _{AC}	A ₈₋₁₅ válido a borde LIDER de control	270		nseg
t _{ACL}	A ₀₋₇ válido a borde LIDER de control	240		nseg
t _{AD}	A ₀₋₁₅ válido a entrada de datos válidos		575	nseg
t _{AFR}	Dirección flotante después del borde LIDER de READ		0	nseg

SIMBOLO	PARAMETROS	8085A		UNIDADES
		MIN.	MAX.	
t _{AL}	A ₈₋₁₅ Válido antes del borde posterior de ALE	115		nseg
t _{ALL}	A ₀₋₇ válido antes del borde posterior de ALE	90		nseg
t _{ARY}	READY válido desde dirección válida		220	nseg
t _{CA}	Dirección (A ₈₋₁₅) válida después de control	120		nseg
t _{CC}	Ancho entre control baje y borde de ALE	400		nseg
t _{CL}	Borde posterior de control a borde LIDER de ALE	50		nseg
t _{DW}	Dato válido a borde posterior de WRITE	420		nseg
t _{HABE}	HLDA a habilitación de barra		210	nseg
t _{HABF}	Barra flotante después de barra		210	nseg
t _{HACK}	HLDA válido a borde posterior de CLK	110		nseg
t _{HDH}	Tiempo de sostenimiento HOLD	0		nseg
t _{HDS}	Tiempo de comienzo de HOLD a borde posterior de CLK	170		nseg
t _{INH}	Tiempo de sostenimiento de INTR	0		nseg
t _{INS}	Comienzo de INTR, RST y TRAP a borde de caída de CLK	160		nseg
t _{LA}	Tiempo de sostenimiento de dirección después de ALE	100		nseg
t _{LC}	Borde posterior de ALE a borde LIDER de control	130		nseg
t _{LCK}	ALE bajo durante CLK alto	100		nseg
t _{LDR}	ALE a dato válido durante lectura		460	nseg
t _{LDW}	ALE a dato válido durante escritura		200	nseg
t _{LL}	Ancho de ALE	140		nseg
t _{LRY}	ALE a READY estable		110	nseg
t _{RAE}	Parte posterior de READ a rehabilitación de dirección	150		nseg
t _{RD}	READ a dato válido		300	nseg
t _{RV}	Borde posterior de control a borde líder del próximo control	400		nseg
t _{RDH}	Tiempo de sostenimiento de datos después de READ INTA	0		nseg
t _{RYS}	Comienzo de READY a borde LIDER de CLK	110		nseg

SIMBOLO	PARAMETROS	8085A		UNIDADES
		MIN.	MAX.	
t_{WD}	Dato válido después del borde posterior de \overline{WRITE}	100		nseg
t_{WLD}	Borde líder de \overline{WRITE} a datos válidos		40	nseg.



FIG. C-6 ONDA DE ENTRADA PARA PRUEBAS A.C.

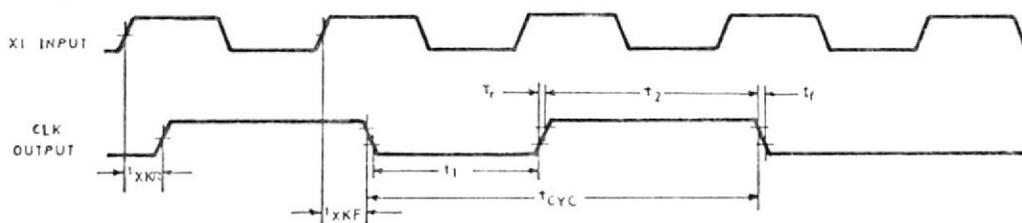


FIGURA C-7 RELOJ DEL SISTEMA

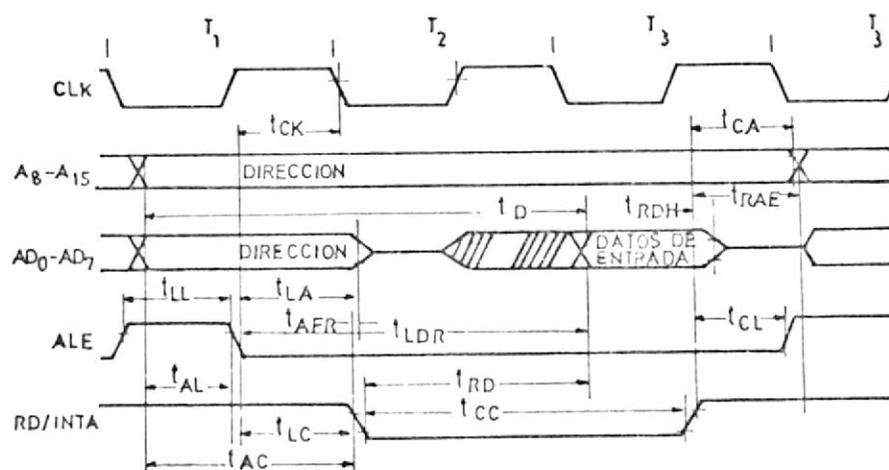


FIGURA C-8 OPERACION DE LECTURA

b) Circuito integrado 8155. Diagrama de terminales y modo de operación.

Descripción.- El 8155/8156 son circuitos integrados con memoria RAM y puertas de entrada/salida para ser usados en los sistemas de microprocesadores 8085A y 8088. La porción RAM está diseñada con 2048 celdas estáticas organizadas como 256 x 8. Tiene un tiempo de acceso máximo de 400 nseg que permite su uso sin estados de espera.

La porción de entrada/salida consiste de 3 puertas de entrada/salida de propósito general. Una de las puertas puede ser programada como puerta de estado por tanto permitiendo que las otras 2 puertas operen en el modo protocolar.

Un temporizador./contador programable también se incluye en el circuito integrado para dar ya sea una onda cuadrada o un pulso al término del contaje dependiendo del modo programado.

Diagrama de terminales y modo de operación.- (Fig. C-13)

RESET (entrada) Pulso dado por el 8085A para inicia-

lizar el sistema. Una entrada alta en esta línea repone el circuito integrado e inicializa las 3 puert_{as}-de entrada/salida al modo INPUT.

AD_{0-7} (entrada/salida) Líneas de direcciones/datos de 3 estados que se interfasan con los 8 bits de la barra de direcciones/datos del sistema.

CE o \overline{CE} (entrada) Habilitación de circuito integrado. En el 8155, este terminal es \overline{CE} y es activo bajo. En el 8156 este terminal es CE y es activo alto.

\overline{RD} (entrada) Control de lectura: una entrada baja en esta línea y el habilitador de circuito integrado activo hará que operen los buffers AD_{0-7} . Si el terminal IO/\overline{M} es bajo el contenido de la memoria RAM será puesto en la barra de datos de lo contrario el contenido de la puert_a de entrada/salida o el registro de comando/estado será leído.

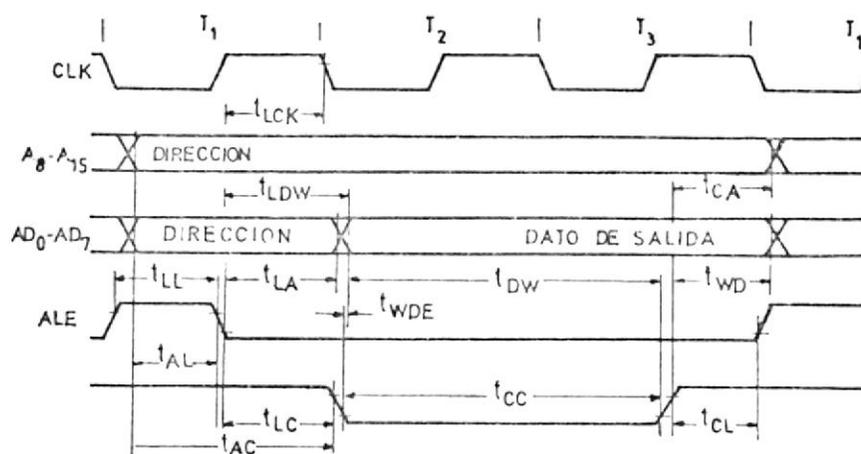


FIGURA C-9 OPERACION DE ESCRITURA

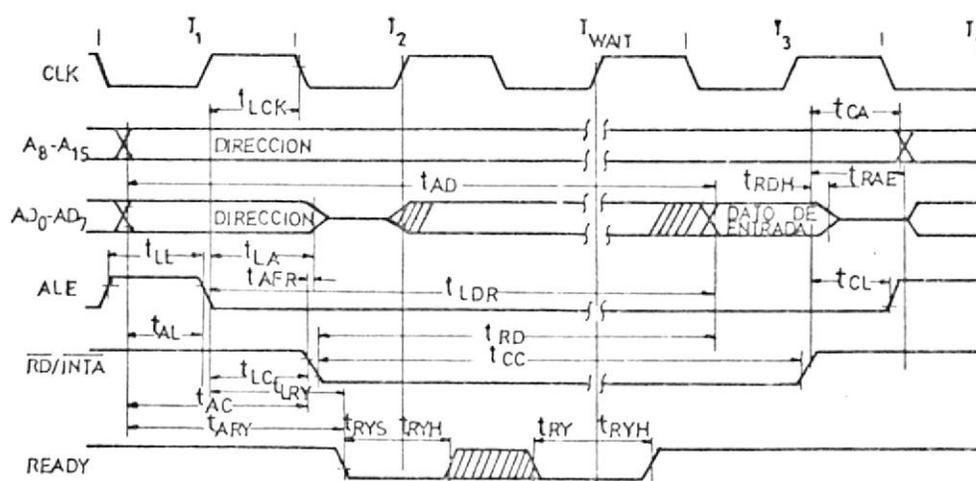


FIGURA C-10 OPERACION DE LECTURA CON CICLO DE LECTURA

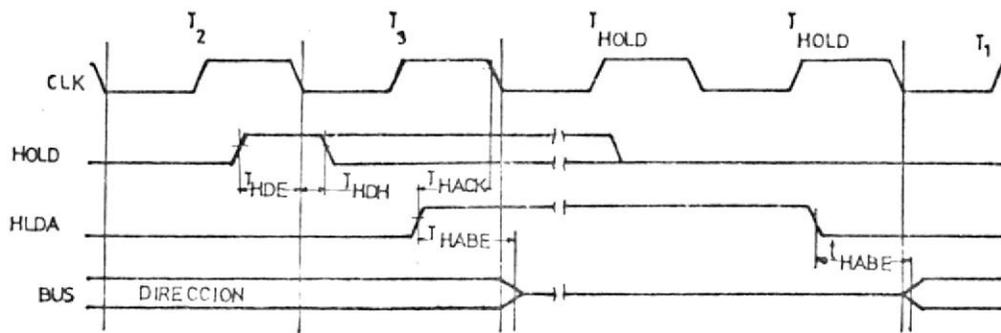


FIGURA C-11 OPERACION DE SOSTENIMIENTO

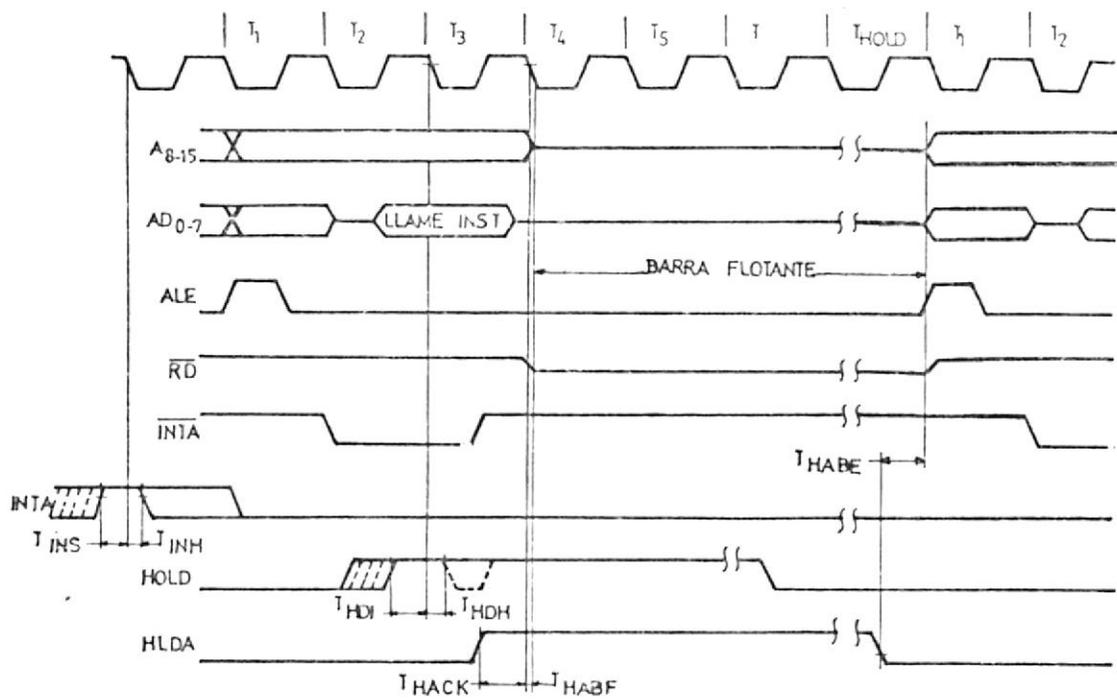


FIGURA C-12 CURVAS DE INTERRUPCION Y DE MANTENIMIENTO



FIGURA C-13a. CONFIGURACION DE TERMINALES

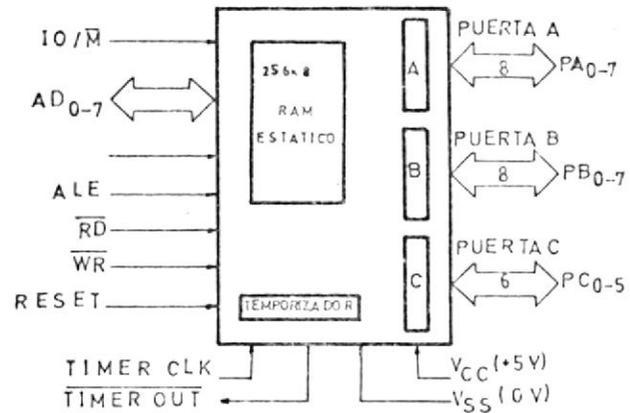


FIGURA C-13b. DIAGRAMA DE BLOQUES

\overline{WR} (entrada)

Control de escritura. Una entrada baja en esta línea con el habilitador de circuito integrado activo hará que la información contenida en la barra de datos sea escrita en la memoria o en las puertas de entrada/salida.

ALE (entrada)

Habilitador de agarrado de direcciones. Esta señal de control agarra tanto la dirección en las líneas AD_{0-7} como el estado del habilita-

	dor del circuito y $\text{IO}/\overline{\text{M}}$ dentro del circuito integrado en el borde de caída de ALE.
$\text{IO}/\overline{\text{M}}$ (entrada)	Selecciona memoria si es bajo y puertas de entrada/salida y registro de comando/estado si es alto.
PA_{0-7} (entrada/salida)	Son 8 terminales de entrada/salida de propósito general. La dirección de entrada o salida se selecciona programando el registro de comando.
PB_{0-7} (entrada/salida)	Lo mismo que la puerta PA_{0-7} .
PE_{0-5} (entrada/salida)	Estos 6 terminales pueden funcionar como puerta de entrada, puerta de salida o como señales de control para PA y PB.
TIMER IN (entrada)	Entrada al temporizador/contador.
TIMER OUT (salida)	Salida del temporizador. Esta salida puede ser una onda cuadrada o -

un pulso dependiendo del modo del temporizador.

V_{CC}

Fuente de + 5 v

V_{SS}

Referencia de tierra.

La señal IO/\overline{M} selecciona uno de los cinco registros (comando, estado, PA_{0-7} , PB_{0-7} o PC_{0-5}) o la porción RAM. Figura C-14

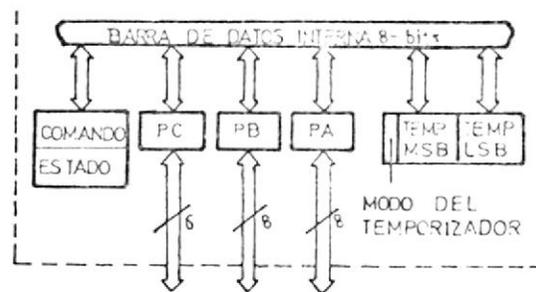


FIGURA C-14 REGISTROS INTERNOS DEL 8155/8156

Los 8 bits de direcciones en las líneas direcciones/datos, la señal CE o \overline{CE} y IO/\overline{M} son todos agarrados en el circuito integrado en el borde de bajada de ALE . Figura C-15.

El registro de comando consiste de 8 agarradores (LATCHES). Cuatro bits definen el modo de las puertas (0-3), dos bits (4-5) habilitan o deshabilitan la interrupción desde la puerta C cuando éste actúa como puer

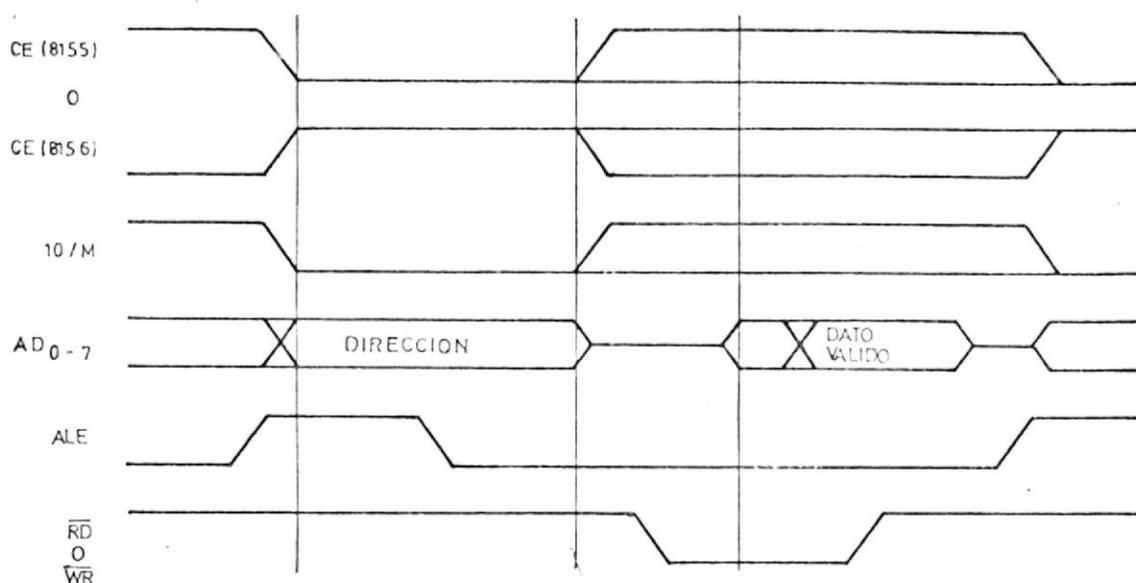


FIGURA C-15 CICLO DE LECTURA / ESCRITURA PARA EL
8155 / 8156

ta de control y los dos últimos bits (6-7) son para el temporizador. Figura C-16.

El registro de estado consiste de siete agarradores, - uno para cada bit; seis bits (0-5) para el estado de las puertas y uno (6) para el estado del temporizador (Figura C-17).

Sección de entrada/salida. (Figura C-18)

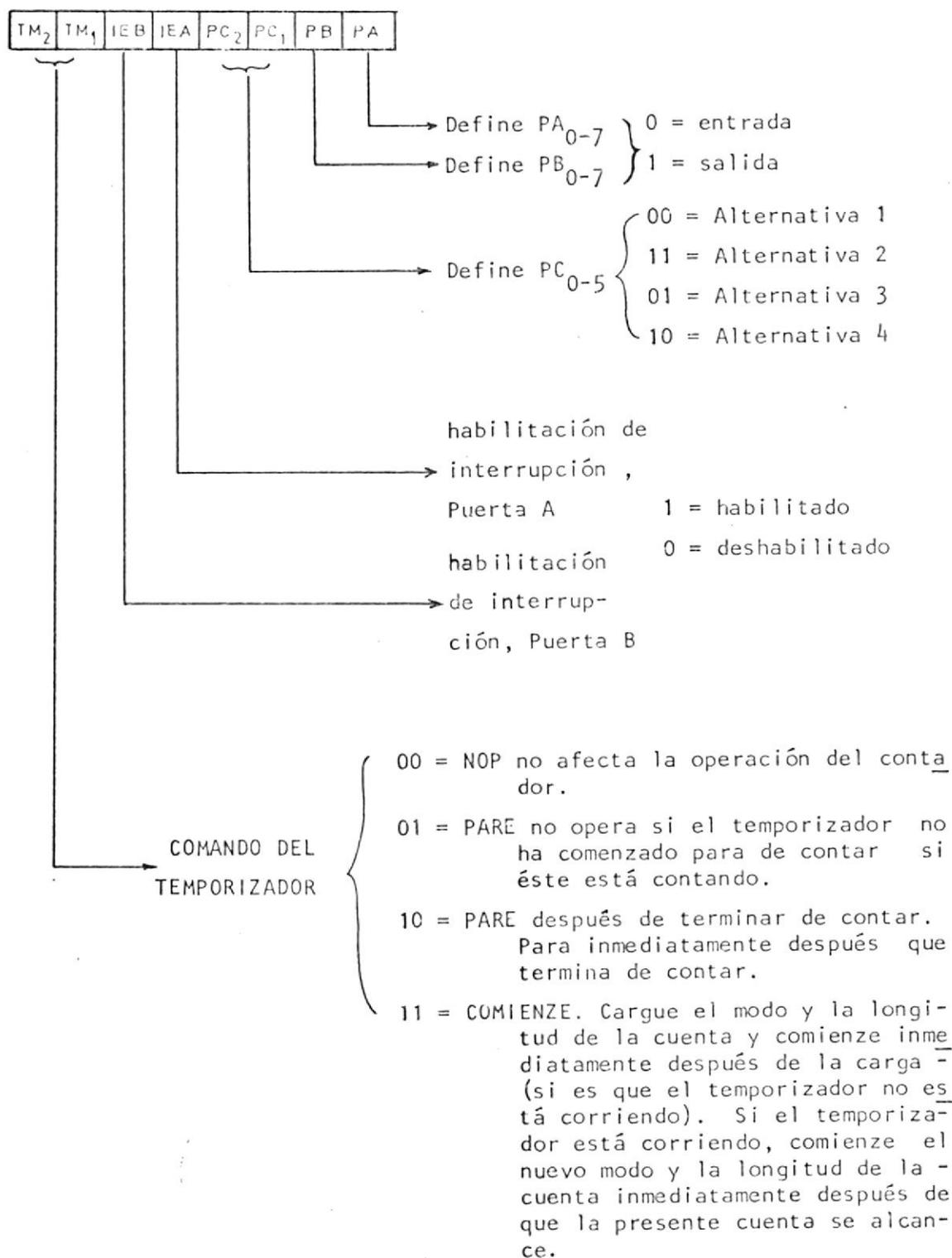


FIG. C-16.- ASIGNAMIENTO DE BITS PARA EL REGISTRO DE COMANDO.

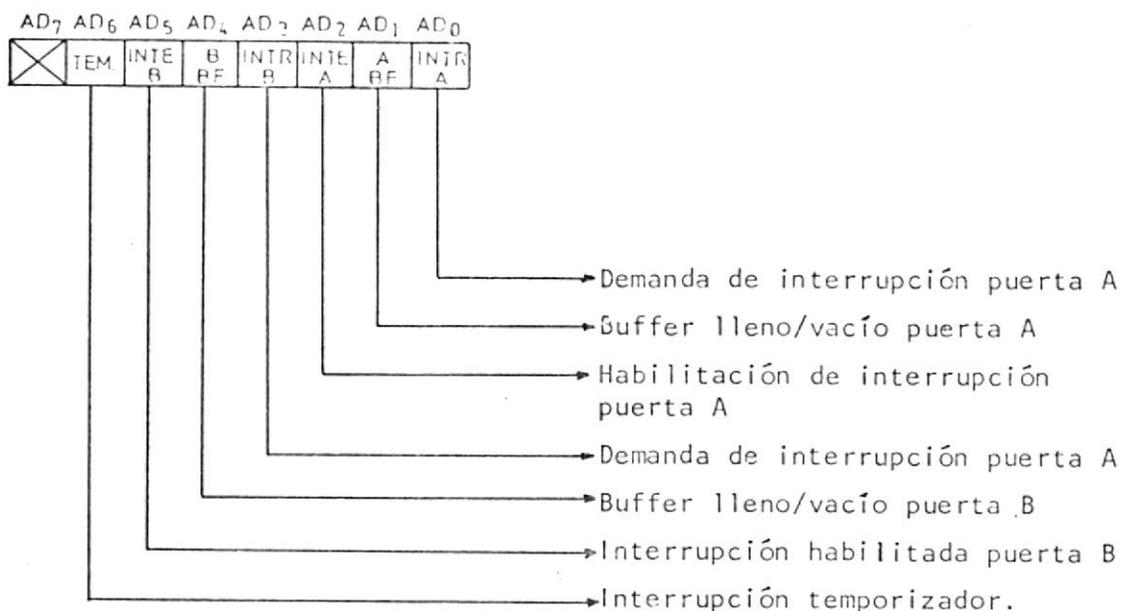


FIG. C-17.- ASIGNAMIENTO DE BITS EN EL REGISTRO DE ESTADO.

DIRECCION I/O								SELECCION
A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	
X	X	X	X	X	0	0	0	Registro comando/estado.
X	X	X	X	X	0	0	1	Puerta A de I/O de propósito general
X	X	X	X	X	0	1	1	Puerta B de I/O de propósito general
X	X	X	X	X	0	1	1	Puerta C - I/O de propósito general o control.
X	X	X	X	X	1	0	0	8 bits menos significativos del temporizador/contador.
X	X	X	X	X	1	0	1	6 bits más significativos del temporizador/contador y 2 bits de modo del temporizador.

FIG. C-18.- ESQUEMA DE DIRECCIONAMIENTO DEL TEMPORIZADOR Y PUERTAS I/O.

La sección de entrada/salida consiste de 5 registros.

El registro COMANDO/ESTADO se asigna con la dirección-

XXXXX000. Esta dirección se la utiliza con doble propósito.

Cuando este registro es seleccionado durante una operación de WRITE, un comando se escribe en este registro. El contenido de este registro no es accesible a través de los terminales.

Cuando se selecciona durante una operación de lectura, la información de estado de las puertas de entrada/salida y del temporizador estarán disponibles en las líneas AD₀₋₇.

Registro PA.- Este registro puede ser programado como registro de entrada o de salida dependiendo del estado del registro COMANDO/ESTADO. También dependiendo del registro COMANDO esta puerta puede operar en el modo básico o en el modo STROBE.

El registro PB funciona de la misma manera que el registro PA.

Registro PC.- Este registro tiene la dirección XXXX011 y contiene solamente 6 bits. Estos 6 bits pueden ser programados como puerta de entrada, puerta de salida o

puerta de control para PA y PB programando apropiadamente los bits AD_2 y AD_3 del registro COMANDO/ESTADO.

Cuando PC_{0-5} es usado como puerta de control, 3 bits son asignados a la puerta A y 3 para la puerta B. El primer bit es una interrupción que el 8155/8156 saca. El segundo es una señal de salida indicador de si el buffer está lleno o vacío y el tercer bit es un terminal de entrada que acepta una señal de STROBE para el modo de entrada STROBED. (Tabla

Cuando la puerta C es programada para la alternativa 3 o 4, las señales de control para PA y PB son inicializadas como sigue:

CONTROL	MODO ENTRADA	MODO SALIDA
BF	BAJO	BAJO
INTR	BAJO	ALTO
STB	CONTROL DE ENTRADA	CONTROL DE ENTRADA

TABLA

	ALT 1	ALT 2	ALT 3	ALT 4
PC_0	Puerta de entrada	Puerta de salida	A INTR (interrupción puerta A)	A INTR (interrupción puerta A)
PC_1	Puerta de entrada	Puerta de salida	A BF (buffer lleno puerta A)	A BF (buffer lleno - puerta A)
PC_2	Puerta de entrada	Puerta de salida	A STB (puerta A, strobe)	A STB (puerta A, strobe)

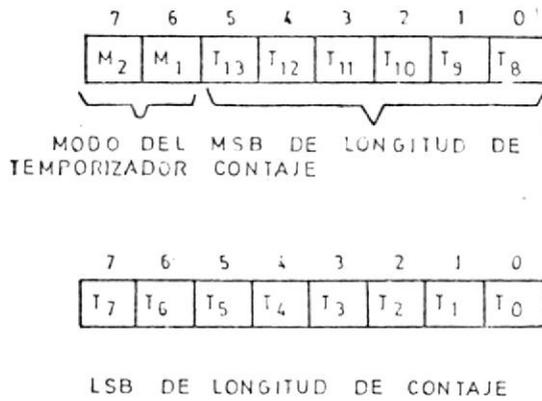
	ALT 1	ALT 2	ALT 3	ALT 4
PC ₃	Puerta de entrada	Puerta de salida	Puerta de salida	B INTR (interrupción puerta B)
PC ₄	Puerta de entrada	Puerta de salida	Puerta de salida	B BF (buffer lleno puerta B)
PC ₅	Puerta de entrada	Puerta de salida	Puerta de salida	B \overline{STB} (puerta B, strobe)

Sección del temporizador.- El temporizador es un contador de 14 bits que cuenta los pulsos que llegan al terminal TIMER IN y provee ya sea una onda cuadrada o un pulso cuando termina de contar.

El temporizador tiene una dirección XXXXX100 para el byte bajo del registro y la dirección I/O XXXXX101 para el byte alto.

Para programar el temporizador, el registro de longitud de conteo se carga primero, un byte a la vez seleccionando las direcciones del temporizador.

Bits 0-13 especificarán el tiempo a contar y los bits 14 y 15 del registro alto indicarán el modo de salida del temporizador.



Hay 4 modos de trabajo del temporizador para escoger , como se muestra en la siguiente figura.

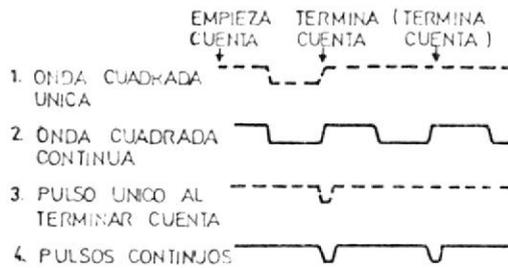


FIGURA C-19 CURVAS DE SALIDA DEL TEMPORIZADOR

En el caso de una cuenta de un número impar, la primera mitad en la salida de onda cuadrada la cual es alta, es una cuenta más larga que la segunda como se indica en la siguiente figura.

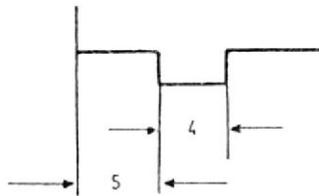


FIGURA C-20 ONDA CUADRADA ASIMETRICA DE SALIDA
RESULTANTE DE CUENTA DE 9 (IMPAR)

BIBLIOGRAFIA

1. RONY, LARSEN, & TITUS, the 8080A BUGBOOK, Microcomputer interfacing and programming, - sams, Indianapolis, 1977.
2. LARSEN, TITUS & TITUS, 8085A COOKBOOK, sams, Indianapolis, 1980.
3. TITUS, RONY, LARSEN & TITUS, 8080/8085 software desingn, book 1 y book 2 sams, Indianapolis, 1980.

MANUALES Y REVISTAS

1. The Linear Control Circuits Data book for Design Engi - neers, Texas instruments incorporated, Dallas, Texas , 1976.
2. Fairchild semiconductor TTL Data Book., Fairchild, 1972.
3. Component Data Catalog, Intel, 1980.
4. Voltage Regulator Handbook, National Semiconductor, - 1978.
5. SOFTWARE/HARDWARE training Course Volumen 1 y 2, Inte - grated.
6. INTERFACE training Course Volumen 1, Integrated compu -



ter Systemas, Inc.