



**ESCUELA SUPERIOR POLITÉCNICA DEL LITORAL**

Facultad de Ingeniería en Electricidad y Computación

"TELEMANDO ELECTRÓNICO ACTIVADO POR VOZ"

TESIS DE GRADO

Previa la obtención del Título de:

**INGENIERO EN ELECTRÓNICA Y TELECOMUNICACIONES**

Presentado por:

**Jorge Luis Llaque García**

**GUAYAQUIL — ECUADOR**

**Año: 2009**

# TRIBUNAL DE GRADO

---

Ing. Jorge Aragundi  
PRESIDENTE

---

Ing. Miguel Yapur  
DIRECTOR DEL PROYECTO

---

Ing. Washington Medina.  
MIEMBRO PRINCIPAL

---

Ing. Hugo Villavicencio.  
MIEMBRO PRINCIPAL

# DEDICATORIA

**A mi Familia,**

**Por su apoyo incondicional .**

# **AGRADECIMIENTO**

**Mi más sincero agradecimiento al Ing. Miguel Yapur y a Daniel por su  
colaboración en este trabajo.**

# DECLARACIÓN EXPRESA

"La responsabilidad del contenido de esta Tesis de Grado, me corresponde exclusivamente; y el patrimonio intelectual de la misma a la ESCUELA SUPERIOR POLITÉCNICA DEL LITORAL"

(Art. 12 del Reglamento de Graduación de la ESPOL).

---

**Jorge Luís Llaque García**

## RESUMEN

Este proyecto nace de la necesidad de compensar los impedimentos de personas con limitaciones físicas o motoras. Estos impedimentos se pueden resumir en actividades cotidianas relativamente sencillas. El dispositivo resultante brindará una oportunidad de tener una interfaz para realizar estas acciones con relativa facilidad. La finalidad es obtener un dispositivo que reemplace, de cierta forma, el uso de las manos por la voz para hacer funcionar aparatos electro-mecánicos.

Se espera obtener un producto que permita activar y dirigir aparatos electromecánicos a través de palabras. La concepción de este proyecto contribuirá al bienestar humano con limitaciones musculares. Esto los incluiría en actividades que no pudieran ser hechas por ellos mismos, siendo la voz la que realizaría estas actividades. También serviría a las personas que deseen una mayor comodidad en su vida diaria. Para lograr una buena aceptación el dispositivo deberá ser de bajo costo y fácil de manejar.

En el dispositivo se usarán circuitos electrónicos y digitales como ADC's, transmisores inalámbricos y dispositivos de almacenamiento. El proyecto tomará las palabras a través de un micrófono; la señal será digitalizada, almacenada y asociada con una acción específica. En operación normal, las palabras que ingresen serán comparadas con las palabras guardadas. De acuerdo a esto, el sistema tomará la decisión de acción. La orden será transmitida inalámbricamente al receptor que ejecutará la acción previamente definida. Para simular este

proyecto se desarrollará con un vehículo a control remoto inalámbrico. Éste será dirigido por las palabras: alto, adelante, izquierda y derecha. El dispositivo controlador podrá ser reconfigurado para otras prestaciones.

# ÍNDICE GENERAL

TRIBUNAL DE GRADO .....	II
DECLARACIÓN EXPRESA .....	III
RESUMEN .....	VI
ÍNDICE GENERAL .....	VIII
ÍNDICE DE FIGURAS .....	X
ÍNDICE DE TABLAS .....	XI

INTRODUCCIÓN .....	1
--------------------	---

## CAPÍTULO I

### CONCEPTOS Y FUNDAMENTOS PARA EL DISEÑO DEL SISTEMA

1.1. Generalidades.....	2
1.2. Principios básicos de la digitalización de la voz .....	3
1.3. Elementos básicos para la digitalización de la voz.....	6
1.3.1. Elementos pasivos .....	6
1.3.2. Elementos activos .....	7
1.4. Almacenamiento digital y procesador de señales.....	7
1.4.1. Dispositivos de almacenamiento de datos .....	7
1.4.2. Dispositivos de comparación de señales digitales .....	9
1.4.3. Microcontroladores.....	10
1.5. Dispositivos de salida.....	11
1.5.1. Despliegue visual .....	12
1.5.2. Señales inalámbricas .....	12
1.5.3. Tipo de modulación .....	13

## CAPÍTULO II

### DESCRIPCIÓN DE LOS COMPONENTES DEL SISTEMA

2.1. Introducción .....	15
2.2. Componentes del circuito de entrada de la señal.....	15
2.2.1. Filtro pasa altos .....	15
2.2.2. Selección de comandos por teclado matricial .....	16
2.3. Etapa de procesamiento de la señal .....	17
2.3.1. Conversión analógica digital .....	17
2.3.2. Módulo digital de almacenamiento y procesamiento.....	18
2.4. Dispositivos de salida.....	20
2.4.1. Manejo de despliegue visual .....	20
2.4.2. Controlador de salida a dispositivo inalámbrico .....	21



2.5. Selección de señales de salida .....	23
2.6. Transmisión inalámbrica .....	24

### **CAPÍTULO III**

#### **CONTROLADOR DE DISPOSITIVO SIMULADOR**

3.1. Introducción. ....	25
3.2. Elemento electrónico a controlar .....	25
3.3. Tipo de señal inalámbrica a utilizar .....	26
3.4. Adaptación de comandos manuales a comandos del controlador. ....	26
3.5. Vista de diseño de placas .....	34

### **CAPÍTULO IV**

#### **PRUEBAS REALIZADAS**

4.1. Introducción .....	28
4.2. Ingreso de comandos de voz .....	28
4.3. Manejo del simulador por comandos de voz .....	29
4.4. Tipo de suministro eléctrico.....	30

<b>CONCLUSIONES.....</b>	<b>32</b>
<b>RECOMENDACIONES.....</b>	<b>33</b>

<b>BIBLIOGRAFÍA .....</b>	<b>90</b>
---------------------------	-----------

## ÍNDICE DE FIGURAS

Figura 1.1.- construcción lógica de un flip-flop r-s.....	8
Figura 2.1.- circuito de entrada.....	16
Figura 2.2.- teclado matricial.....	17
Figura 2.3.- circuito controlador de despliegues visuales.....	21
Figura 2.4.- circuito controlador de salida a dispositivo inalámbrico.....	22
Figura 3.1.- diagrama de circuito de control remoto manual.....	26
Figura 3.2.- adaptación de control remoto de interruptor manual a electrónico.....	27
Figura 4.1. Circuito de alimentación eléctrica.....	31
Figura a 1.- placa de circuito controlador.....	34
Figura a 2.- placa de teclado numérico.....	34
Figura a 3.- placa de despliegues visuales.....	35
Figura a 4.- circuito controlador montado.....	36
Figura a 5.- esquemático general del circuito.....	37
Figura a 6.- hojas de datos de los componentes del sistema.....	38

# ÍNDICE DE TABLAS

Tabla # 1.- Clasificación musical de la voz humana.....	4
Tabla # 2.- Tabla de distancia vs. Funcionamiento .....	29

# INTRODUCCIÓN

El presente documento comienza haciendo una revisión teórica básica de los componentes que se tomaron en cuenta para la elaboración del proyecto. Establecidos los lineamientos teóricos, se describe la forma en que están contruidos los diferentes módulos que van desde la captura de la voz, el almacenamiento, procesamiento y comparación y definición de la salida del sistema.

Una vez tomada la salida del sistema, se debe lograr adaptar el sistema de reconocimiento de voz al circuito del control remoto del simulador. En esta etapa se tiene que identificar el funcionamiento de los comandos que activan al simulador.

Finalmente, después de construido el sistema se debe realizar pruebas para verificar el funcionamiento del dispositivo y determinar su confiabilidad.

# CAPÍTULO I

## CONCEPTOS Y FUNDAMENTOS PARA EL DISEÑO DEL SISTEMA

### 1.1. GENERALIDADES

La **VOZ HUMANA** es uno de los instrumentos de comunicación más importantes del ser humano. Por medio de ésta, se puede transmitir mensajes a otra o varias personas. Se puede considerar a la persona que habla, el codificador del mensaje, la forma de hablar el mensaje codificado y la persona que escucha el decodificador. Los mensajes son receptados, procesados y decodificados por el oyente para interpretar lo emitido.

Definitivamente las personas que hablan y escuchan en una conversación deben tener el mismo sistema de codificación, en este caso el idioma. No puede existir una transmisión correcta de los mensajes si es que dos personas no hablan el mismo idioma. Para que dos personas se puedan entender, ambas tienen que ponerse de acuerdo en qué significa cada sonido emitido y conocer cada palabra que utilizarán en la conversación. A lo anterior se le debe agregar el ambiente, el nivel de ruido, la expresión, etc.

De manera análoga, para una conversación entre dos personas el sistema a desarrollar deberá de alguna forma “aprender el idioma”. De tal manera que cada palabra utilizada sea comprendida tanto por el emisor y receptor y que, por sobretodo, signifique lo mismo.

## 1.2. PRINCIPIOS BÁSICOS DE LA DIGITALIZACIÓN DE LA VOZ

La **COMUNICACIÓN ORAL** es la manera más utilizada para enviar algún tipo de mensaje al resto de personas. Es generada gracias a la modulación del aire al momento de ser exhalado por la boca. Esta modulación es posible por medio de las cuerdas vocales, en conjunto con la lengua, mejillas, labios y dientes. La voz produce un tren de ondas mecánicas que viajan por el aire generando una señal analógica que oscila con una frecuencia entre 80 y 3600 Hz.

El tipo de voz varía de acuerdo al género, edad, estado de ánimo de la personas. La diferencia entre los tipos de voces de las personas radica en la frecuencia. Existe una diferencia en la frecuencia media entre la voz de los hombres y de las mujeres, la cual se coloca en 152.3 Hz y 189.8 Hz respectivamente de forma promedio, según un estudio realizado por la empresa “Telefónica Investigación y Desarrollo, S.A. Unipersonal”, de Madrid-España.

Una forma universalmente utilizada para clasificar las voces de las personas es

por el tipo de emisión musical. En ella, los hombres adultos generalmente se clasifican en **BAJOS**, **BARÍTONOS** y **TENORES**. Las mujeres son clasificadas en **CONTRALTO**, **MEZZOSOPRANO** y **SOPRANO**, así como los niños y niñas hasta la etapa de la pre-pubertad. La frecuencia media de esta clasificación se ilustra en la tabla 1, que se muestra a continuación:

Tabla # 1.- Clasificación musical de la voz humana

<b>Voz</b>	<b>Frecuencia</b>	<b>Tesitura</b>
Soprano	Mayor que 247	SI3-DO6
Mezzosoprano	220-900	LA3-SIb5
Contralto	176-840	FA3-LAb5
Tenor	132-528	DO3-DO5
Barítono	110-440	LA2-LA4
Bajo	82-396	MI2-SOL4

**DIGITALIZACIÓN** se conoce al paso de información de forma analógica a digital. Se debe de considerar que la **CODIFICACIÓN** es la conversión de un formato de datos a otro distinto, sin afectar el contenido. Con esto se infiere que, la información resultante es equivalente a la información de origen. Se debe considerar a las palabras emitidas a través de la voz, como los paquetes que contienen la información. Esta información se encuentra en formato analógico. Un sistema de reconocimiento de voz podrá operar identificando palabras aisladas y/o fonemas.

La digitalización, también llamada CONVERSIÓN ANALÓGICA-DIGITAL (**ADC**), se basa en la medición periódica de la amplitud de una señal. Ésta es, por lo general, captada por medio de un micrófono si se desea digitalizar audio o voz. Luego, se aproximan sus valores a un conjunto de niveles preestablecidos de AMPLITUD, también conocidos como niveles de cuantificación, para luego almacenarlos como palabras de bits en una unidad de almacenamiento. El ADC se compone de forma general en las siguientes etapas:

**MUESTREO.-** Consiste en medir, de manera periódica, muestras de la amplitud de la señal. La velocidad con que se toma esta muestra, es decir, el número de muestras por segundo se la llama “frecuencia de muestreo”.

**RETENCIÓN.-** Se realiza por un circuito de retención. Es el tiempo que se requiere para evaluar el nivel de la amplitud de las muestras.

**CUANTIFICACIÓN.-** Proceso que mide el nivel de voltaje o amplitud de cada una de las muestras. Consiste en asignar un valor de una señal analizada a un único nivel de salida. Es a partir de este punto en que a la señal se la puede considerar digital

**CODIFICACIÓN.-** Consiste en convertir los valores cuantificados en un número codificado. El código más utilizado es el binario, pero también existen otros tipos de códigos que también son utilizados.



### **1.3. ELEMENTOS BÁSICOS PARA LA DIGITALIZACIÓN DE LA VOZ**

En la digitalización de una señal, en general se recurre a elementos electrónicos que permiten desarrollar cada una de las etapas del proceso. La clasificación más básica de los componentes es en elementos pasivos y activos.

#### **1.3.1.ELEMENTOS PASIVOS**

Los elementos pasivos son aquellos que no generan ninguna ganancia de voltaje a la señal de entrada. En lugar de esto, consumen voltaje induciendo un decremento a la amplitud de la señal. Dentro de los elementos pasivos están los resistores, capacitores e inductores. Los resistores utilizan la propiedad de la resistencia eléctrica, en función de su material y dimensiones físicas. Todo material presenta resistencia al paso de la corriente eléctrica. Los capacitores, son dos placas metálicas, separadas una distancia uniforme por un material dieléctrico. También son llamados filtros y son utilizados en el filtrado de señales, en la separación de etapas como también, en la regulación de niveles DC, entre otros fines. De acuerdo a su uso, se pueden encontrar capacitores de diferentes materiales.

Se debe tener en cuenta que el cableado presenta resistencias e inductancias que en sistemas de precisión debe ser cuidadosamente considerada para evitar distorsiones y malfuncionamientos.

### **1.3.2.ELEMENTOS ACTIVOS**

Los elementos activos son aquellos que pueden generar una ganancia o incrementar la amplitud de una señal. Los primeros trabajos con los tubos al vacío fueron los impulsores de los elementos activos. Entre ellos están los transistores.

El transistor es quizás el elemento más versátil en la electrónica. Sus usos son variados; por ejemplo, en el ámbito analógico se tiene: amplificador de voltaje y amplificador de corriente si se lo opera en zona lineal. Además, se lo puede utilizar como interruptor en los circuitos digitales, aprovechando las zonas de corte y de saturación del transistor. En unión a resistores y capacitores, se puede diseñar filtros de frecuencia.

Luego, con los conocimientos adquiridos en semiconductores se consigue la miniaturización de los elementos logrando construir los circuitos integrados.

## **1.4. ALMACENAMIENTO DIGITAL Y PROCESADOR DE SEÑALES.**

### **1.4.1.DISPOSITIVOS DE ALMACENAMIENTO DE DATOS**

Como su nombre lo indica, los dispositivos de almacenamiento de datos sirven para guardar información. Se puede referenciar los primeros circuitos

de almacenamiento digital con los **DISPOSITIVOS BIESTABLES** o Flip-Flop. Los Flip-Flop son dispositivos con la capacidad de permanecer en un estado determinado (Alto o Bajo) durante un tiempo indefinido. Un Flip-Flop puede estar formado por dos compuertas NAND o dos compuertas NOR tal y como se muestra en la figura 1.1.

Cada flip-flop tiene dos entradas S (set) y R (reset) y dos salidas, Q y Q'. Este tipo de Flip-Flop se llama Flip-Flop RS acoplado directamente o también bloqueador SR.

La información se mantiene almacenada en el Flip-Flop mientras tenga suministrada alimentación eléctrica.

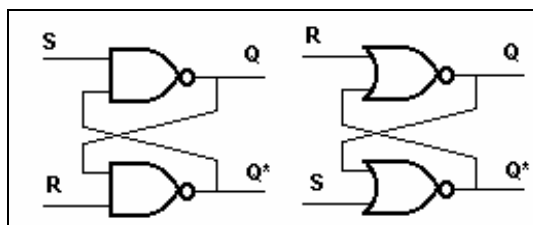


Figura 1.1.- Construcción Lógica de un Flip-Flop R-S

Dependiendo de esta característica se tiene los **DISPOSITIVOS DE ALMACENAMIENTO VOLÁTILES** y no volátiles. Dentro de los dispositivos volátiles también llamados **MEMORIAS**, existe un amplio espectro de variedades.

**SRAM** es el acrónimo de Static Random Access Memory. Esta memoria de acceso aleatorio estático tiene la particularidad de mantener la información almacenada sin necesidad de estarla recargando constantemente desde el bus de entrada de datos. Se debe entender como “refrescar” a la acción de estar enviando constantemente la información que debe estar almacenada. Sin embargo, al ser un memoria volátil, si la alimentación eléctrica es interrumpida, la información guardada se pierde. Al mismo tiempo que una SRAM tenga la característica de acceso aleatorio, significa que las ubicaciones en la memoria pueden ser escritas en cualquier orden, sin importar cual fue la última ubicación de la memoria accedida.

La SRAM tiene tres estados de funcionamiento:

- Modo de espera cuando el circuito está inactivo.
- Modo de lectura cuando los datos se solicitan.
- Modo de escritura cuando se actualiza el contenido.

#### **1.4.2. DISPOSITIVOS DE COMPARACIÓN DE SEÑALES DIGITALES**

Algunas de las grandes ventajas que se tiene al digitalizar señales analógicas son las capacidades de manipulación, conservación, reproducción, reconstrucción, entre otras. Las señales digitales pueden manipularse de una forma muy sencilla por medio de los circuitos integrados. Gracias a esto se puede realizar operaciones como por ejemplo

suma, resta, comparación, codificación, decodificación, etc.

La **COMPARACIÓN**, como su nombre lo indica, no es otra cosa que comparar una señal A con otra señal B. De esta operación lógica se puede determinar si dos cadenas de dígitos son iguales o no. También se puede considerar una comparación digital para determinar si una señal es mayor o menor que otra. Principalmente, los comparadores digitales están compuestos de puertas lógicas AND y OR con sus respectivas variantes NAND y NOR.

#### **1.4.3.MICROCONTROLADORES.**

Los microcontroladores son dispositivos que son utilizados para controlar la operación de un sistema. Aunque el aspecto es similar a los clásicos circuitos integrados, se pueden considerar micro-computadoras al disponer todas las etapas de un sistema: entrada, procesamiento y salida en un sistema cerrado. Se lo denomina sistema cerrado debido a que a un microcontrolador solo se requiere adaptar los periféricos de entrada-salida. Por medio de los microcontroladores se puede realizar, de una forma condensada, una gran cantidad de operaciones que solo se lograrían con el uso de varios elementos TTL, como lo son comparar, sumar, etc. al tiempo de definir varios tipos de operaciones “inteligentes” de acuerdo a las variables ingresadas.

Una variable de microcontrolador es el Chip HM2007. Este Chip realiza un procedimiento de digitalización de señales analógicas las cuales pueden ser almacenadas en una memoria SRAM. Las palabras almacenadas se relacionan con un número, el cual es usado como apuntador de dirección en la memoria. Cada vez que el chip HM2007 sensa una palabra y la digitaliza, puede comparar el patrón digital con los patrones almacenados en la memoria. En caso de que los patrones coincidan, el integrado coloca en el bus de salida el código BCD respectivo asociado al patrón.

### **1.5. DISPOSITIVOS DE SALIDA**

Los dispositivos de salida permiten mostrar el resultado de un proceso realizado. Las formas de presentar la información procesada pueden ser visual, sonora, auditiva e inclusive por medio de una excitación de los sentidos del gusto y olfato. Aunque las dos últimas requieren integración con la química, las tres primeras requieren en la mayoría de casos solo circuitos electrónicos.

Otra forma de mostrar la salida de un proceso, es el envío de la señal resultado a otro sistema. Esto formaría una especie de sistema conectado en cascada, que a su vez lo tomaría como señal de entrada.

### **1.5.1.DESPLIEGUE VISUAL**

Uno de los más tradicionales y utilizados dispositivos de salida son los despliegues visuales. Estos usan leds para mostrar el resultado de una operación que a su vez sirve para que el operador o usuario interprete la información proporcionada. Entre los más antiguos encontramos el despliegue visual de 7 segmentos. Este elemento consta de 7 leds arreglados de forma que se puedan formar los 10 caracteres del sistema de números decimal, haciendo muy amigable y fácil de interpretar la información a la persona que lo utiliza.

Todos los despliegues utilizan circuitos que traducen la información digital a una forma tal que se pueda mostrar. Estos circuitos son los llamados “drivers”.

Gracias a los avances tecnológicos, los despliegues han evolucionado y fusionado con otras tecnologías como LCD, CRT o plasma, pero manteniendo invariable el concepto teórico.

### **1.5.2.SEÑALES INALÁMBRICAS**

Si bien una señal inalámbrica no puede ser considerada un dispositivo de salida por sí misma, se puede utilizar como “puente” entre la salida de un sistema y su interconexión a una siguiente etapa.

Las señales inalámbricas dependen de dos circuitos: emisor y receptor. Existen varias variables a considerar en la transmisión inalámbrica: la frecuencia a la que se establece la comunicación, la potencia irradiada, la frecuencia de modulación, entre las más elementales. Es por esto que de acuerdo al escenario y uso la señal inalámbrica, puede alcanzar diferentes distancias y transmitir varios tipos de información.

### **1.5.3. TIPOS DE MODULACIÓN**

Cualquier tipo de información a transmitir por medio de una señal inalámbrica debe ser modulada. En telecomunicaciones, el término modulación encierra las técnicas para transportar información sobre una onda portadora, generalmente una onda sinusoidal. Gracias a esto, se permite aprovechar el enlace y optimizar la cantidad y calidad de información, protegiéndola de posibles interferencias y ruidos.

La modulación se basa en modificar un parámetro de la onda portadora en función de las variaciones de la señal moduladora, que es la información que queremos transmitir. Existen varios tipos de modulación que dependen del parámetro que la señal modifique; por ejemplo, para nombrar unas cuantas variantes tenemos: modulación en doble banda lateral (DSB), modulación de amplitud (AM), modulación de fase (PM), modulación de



frecuencia (FM), modulación de amplitud en cuadratura (QAM) y modulación por división ortogonal de frecuencia (OFDM), entre las más utilizadas.

Cuando la Modulación por división ortogonal de frecuencia es utilizada junto a técnicas de codificación de canal, se denomina Modulación por división ortogonal de frecuencia codificada (COFDM).

# **CAPÍTULO II**

## **DESCRIPCIÓN DE LOS COMPONENTES DEL SISTEMA**

### **2.1. INTRODUCCIÓN**

Tomando en cuenta las bases teóricas planteadas en el capítulo I, se procederá a armar un circuito que tome la señal de audio, la filtre, digitalice, almacene, establezca comparaciones y proporcione la información adecuada para que por medio de una transmisión inalámbrica, envíe órdenes al simulador. A continuación se describen los componentes a utilizar.

### **2.2. COMPONENTES DEL CIRCUITO DE ENTRADA DE LA SEÑAL**

El circuito de entrada se compone de un micrófono y un filtro pasa-altos.

#### **2.2.1. FILTRO PASA ALTOS**

La señal es tomada por medio de un micrófono excitado con  $V_{cc}$ . A más de energizar el micrófono, el voltaje genera un nivel offset que permite que la señal ingrese de una forma íntegra al circuito integrado que está alimentado entre  $V_{cc}$  y GND. El esquema del filtro es mostrado en la figura 2.1.

La configuración RC conformada establece un filtro pasa-altos que busca eliminar el voltaje offset utilizado. Como se puede observar, durante la frecuencia de corte el micrófono y el resistor R se encuentran en paralelo y a su vez, este resultado  $R_{eq}$ , está en serie con el capacitor C.

El mismo establece una frecuencia de corte en  $f_c$ :

$$f_c = 1 / ( 2 \pi R_{eq} C )$$

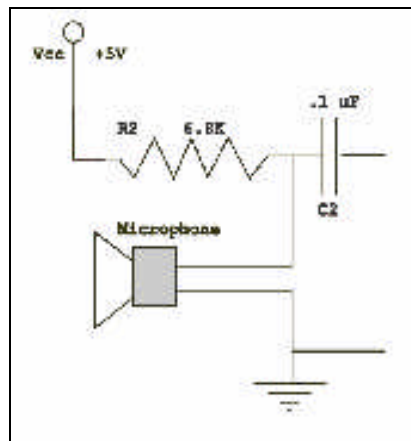


Figura 2.1.- Circuito de entrada

### 2.2.2. SELECCIÓN DE COMANDOS POR TECLADO MATRICIAL

Las palabras ingresadas a través del micrófono deben relacionarse con diferentes acciones ordenadas al simulador. Para esto se debe identificar las palabras almacenadas por medio de números. La selección de los números se lo establece por medio de un teclado matricial como se muestra en la figura 2.2.

El teclado matricial no es más que un arreglo de interruptores que permiten una combinación de datos binarios. Esta combinación de datos es la que se ingresa al circuito integrado HM2007, el cual interpreta el número y lo relaciona con una palabra digitalizada almacenada en la SRAM.

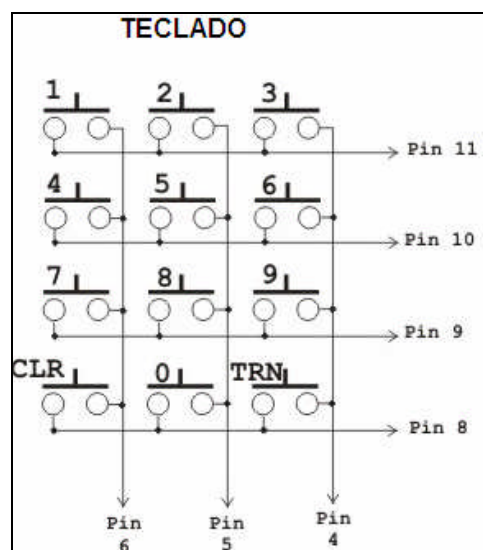


Figura 2.2.- Teclado Matricial

## 2.3. ETAPA DE PROCESAMIENTO DE LA SEÑAL

### 2.3.1. CONVERSIÓN ANALÓGICA-DIGITAL

La conversión analógica-digital la realiza el circuito integrado HM2007. Este elemento toma la señal analógica provista desde el micrófono, realiza un muestreo y la digitaliza a una palabra de 13 bits de largo. Esto proporciona una cantidad de 8192 posibles sonidos reconocidos. Se debe considerar que la frecuencia de reloj a la que trabaja el integrado HM2007 es de 3.67

MHz. Lamentablemente no existe mayor información del fabricante sobre el funcionamiento de este integrado, por el cual no es posible abundar en detalles.

### **2.3.2.MÓDULO DIGITAL DE ALMACENAMIENTO Y PROCESAMIENTO**

Para realizar el proceso de almacenamiento se debe de ingresar por medio del teclado la secuencia de números a los cuales se va a relacionar la palabra. Los números son mostrados en el despliegue visual de 7 segmentos. Para ordenar al integrado HM2007 que reconozca la voz y almacene en la SRAM se debe, una vez ingresados los números, digitar la tecla TRN. Una vez que la palabra captada mediante el micrófono es digitalizada, esta señal es colocada en un bus de datos que está conectado a una memoria SRAM. Una vez transcurridos 1.96 s. el HM2007 genera la señal que es la que sirve para almacenar la palabra en el SRAM.

A continuación, el pin Ready entra en señal alta por 240 ms, lo que indica que la palabra ha sido almacenada en la SRAM. Las palabras son:

- 01: Adelante
- 02: Retrocede
- 03: Izquierda
- 04: Derecha
- 05: Para

Para borrar las palabras asociadas a uno de los números, se debe por medio del teclado ingresar el número y a continuación digitar la tecla CLR.

Desde el integrado HM2007 se dispone de dos buses de datos S y D que son utilizados para la transmisión del patrón de la palabra digitalizada y el número BCD asociado a esta palabra, respectivamente.

Para el proceso de comparación, el ingreso de la palabra de voz es a través del micrófono de una forma similar al proceso de almacenamiento. Una vez que las palabras digitales son colocadas en el bus S, el patrón es comparado con las palabras almacenadas en la SRAM. El resultado de la comparación es mostrado en el bus de datos D, de números decimales en formato BCD. Los resultados posibles pueden ser:

AB: Muestra el número AB relacionado con la palabra AB.

55: Se ha detectado una palabra muy corta

66: Se ha detectado una palabra muy larga

77: La palabra detectada no coincide con las almacenadas.

El número binario es transportado por el bus de datos hacia los circuitos de salida, los cuales se detallan a continuación.

## **2.4. DISPOSITIVOS DE SALIDA**

Los números binarios que se obtienen como salida del Integrado HM2007 son tomados por el circuito integrado 74LS373, el cual los convierte en una palabra de dos dígitos decimales en formato binario. Este número pasa por medio del bus D, a los dispositivos de salida del sistema.

Los dispositivos de salida se componen de un despliegue visual de siete segmentos y un convertidor de números BCD a decimal, el cual brindará la señal para manejar el simulador.

### **2.4.1.MANEJO DEL DESPLIEGUE VISUAL**

La señal es recogida por el integrado 74LS373 y enviada a dos sistemas. El primero de éstos contiene dos manejadores de despliegues de 7 segmentos, 74LS48. Su función es decodificar la señal BCD enviada desde la etapa anterior, a un formato que sea entendible por los despliegues.

La señal decodificada es llevada por medio de resistores de 200 ohmios a los despliegues de cátodo común, como se muestra en la figura 2.3.

De esta manera, el despliegue visual construye el número, brindando al usuario una información fácil de interpretar.

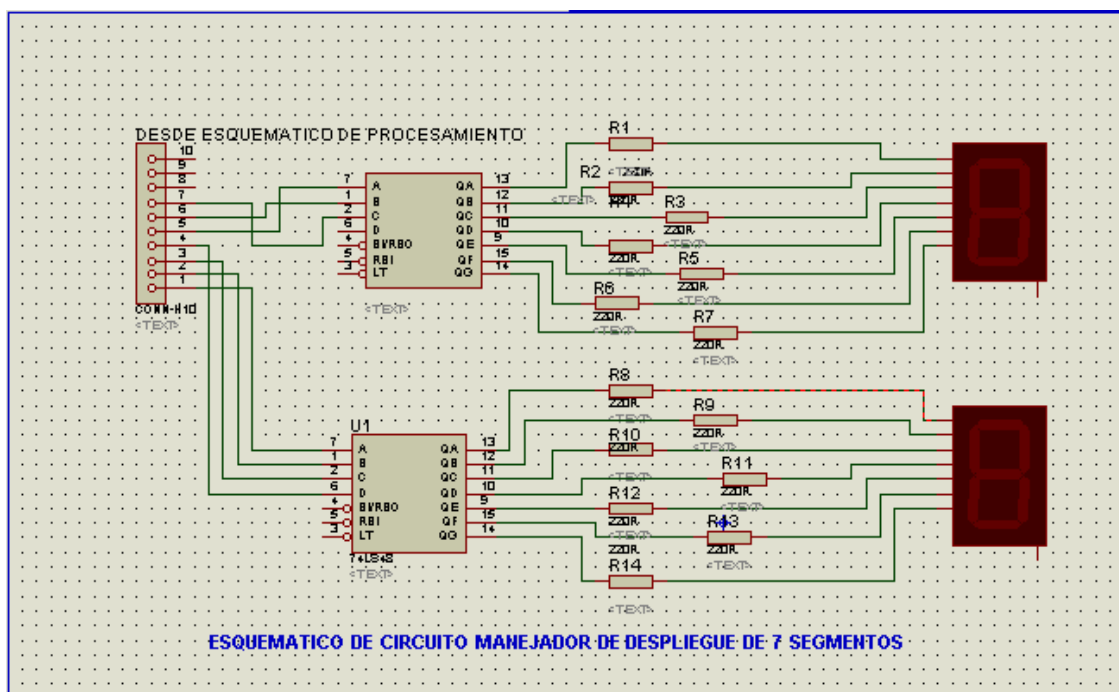


Figura 2.3.- Circuito Controlador de despliegues visuales.

#### 2.4.2. CONTROLADOR DE SALIDA A DISPOSITIVO INALÁMBRICO

La señal BCD que sale del 74LS373, es separada en sus dígitos más y menos significativo. El dígito más significativo ingresa a un arreglo de puertas lógicas OR y NAND. La salida de esta combinación brinda una señal baja al ingresar un número diferente de cero. Por el contrario, si la señal que ingresa es un cero, manda como salida una señal alta.

Este arreglo busca habilitar un segundo integrado 74LS373 al momento que el número más significativo es diferente a 0. El efecto de habilitar o deshabilitar se consigue conectando la salida del arreglo de puertas NAND



al pin LE del integrado 74LS373 que toma el número decimal menos significativo. Como salida, este integrado brinda un número BCD que pasa a un decodificador BCD-Decimal. Por medio de este decodificador, se tienen 10 diferentes salidas correspondientes a los 10 primeros números almacenados en la memoria, los cuales fueron ingresados por el teclado.

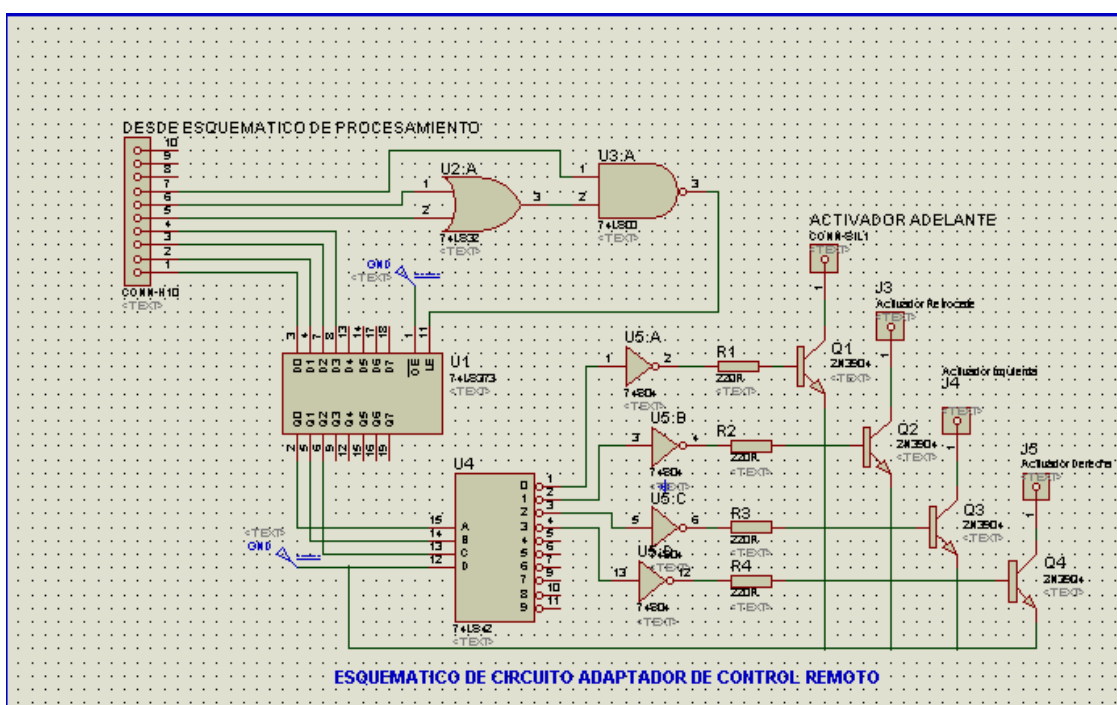


Figura 2.4.- Circuito controlador de salida a dispositivo inalámbrico

Al tener el 74LS42 sus salidas con lógica negativa, se opta por colocar un inversor 74LS04 a cada una de las señales. Las salidas correspondientes a los números 1, 2, 3 y 4 del 74LS04 alimentan a transistores NPN en configuración base común. Estos transistores actúan a manera de

interruptores electrónicos para el manejo de los comandos del simulador. Para el diseño de los interruptores, se utilizó transistores 2N3904.

El control remoto del simulador actúa como carga conectada al colector del transistor. Al momento que la base del transistor recibe un voltaje alto del inversor, el transistor entra en estado de saturación. Esto permite que el circuito de activación del mando en el control remoto sea cerrado y se genere la orden deseada.

## **2.5. SELECCIÓN DE SEÑALES DE SALIDA**

Con el sistema utilizado de reconocimiento de voz, se puede almacenar un total de 20 palabras de 1.96 s de duración en la SRAM 8k x 8. De los 20 números que se pueden asociar con los patrones de voz, se seleccionan 5 palabras para el control del simulador. La selección de señales de salida se establece tomando en cuenta que se van a utilizar los 4 primeros dígitos enteros para los comandos. Esto debido a que la activación se produce al generarse un voltaje a la salida del decodificador, que a su vez está conectado a la base del transistor.

Cualquier palabra que esté almacenada, pero que no se encuentre relacionada con los primeros cuatro números decimales, no activará los controles del simulador. En el número 5 se relacionará la palabra de mando para detener el simulador. El criterio usado, de rechazo de palabras ubicadas en otro número,

evita la posibilidad que el simulador se active con la activación involuntaria de los números 11, 12, 13 y 14 cuyos números menos significativos son los mismos que activan los transistores,

## **2.6. TRANSMISIÓN INALÁMBRICA**

La señal de mando al aparato simulador se la va a realizar por medio de un carro dirigido por control remoto. El control remoto inalámbrico genera una señal a 27 MHz en FM y dispone de un sistema que modula los comandos enviados al vehículo, para que sean transmitidos por medio de una antena colocada en el mando y en el simulador respectivamente.

En este proyecto, el análisis de la modulación y demodulación de la señal inalámbrica no entra en el alcance definido.

# **CAPÍTULO III**

## **CONTROLADOR DE DISPOSITIVO**

### **SIMULADOR**

#### **3.1. INTRODUCCIÓN**

Como se especificó en el capítulo II, el alcance del proyecto “Telemando electrónico activado por Voz” no es el elaborar un canal inalámbrico. Las aplicaciones de un sistema de reconocimiento de voz son muchas y las acciones que se pueden generar a través del presente proyecto, van desde encender las luces de una casa hasta, con el diseño necesario, la conducción de vehículos.

#### **3.2. ELEMENTO ELECTRÓNICO A CONTROLAR**

Para este proyecto se presenta un dispositivo simulador que comprende un carro a control remoto inalámbrico. Se debe considerar que la operatividad inicialmente diseñada del control remoto es manual por medio de palancas de mando.

El circuito del control remoto presenta la las señales en estado de “hold” presentes en circuito abierto. La activación de cada una de las señales se produce cuando al manipular las palancas manuales, se realiza contacto entre el

Terminal que contiene la señal y tierra. De esta manera se cierra el circuito, tal y como se muestra en la figura 3.1. El circuito del control remoto se encarga de enviar la señal al vehículo.

### 3.3. TIPO DE SEÑAL INALÁMBRICA A UTILIZAR

La señal inalámbrica que se utilizará es una señal en frecuencia modulada, con una frecuencia de portadora de 27 MHz. La misma tiene un alcance de 4 metros aproximadamente.

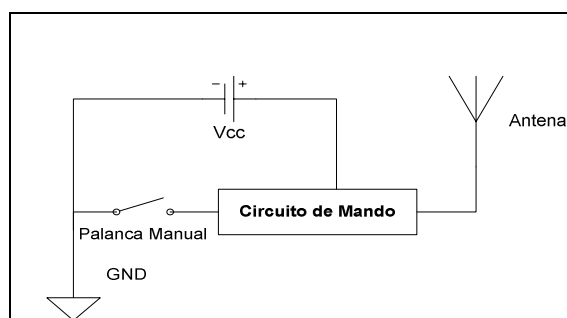


Figura 3.1.- Diagrama de circuito de Control Remoto Manual

### 3.4. ADAPTACIÓN DE COMANDOS MANUALES A COMANDOS DE CONTROLADOR

Una vez que se ha determinado que la activación de las órdenes que se ejecutan por medio de la palanca de mando es a través de un interruptor a tierra, se considera la opción de diseñar un interruptor por medio de transistores. Para esto se ha elaborado la siguiente configuración:

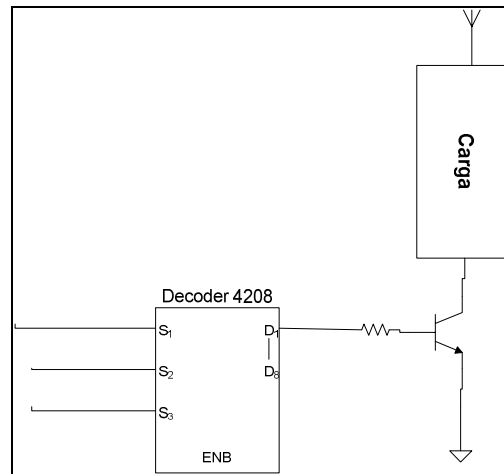


Figura 3.2.- Adaptación de Control Remoto de interruptor manual a electrónico

### 3.5. ESQUEMÁTICO GENERAL DEL PROYECTO

Una vez que se ha realizado el análisis de cada una de las etapas del proyecto, en el apéndice 2 se muestra el gráfico del esquemático general del proyecto.

# **CAPÍTULO IV**

## **PRUEBAS REALIZADAS**

### **4.1. INTRODUCCIÓN**

Para poder verificar la confiabilidad del funcionamiento del telemando, se requiere realizar pruebas de funcionamiento del sistema. En ella se incluyen todos los escenarios, buscando posibles fallas para establecer restricciones, alcances, limitaciones y advertencias del telemando. Las pruebas fueron realizadas a la par de la elaboración del proyecto, permitiendo de esta manera, marcar punto de reversión en los trabajos realizados si hubiese sido necesario.

De las observaciones recogidas en estas pruebas, se pueden elaborar las observaciones, conclusiones y recomendaciones para la utilización, modificación, adaptación o complementación del presente trabajo.

### **4.2. INGRESO DE COMANDOS DE VOZ**

El ingreso de voz se lo realiza a través del sistema de entrada compuesto por el micrófono y el filtro pasa-altos. La primera prueba realizada es establecer la distancia a la cual el micrófono puede recoger la voz y que sea útil para el

funcionamiento del aparato. Para el efecto se realizó una prueba con tres personas hablando a volumen normal empezando a una distancia de 5 cm. del micrófono para luego alejarse hasta una distancia de 1 metro.

Tomando en cuenta esta tabla, se observa que la señal de la voz que ingresa al micrófono en un lugar con poco ruido es útil a una distancia de 10 cm. A partir de los 10 cm, la voz ingresada en el micrófono presenta problemas de reconocimiento de las palabras, lo que genera en malfuncionamiento del sistema.

Tabla # 2.- Tabla de Distancia vs. Funcionamiento

<b>Distancia Usuario – Micrófono (cm)</b>	<b>Funcionamiento (Sí/No)</b>
5 cm	Sí
10 cm	Sí
15 cm	Sí (Presenta fallas)
20 cm	Sí (Presenta fallas)
25 cm	No
25 cm en adelante	No

A partir de los 25 cm o distancias mayores, la señal no es completamente fiable o simplemente no es captada por el sistema.

#### **4.3. MANEJO DEL SIMULADOR POR COMANDOS DE VOZ**

Se procedió a realizar pruebas de manejo del simulador mediante comandos de voz. Las mismas se consistieron en:



Pruebas de movimiento del vehículo para cada uno de las órdenes. Estas órdenes se repitieron aproximadamente 10 veces cada una para medir un valor estimado de la confiabilidad de que el simulador responda de forma correcta a cada orden. Las órdenes se realizaron en orden aleatorio.

De esta prueba se observó:

- Las palabras monosílabas como “no”, “sí”, “gol”, tienden a confundir al sistema como los golpes o sonidos fuertes.
- Palabras con igual cantidad de sílabas, con similar acentuación y sonido vocal tienden a confundirse entre sí, si es que no son pronunciadas correctamente, como por ejemplo: adelante con adelanta, a la izquierda con a la derecha, etc.

Tomando en cuenta lo arriba anotado, se debe considerar que las órdenes deben realizarse con una voz normal. Al hablar alto, gritar o en su defecto, susurrar, el reconocimiento de la voz no es confiable.

#### **4.4. TIPO DE SUMINISTRO ELÉCTRICO**

Se requieren dos valores de voltaje para el funcionamiento de los componentes del circuito. El circuito de reconocimiento de voz y salida digital opera con 5[V]. El circuito de control remoto del simulador, con 9 [V].

Para conseguir un suministro de corriente adecuado para el funcionamiento del sistema, se integró un adaptador de voltaje alterno a continuo. Este adaptador

proporciona un voltaje de salida no regulado de 12 [Vdc].

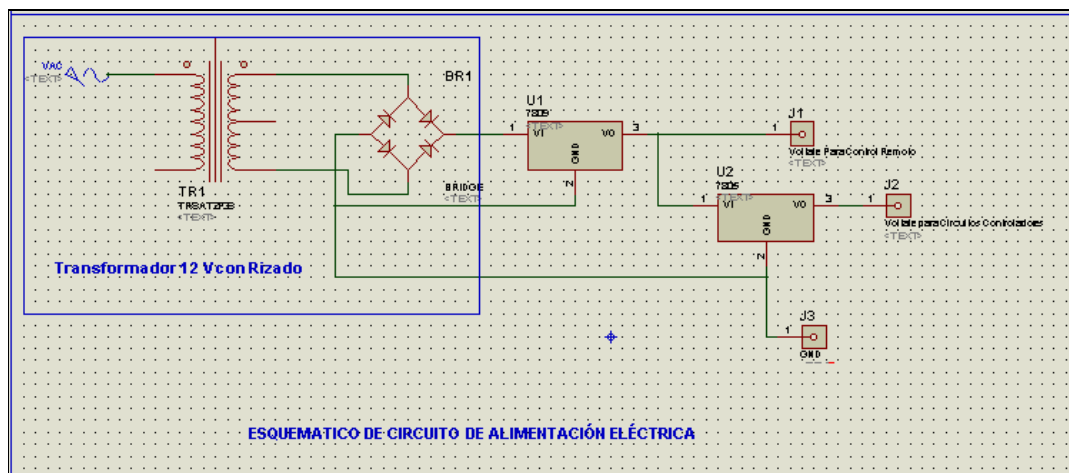


Figura 4.1. Circuito de Alimentación Eléctrica

Este voltaje se lo lleva a un regulador 7809 el cual brinda el suministro de 9[V] que requerimos para la placa del control remoto. A la salida del 7809 se llevan los 9[V] a un segundo regulador de voltaje para obtener un voltaje de salida de 5[V]. Para el efecto se utilizó un regulador de voltaje 7805 que alimenta al resto del sistema.

## CONCLUSIONES

1. El reconocimiento de voz por parte de sistemas electrónicos es una técnica que puede facilitar mucho las tareas de las personas que posean algún tipo de impedimento físico.
2. La mayor cantidad de problemas de funcionamiento que se presentan en los circuitos electrónicos y digitales se debe a conexiones o soldaduras defectuosas.
3. Mientras mayor sea la frecuencia de muestreo, se puede lograr elaborar palabras digitales de mayor precisión.
4. El reconocimiento de la voz se ve limitada y alterada por el ruido ambiental. Debido a la frecuencia de la voz, la elaboración de filtros es compleja, tomando en consideración que para digitalizar una palabra se requiere la mayor cantidad de señal dentro del ancho de banda de la voz.

## RECOMENDACIONES

1. La manipulación de los circuitos integrados debe realizarse tomando en cuenta que éstos son muy susceptibles a cargas electrostáticas. El manejo inadecuado puede provocar daños de los circuitos integrados.
2. Este circuito puede ser mejorado colocando filtros pasa-banda y notch a la entrada de la señal del micrófono para brindar mayor estabilidad a las palabras reconocidas. Al mismo tiempo, con circuitos integrados avanzados, se podría tender al reconocimiento de fonemas en lugar de palabras.
3. Este proyecto debe ser sólo y únicamente utilizado como modelo demostrativo, mas no, como circuito de producción. Esto debido a que el sistema no es completamente confiable. En personas con limitaciones físicas, algún malfuncionamiento del sistema podría generar problemas.

# APENDICE 1

## A.1.-VISTA DE DISEÑO DE PLACAS

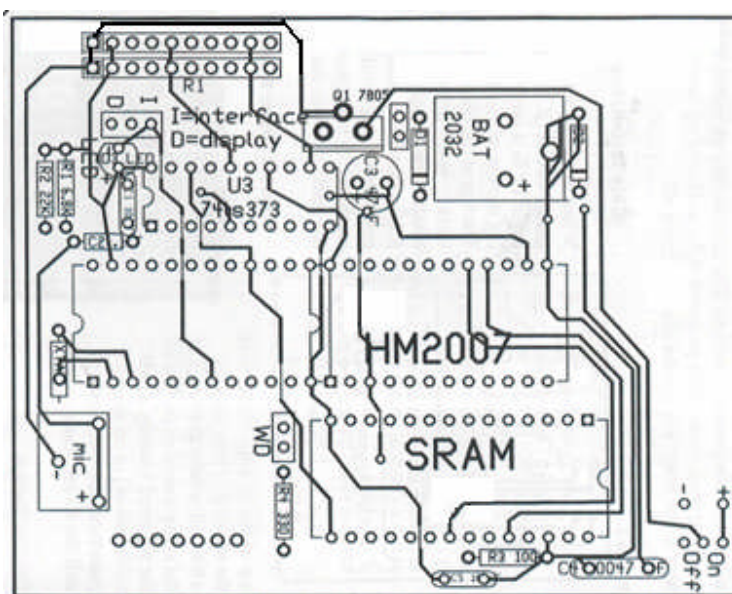


Figura A 1.- Placa de Circuito Controlador

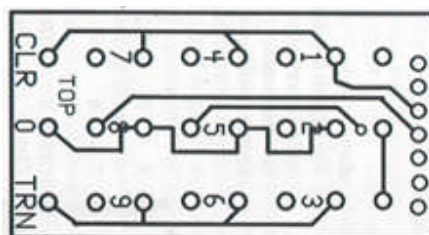


Figura A 2.- Placa de Teclado Numérico

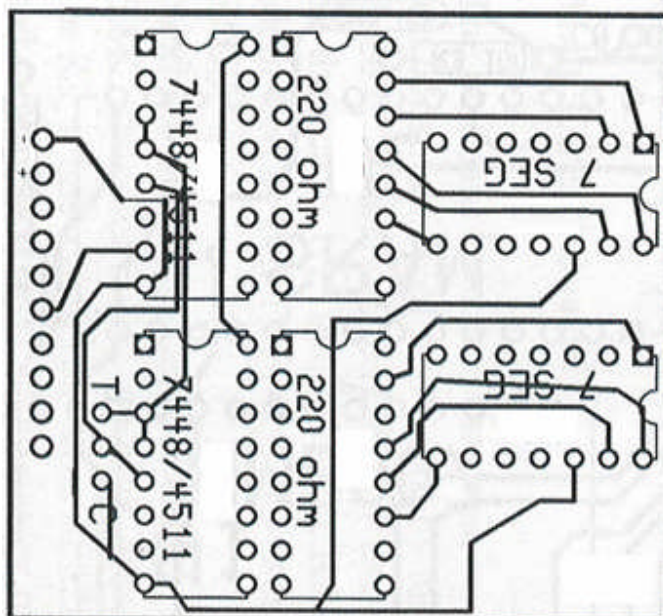


Figura A 3.- Placa de Despliegues Visuales

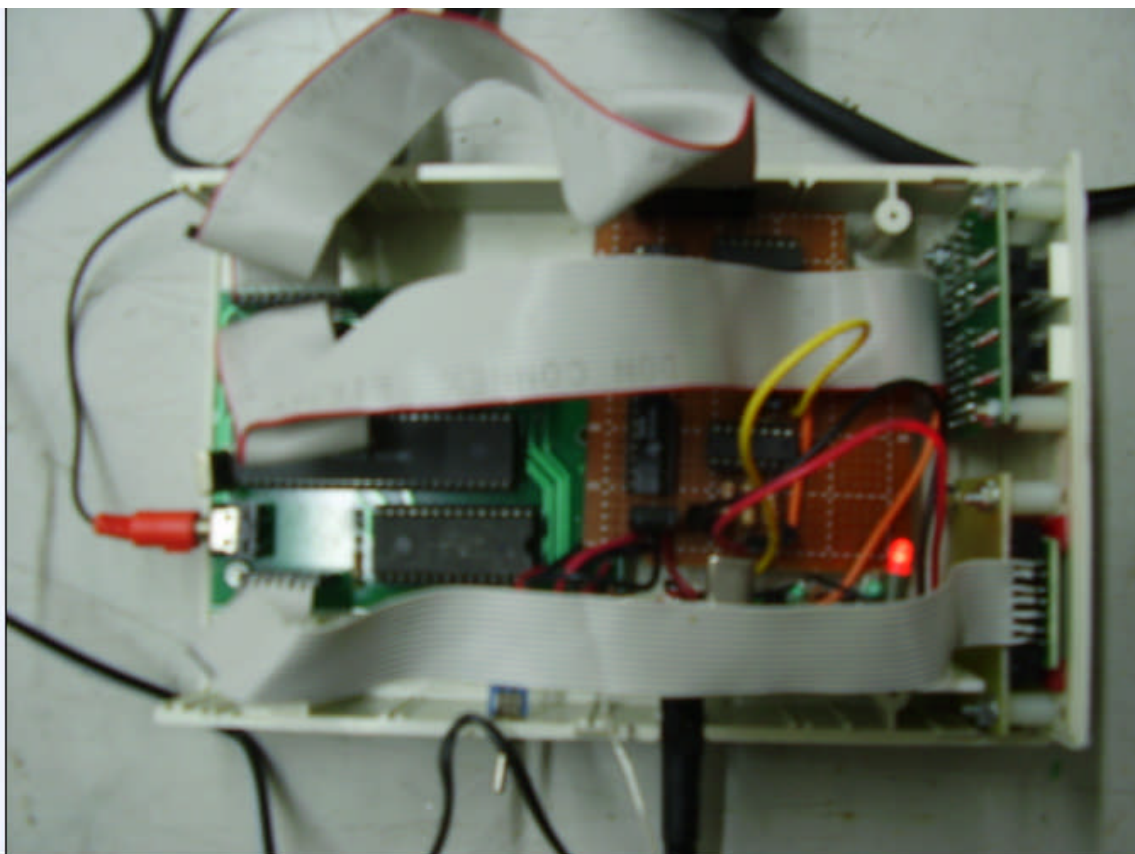
**VISTA DEL CIRCUITO TERMINADO**

Figura A 4.- Circuito Controlador Montado





## APENDICE 3

Figura A 6.- Hojas de datos de los componentes del sistema

## GENERAL DESCRIPTION

HM2007 is a single chip CMOS voice recognition LSI circuit with the on-chip analog front end, voice analysis, recognition process and system control functions. A 40 isolated-word voice recognition system can be composed of external microphone, keyboard, 64K SRAM and some other components. Combined with the microprocessor, an intelligent recognition system can be built.

## FEATURES

- Single chip voice recognition CMOS LSI.
- Speaker-dependent isolated-word recognition system.
- External 64K SRAM can be connected directly.
- Maximum 40 words can be recognized for one chip.
- Maximum 1.92 sec of word can be recognized.
- Multiple-chip configuration is possible.
- A microphone can be connected directly.
- Two control mode is supported: Manual mode and CPU mode.
- Response time : less than 300 ms.
- 5V single power supply.
- 48-pin PDIP, 52 pin PLCC, 48 pad bare chip.

*John Panaco*

*1-800-230-4535*

Images Company is not responsible for the accuracy of the information or the schematics contained within this data sheet.

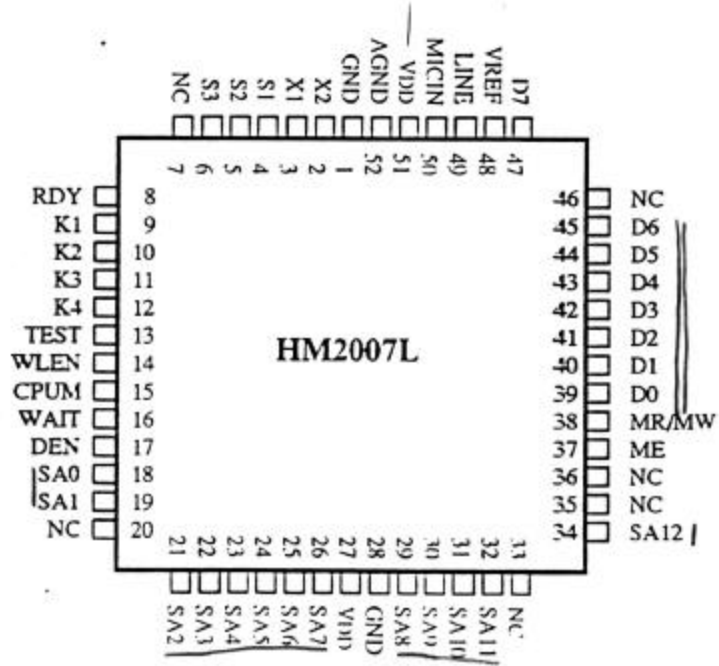


PIN CONFIGURATIONS

HM2007P

GND	1	48	AGND
X2	2	47	VDD
X1	3	46	MICIN
S1	4	45	LINE
S2	5	44	VREF
S3	6	43	D7
RDY	7	42	D6
K1	8	41	D5
K2	9	40	D4
K3	10	39	D3
K4	11	38	D2
TEST	12	37	D1
WLEN	13	36	D0
CPUM	14	35	MR/MW
WAIT	15	34	ME
DEN	16	33	NC
SA0	17	32	NC
SA1	18	31	SA12
SA2	19	30	SA11
SA3	20	29	SA10
SA4	21	28	SA9
SA5	22	27	SA8
SA6	23	26	GND
SA7	24	25	VDD

*John  
Sera  
Panaco*



**PIN DESCRIPTIONS**

Symbol	Pin No.	I/O	Function
	PDIP PLCC 48L 52L		
Vref	44 48	I	The voltage reference input of internal ADC. Supply the reference voltage of the internal A/D converter.
LINE	45 49	O	For testing only.
MICIN	46 50	I	Microphone connect pin. A microphone should be connected via a coupling capacitor and resistor.
V <sub>DD</sub>	47 51		Positive power supply.
AGND	48 52		Analog Ground.
GND	1 1		Negative power supply.
X2,X1	2,3 2,3	I	Crystal connect pin. A 3.58 MHz crystal is connected to these pin.
S1,S2	4,5 4,5	I/O	Keypad scanning pin for manual mode and the read/write control Pins in the CPU mode.
S3	6 6		
RDY	7 8	O	
K1,K2 K3,K4	8-11 9-12	I/O	<p>Voice input ready indicator. Active low output. When HM2007 is ready for the voice input in training or recognition mode, a low signal is sent. If the chip is busy, a high signal is sent.</p> <p>The keypad input pin in the manual mode and the bidirectional data bus (K-bus) in the CPU mode.</p> <p>In the manual mode, the four pins combined with S1 to S3 form the keypad scanning circuit. Maximum 12 keys can be scanned. In the CPU mode, the data bus direction is determined by the S2 and S3. A high level signal that appears in the pin S2 will place the content of internal register onto the data bus.(K-bus).</p> <p>The data may be come from the status register or the output buffer which is selected by the pin S1. If S1 is high, output buffer is selected, otherwise, the status register is selected. A high level signal that appears in the pin S3 will place the content of K-bus into the input register. Note that user can not place high level signal on S2 and S3 simultaneously.</p>
TEST	12 13	I	"H":test mode. "L":Normal mode.
WLEN	13 14	I	<p>Word length select pin.</p> <p>Selecting the voice length to be recognized. When set to high, 1.92 sec is selected. Internally pull low for 0.9 sec is selected. Note that when 1.92 sec is selected, only 20 words maximum can be recognized if 8K-byte memory is used.</p>
CPUM	14 15	I	<p>CPU mode select pin.</p> <p>Internally pull low for manual mode.</p> <p>When set to high, CPU mode is selected.</p>

Symbol	Pin No.	I/O	Function
	PDIP PLCC		
	48L 52L		
WAIT	15 16	I	Waiting control input. Active low input. When this pin is set to "L" and manual mode is selected, HM2007 will enter the waiting state and do not accept voice input until this pin back to "H". For CPU mode, when HM2007 is ready to get voice input, if this pin is set to "L", HM2007 will skip the voice input process and enter the get-command process.
DEN	16 17	O	Data enable signal. When the recognition or training process is complete, the chip will place its response on the data bus D0 to D7 and which can be latched onto external devices by this pin.
SA0,SA1	17-24	18,19	O External memory address bus. The bus is used as an external memory address when ME pin is active.
SA2-SA7		21-26	
SA8-SA11	27-31	29-32	O External memory address bus. The bus is used as an external memory address when ME pin is active.
SA12		34	
V <sub>DD</sub>	25	27	Positive power supply.
GND	26	28	Negative power supply.
NC	32,33	35,36	
		7,20	
		33,46	
ME	34	37	O Memory enable pin. Active low output. This pin will send the memory enable signal to the external SRAM. This pin can be connected directly to the CE pin of 6264 SRAM.
MR/MW	35	38	O Memory read/write select pin. Read/write control signal of the external SRAM. This pin can be connected directly to the R/W pin of 6264 SRAM.
D0-D6	36-42	39-45	I/O External memory data bus(D-bus).
D7	43	47	The bus is used as an external memory I/O bus when ME pin is active and used as output response bus when DEN pin is active.

## FUNCTION DESCRIPTIONS

There are two operation mode which are provided by HM2007.

### A). Manual mode.

In this operation mode, a keypad, a SRAM and other components may be connected to HM2007 to build a simple recognition system (See application circuit).  
The type of SRAM can be used is a 8K-byte memory.



a). Power on.

When the power is on, HM2007 will start its initialization process. If WAIT pin is "L", HM2007 will do the memory check to see whether the external 8K byte SRAM is perfect or not.  
If WAIT pin is "H", HM2007 will skip the memory check process.  
After the initial process is done, HM2007 will then move into recognition mode.

b). Recognition Mode.

i). WAIT pin "H"

In this mode, the RDY is set to low and HM2007 is ready to accept the voice input to be recognized.

When the voice input is detected, the RDY will return to high and HM2007 begins its recognition process. It is recommended that user train the word pattern before the beginning of the recognition operation, otherwise the result will be unpredictable. After the recognition process is completely, the result will appear on the D-bus with the pin DEN active.

Table 1 shows the list of the output content.

The data on the data bus is a decimal code in binary format.

D7	D6	D5	D4	D3	D2	D1	D0	Description
0	0	0	0	0	0	0	0	Power on
A				B				Word AB
0	1	0	1	0	1	0	1	Voice too long
0	1	1	0	0	1	1	0	Voice too short
0	1	1	1	0	1	1	1	Not Match

Table 1 : Content of the D-bus output.

Note 1 : A is the binary code in the range 0 to 4, and B is the binary code in the range 0 to 9.

Note 2 : If WLEN is high, the maximum word length is 1.92 sec.

ii). WAIT pin "L"

In this mode, no voice input is accepted until WAIT pin back to "H" state.

c). Training or clearing one pattern

Two operation are included during this time, 1) clearing trained pattern and 2). training new pattern.

To clear or train the voice pattern, one must select the word number to process first. The number of word is composed of two digits. The two digits are entered into HM2007 through keypad one digit a time. If more than two digits are entered, only the last two digits are valid. When number key is pressed, the number of key will be echoed to the D-bus.



When the word number is entered, press the function key to choose the operation function. If function key CLR is pressed, the corresponding word pattern will be cleared and then HM2007 will return its recognition mode. If the function key TRN is pressed, HM2007 will begin its training process. At the beginning of training process, if WAIT pin is "H", HM2007 will send a low level signal to RDY to indicate that HM2007 is ready to accept voice input. If WAIT pin is "L", no voice input will be detected until WAIT pin back to "H". After available voice input to HM2007, HM2007 will return to its recognition mode and send a low level signal to RDY to indicate that HM2007 is ready for voice input to do the recognition process.

For example.

2 4 TRN → training the 24th pattern.

0 1 CLR → clearing the first pattern.

1 3 2 6 TRN → training the 26th pattern.

d). Clear all pattern.

If the number key 99 is entered and the CLR is pressed, all the patterns in the memory will be cleared by HM2007.

B). CPU control mode.

The CPU mode provides several functions: RECOG, TRAIN, RESULT, UPLOAD, DOWNLOAD, RESET and which will be described later. In this mode, the K-bus is used as a bidirectional data bus between the external controller and HM2007 and S1 to S3 as the R/W control pins.

Table 2 is the summary of the CPU command. The command contains two parts. 1). the command code and 2). the number of the word to be processed if needed.

command	code	word #(L)	word #(H)
RECOG	0001		
TRAIN	0010	B3 B2 B1 B0	0 0 B5 B4
RESULT	0100		
UPLOAD	0101	B3 B2 B1 B0	0 0 B5 B4
DOWNLOAD	0110	B3 B2 B1 B0	0 0 B5 B4
RESET	0111		

Table 2. Command for CPU mode.

There are three registers in HM2007, one input buffer register, one status register and one output buffer register. The first is a write-only register and the last two are read-only registers. If S1 pin is high, the data read from the K-bus will come from the output buffer register. If S1 pin is low, the data read from the K-bus will come from the status register. S2 and S3 are R/W control signals. If S2 is high, it's in a read cycle and the external controller can read data from the K-bus. If S3 is high, it's in a write cycle and external controller can write data into the input buffer. Note that S2 and S3 can not be high simultaneously and the state of S1 will be ignored during a write cycle.

The status register as shown, reflect the current status of HM2007 for the CPU control mode.

<del>S3</del>	<del>S2</del>	<del>S1</del>	<del>S0</del>
X	X	ST1	ST0

Status Register

ST1	ST0
0	1
1	0
1	1
0	0

Operating state:

Ready to get voice input.

Ready to get command.

1. The first nibble of the output data is available on the output buffer during a read cycle.

2. HM2007 is ready to get first nibble of the input data during a write cycle.

1. The second nibble of the output data is available on the output buffer during a read cycle.

2. HM2007 is ready to get second nibble of the input data during a write cycle.

### a). Power on

When power is on, the chip will perform its initialization process, the same as manual mode and then make the status register to be (10) to wait the external command.

### b). Recognition.

When HM2007 receives the command RECOG, the chip will begin its recognition process. The external device can be polling the status flag to monitor the operation state of HM2007. When the operation state is changed to (01), and WAIT pin is "L", HM2007 will back to the operation state (10) and then ready for receive another command. When the operation state is change to (01) and WAIT pin is "H", it is ready to get voice input and then do the recognition process. When the operation state is changed back to (10) again, then the recognition process is completed and HM2007 is ready to get another command. The programming flow chart is shown in Fig. 1.

### c). Resulting

After recognition, the recognition result is ready in the buffer. The external device can send the RESULT command to obtain the recognition result. When the data in the buffer has been read, the operation state will be turned back (10) and waiting for another command.

When the RESULT command is sent, four continuous read actions must be done by the external device to get the result sent by HM2007. The result contains two parts, each parts needs two read actions. The first part is the word number(B5-B0) and the second part is the matching score (V7-V0).

Table 3 shows the output format of the result and the programming control flow chart is shown in Fig 2.



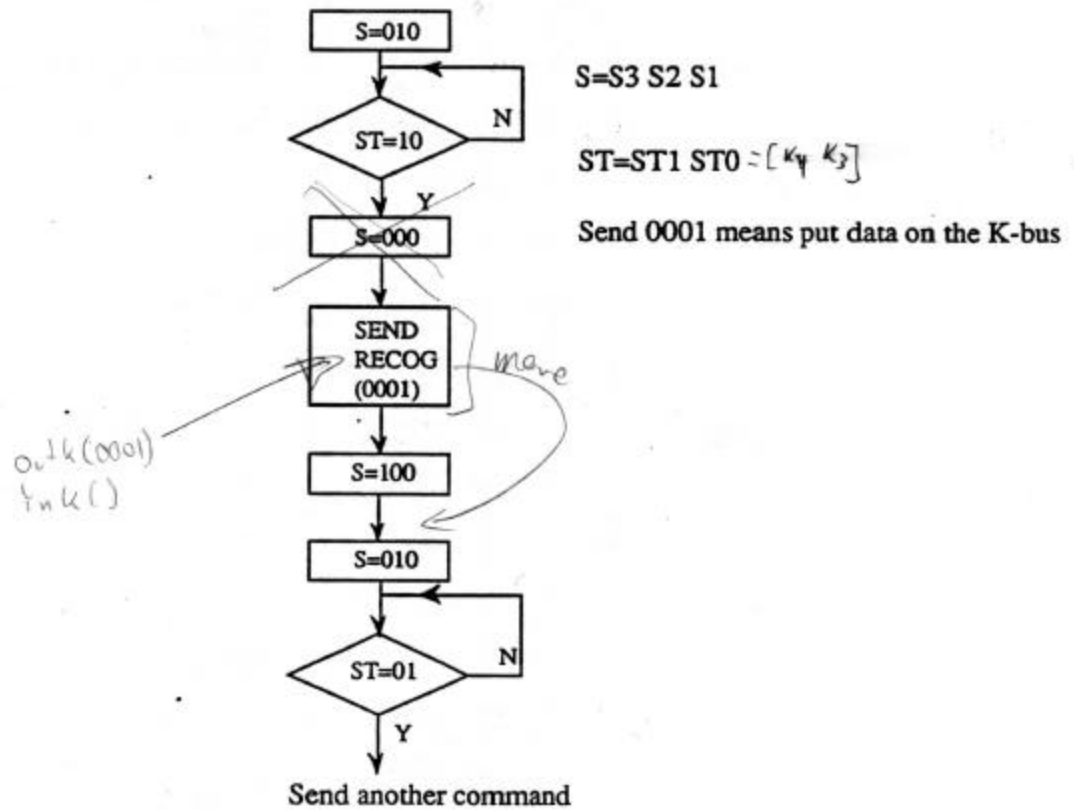


Fig 1. Control flow of the CPU mode for recognition.

1st read	2nd read	3rd read	4th read	Result
B3 B2 B1 B0	0 0 B5 B4	V3 V2 V1 V0	V7 V6 V5 V4	Word # and Score.

Table 3.

## d). Training Pattern

When HM2007 receives the command code TRAIN, the chip needs two more words to specify the number of pattern to be trained. The first word is the low 4 bit of the word number and the second word is the high 2 bits of the word number.

If the number of the pattern is valid and WAIT pin is "H", HM2007 will begin its training process for the corresponding word. If WAIT is "L", HM2007 will skip the training process. After the training process, the operation state will change back to (10) and wait for next command. Fig 3 shows the control flow of the training process.

## e). Upload pattern

When HM2007 receives the command code UPLOAD, the chip needs two more words to specify the number of pattern to be uploaded. The first word is the low 4 bits of the word number and the second word is the high 2 bits of the word number.

In the uploading process, HM2007 will send the pattern length first in two words (low 4 bits first, then high 4 bits), and then the data of the pattern frame by frame and each frame is consisted of eight words (4 bits). Fig 4 shows the control flow chart of the uploading process. Note that when the external device get the data which is sent by HM2007, it's user's responsibility to designate a memory space to save them, otherwise, the data will be lost and no use of this command.

## f). Download pattern

The download pattern process is same as the upload pattern process except that the direction of the data flow is reversed. After receiving the DOWNLOAD command and the word number, HM2007 begin to read data from external device. The first two words of the data will be treated as the pattern length and the following data will be stored as pattern frame by frame. Fig 5 shows the control flow of the downloading process.

## g). Reset

When Reset command is received by HM2007, the chip will clear all the patterns in the memory. Fig 6 shows the control flow of reset process.

4496203 HITACHI/ LOGIC/ARRAYS/MEM

04E 12622 D

# HM6264 Series

**Maintenance Only**  
(Substitute HM6264A)

T-46-23-12

8192-word x 8-bit High Speed CMOS Static RAM

■ FEATURES

- Fast access Time 100ns/120ns/150ns (max.)
- Low Power Standby Standby: 0.1mW (typ.)  
10μW (typ.) L-/LL-version  
Operating: 200mW/MHz (typ.)
- Low Power Operation
- Single +5V Supply
- Completely Static Memory . . . . No clock or Timing Strobe Required
- Equal Access and Cycle Time
- Common Data Input and Output, Three State Output
- Directly TTL Compatible: All Input and Output
- Standard 28pin Package Configuration
- Pin Out Compatible with 64K EPROM HN482764
- Capability of Battery Back Up Operation (L-/LL-version)

■ ORDERING INFORMATION

Type No.	Access Time	Package
HM6264P-10	100ns	600 mil 28 pin Plastic DIP
HM6264P-12	120ns	
HM6264P-15	150ns	
HM6264LP-10	100ns	600 mil 28 pin Plastic DIP
HM6264LP-12	120ns	
HM6264LP-15	150ns	
HM6264LP-10L	100ns	600 mil 28 pin Plastic DIP
HM6264LP-12L	120ns	
HM6264LP-15L	150ns	
HM6264FP-10	100ns	28 pin Plastic SOP (Note)
HM6264FP-12	120ns	
HM6264FP-15	150ns	
HM6264LFP-10	100ns	28 pin Plastic SOP (Note)
HM6264LFP-12	120ns	
HM6264LFP-15	150ns	
HM6264LFP-10L	100ns	28 pin Plastic SOP (Note)
HM6264LFP-12L	120ns	
HM6264LFP-15L	150ns	

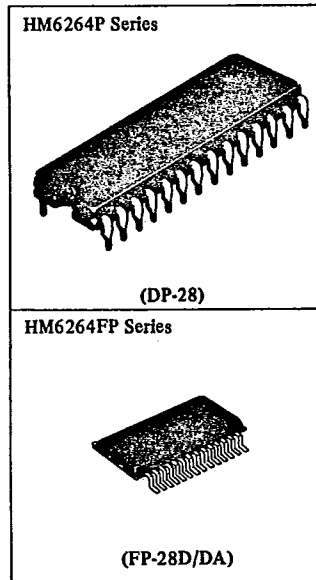
Note) A character T is added to the end of type No. for SOP of 3.00 mm (max.) thickness.

■ ABSOLUTE MAXIMUM RATINGS

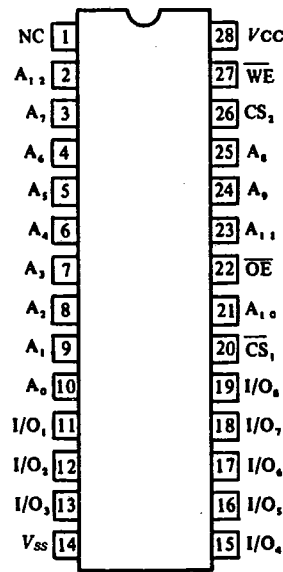
Item	Symbol	Rating	Unit
Terminal Voltage *1	V <sub>T</sub>	-0.5*2 to +7.0	V
Power Dissipation	P <sub>r</sub>	1.0	W
Operating Temperature	T <sub>opr</sub>	0 to +70	°C
Storage Temperature	T <sub>stg</sub>	-55 to +125	°C
Storage Temperature Under Bias	T <sub>bias</sub>	-10 to +85	°C

Notes) \*1. With respect to V<sub>SS</sub>  
\*2. -3.0V for pulse width ≤ 50ns

Note) This device is not available for new application.



■ PIN ARRANGEMENT



(Top View)



Hitachi America Ltd. • 2210 O'Toole Ave. • San Jose, CA 95131 • (408) 435-8300

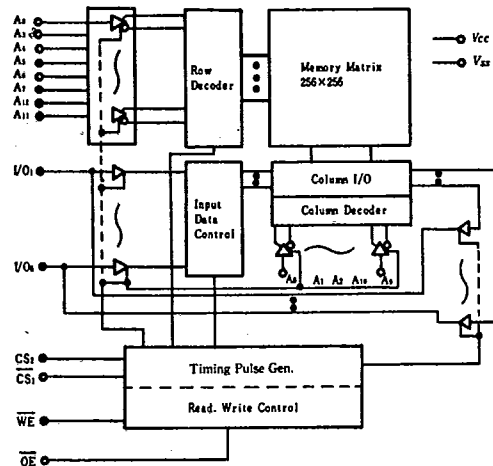
4496203 HITACHI/ LOGIC/ARRAYS/MEM

04E 12623 D

HM6264 Series

T-46-23-12

■ BLOCK DIAGRAM



■ TRUTH TABLE

WE	CS <sub>1</sub>	CS <sub>2</sub>	OE	Mode	I/O Pin	V <sub>CC</sub> Current	Note
X	H	X	X	Not Selected (Power Down)	High Z	I <sub>SB</sub> , I <sub>SB1</sub>	
X	X	L	X		High Z	I <sub>SB</sub> , I <sub>SB2</sub>	
H	L	H	H	Output Disabled	High Z	I <sub>CC</sub> , I <sub>CC1</sub>	
H	L	H	L	Read	Dout	I <sub>CC</sub> , I <sub>CC1</sub>	
L	L	H	H	Write	Din	I <sub>CC</sub> , I <sub>CC1</sub>	Write Cycle (1)
L	L	H	L		Din	I <sub>CC</sub> , I <sub>CC1</sub>	Write Cycle (2)

X : H or L

■ RECOMMENDED DC OPERATING CONDITIONS (T<sub>a</sub> = 0 to +70°C)

Item	Symbol	min	typ	max	Unit
Supply Voltage	V <sub>CC</sub>	4.5	5.0	5.5	V
	V <sub>SS</sub>	0	0	0	V
Input Voltage	V <sub>IH</sub>	2.2	-	6.0	V
	V <sub>IL</sub>	-0.3*1	-	0.8	V

Note) \*1. -3.0V for pulse width ≤ 50ns

■ DC AND OPERATING CHARACTERISTICS (V<sub>CC</sub> = 5V ± 10%, V<sub>SS</sub> = 0V, T<sub>a</sub> = 0 to +70°C)

Item	Symbol	Test Condition	min	typ*1	max	Unit
Input Leakage Current	I <sub>LI</sub> †	V <sub>in</sub> =V <sub>SS</sub> to V <sub>CC</sub>	-	-	2	μA
Output Leakage Current	I <sub>LO</sub> †	CS <sub>1</sub> =V <sub>IH</sub> or CS <sub>2</sub> =V <sub>IL</sub> or OE=V <sub>IH</sub> or WE=V <sub>IL</sub> , V <sub>I/O</sub> =V <sub>SS</sub> to V <sub>CC</sub>	-	-	2	μA
Operating Power Supply Current	I <sub>CC</sub>	CS <sub>1</sub> =V <sub>IL</sub> , CS <sub>2</sub> =V <sub>IH</sub> , I <sub>I/O</sub> =0mA	-	40	80	mA
Average Operating Current	I <sub>CC1</sub>	Min. cycle, duty=100%, I <sub>I/O</sub> =0mA	-	60	110	mA
Standby Power Supply Current	I <sub>SB</sub>	CS <sub>1</sub> =V <sub>IH</sub> or CS <sub>2</sub> =V <sub>IL</sub>	-	1	3	mA
	I <sub>SB1</sub> *2	CS <sub>1</sub> ≥ V <sub>CC</sub> -0.2V, CS <sub>2</sub> ≥ V <sub>CC</sub> -0.2V or CS <sub>2</sub> ≤ 0.2V	-	0.02	2	mA
			-	2*3	100*3	μA
	I <sub>SB2</sub> *2	CS <sub>2</sub> ≤ 0.2V	-	2*4	50*4	μA
			-	0.02	2	mA
	Output Voltage	V <sub>OL</sub>	I <sub>OL</sub> = 2.1mA	-	-	0.4
V <sub>OH</sub>		I <sub>OH</sub> = -1.0 mA	2.4	-	-	V

Notes) \*1. Typical limits are at V<sub>CC</sub>=5.0V, T<sub>a</sub>=25°C and specified loading.  
 \*2. V<sub>IL</sub> min=-0.3V  
 \*3. This characteristics is guaranteed only for L-version.  
 \*4. This characteristics is guaranteed only for LL-version.



4496203 HITACHI / LOGIC/ARRAYS/MEM

04E 12624 D

HM6264 Series

T-46-23-12

■ CAPACITANCE ( $f = 1\text{MHz}$ ,  $T_a = 25^\circ\text{C}$ )

Item	Symbol	Test Condition	typ	max	Unit
Input Capacitance	$C_{in}$	$V_{in} = 0\text{V}$	-	6	pF
Input/Output Capacitance	$C_{I/O}$	$V_{I/O} = 0\text{V}$	-	8	pF

Note) This parameter is sampled and not 100% tested.

■ AC CHARACTERISTICS ( $V_{CC} = 5\text{V} \pm 10\%$ ,  $T_a = 0$  to  $+70^\circ\text{C}$ )

● AC TEST CONDITIONS

Input Pulse Levels: 0.8 to 2.4V

Input Rise and Fall Times: 10ns

Input and Output Timing Reference Level: 1.5V

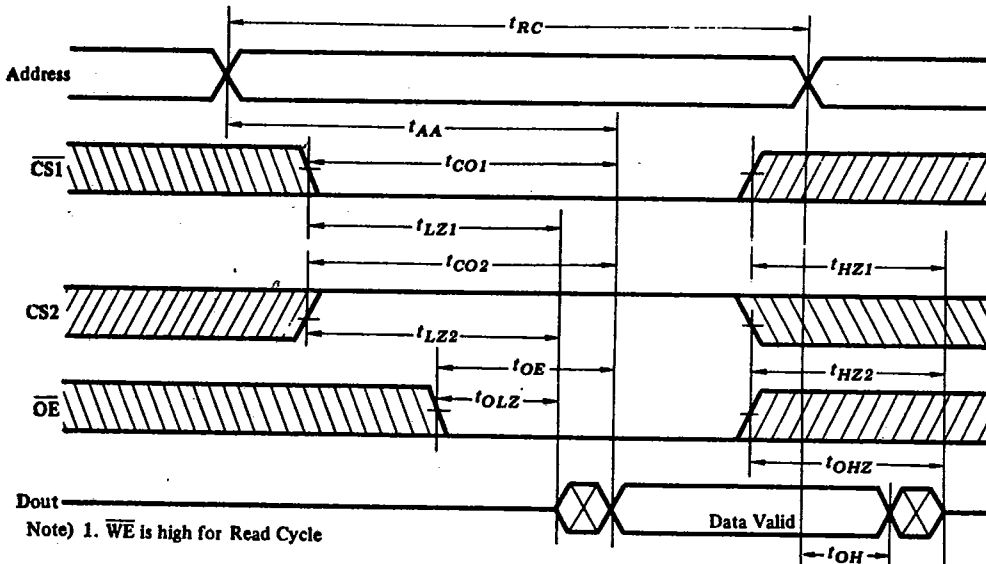
Output Load: 1TTL Gate and  $C_L$  (100pF) (including scope and jig)

● READ CYCLE

Item	Symbol	HM6264-10		HM6264-12		HM6264-15		Unit	
		min	max	min	max	min	max		
Read Cycle Time	$t_{RC}$	100	-	120	-	150	-	ns	
Address Access Time	$t_{AA}$	-	100	-	120	-	150	ns	
Chip Selection to Output	CS1	$t_{CO1}$	-	100	-	120	-	150	ns
	CS2	$t_{CO2}$	-	100	-	120	-	150	ns
Output Enable to Output Valid	$t_{OE}$	-	50	-	60	-	70	ns	
Chip Selection to Output in Low Z	CS1	$t_{LZ1}$	10	-	10	-	15	-	ns
	CS2	$t_{LZ2}$	10	-	10	-	15	-	ns
Output Enable to Output in Low Z	$t_{OLZ}$	5	-	5	-	5	-	ns	
Chip Deselection to Output in High Z	CS1	$t_{HZ1}$	0	35	0	40	0	50	ns
	CS2	$t_{HZ2}$	0	35	0	40	0	50	ns
Output Disable to Output in High Z	$t_{OHZ}$	0	35	0	40	0	50	ns	
Output Hold from Address Change	$t_{OH}$	10	-	10	-	15	-	ns	

- Notes) 1.  $t_{HZ}$  and  $t_{OHZ}$  are defined as the time at which the outputs achieve the open circuit condition and are not referred to output voltage levels.  
 2. At any given temperature and voltage condition,  $t_{HZ}$  max is less than  $t_{LZ}$  min both for a given device and from device to device.

● READ CYCLE



Note) 1.  $\overline{WE}$  is high for Read Cycle



4496203 HITACHI/ LOGIC/ARRAYS/MEM  
HM6264 Series

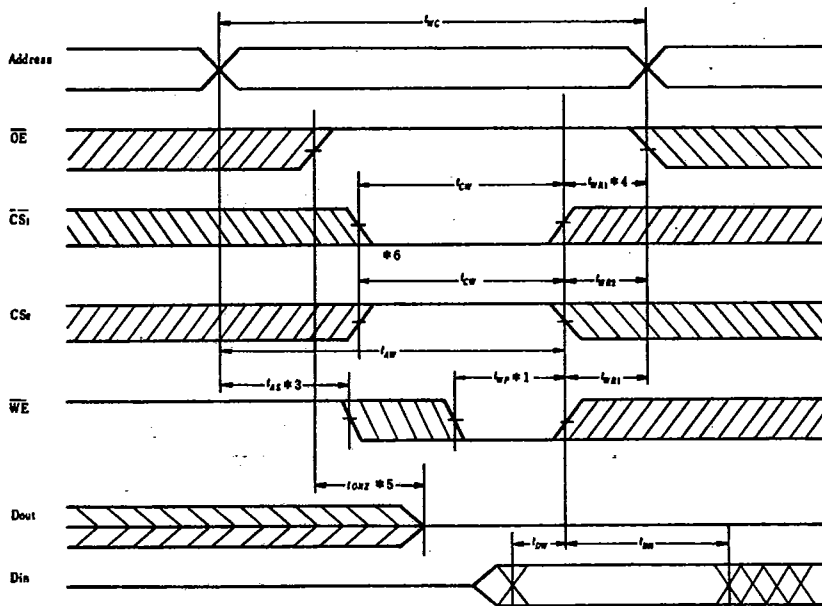
04E 12625 D

T-46-23-12

• WRITE CYCLE

Item	Symbol	HM6264-10		HM6264-12		HM6264-15		Unit	
		min	max	min	max	min	max		
Write Cycle Time	$t_{WC}$	100	-	120	-	150	-	ns	
Chip Selection to End of Write	$t_{CW}$	80	-	85	-	100	-	ns	
Address Setup Time	$t_{AS}$	0	-	0	-	0	-	ns	
Address Valid to End of Write	$t_{AW}$	80	-	85	-	100	-	ns	
Write Pulse Width	$t_{WP}$	60	-	70	-	90	-	ns	
Write Recovery Time	CS1, WE	$t_{WR1}$	5	-	5	-	10	-	ns
	CS2	$t_{WR2}$	15	-	15	-	15	-	ns
Write to Output in High Z	$t_{WHZ}$	0	35	0	40	0	50	ns	
Data to Write Time Overlap	$t_{DW}$	40	-	50	-	60	-	ns	
Data Hold from Write Time	$t_{DH}$	0	-	0	-	0	-	ns	
$\overline{OE}$ to Output in High Z	$t_{OHZ}$	0	35	0	40	0	50	ns	
Output Active from End of Write	$t_{OW}$	5	-	5	-	10	-	ns	

• WRITE CYCLE (1) ( $\overline{OE}$  clock)

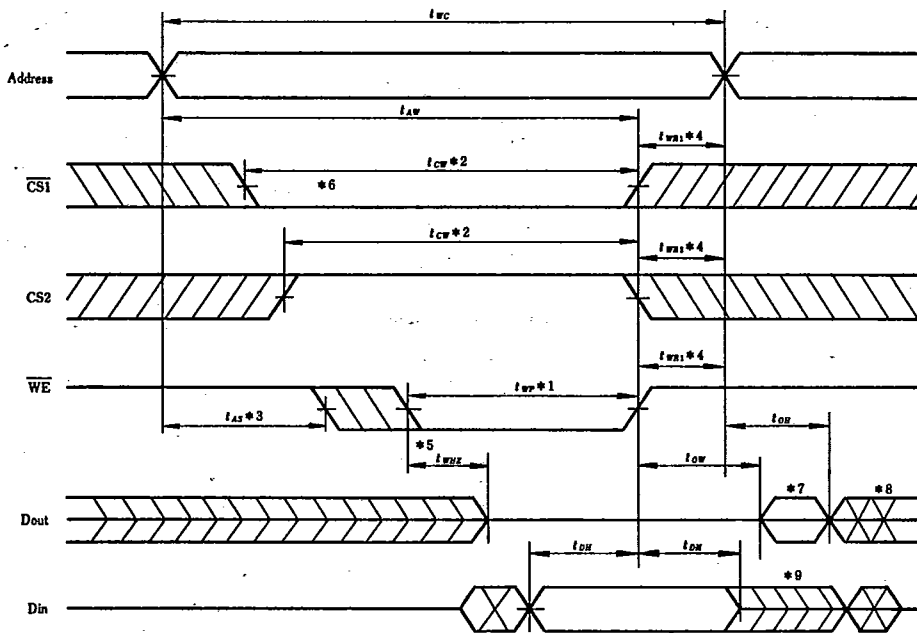


4496203 HITACHI/ LOGIC/ARRAYS/MEM

04E 12626 D  
HM6264 Series

T-46-23-12

• WRITE CYCLE (2) ( $\overline{OE}$  Low Fix)



- Notes)
1. A write occurs during the overlap of a low  $\overline{CS1}$ , a high  $\overline{CS2}$  and a low  $\overline{WE}$ . A write begins at the latest transition among  $\overline{CS1}$  going low,  $\overline{CS2}$  going high and  $\overline{WE}$  going low. A write ends at the earliest transition among  $\overline{CS1}$  going high,  $\overline{CS2}$  going low and  $\overline{WE}$  going high.  $t_{WP}$  is measured from the beginning of write to the end of write.
  2.  $t_{CW}$  is measured from the later of  $\overline{CS1}$  going low or  $\overline{CS2}$  going high to the end of write.
  3.  $t_{AS}$  is measured from the address valid to the beginning of write.
  4.  $t_{WR}$  is measured from the end of write to the address change.  
 $t_{WR1}$  applies in case a write ends at  $\overline{CS1}$  or  $\overline{WE}$  going high.  
 $t_{WR2}$  applies in case a write ends at  $\overline{CS2}$  going low.
  5. During this period, I/O pins are in the output state, therefore the input signals of opposite phase to the outputs must not be applied.
  6. If  $\overline{CS1}$  goes low simultaneously with  $\overline{WE}$  going low or after  $\overline{WE}$  going low, the outputs remain in high impedance state.
  7.  $D_{out}$  is the same phase of the latest written data in this write cycle.
  8.  $D_{out}$  is the read data of next address.
  9. If  $\overline{CS1}$  is low and  $\overline{CS2}$  is high during this period, I/O pins are in the output state. Therefore, the input signals of opposite phase to the outputs must not be applied to them.



T-46-23-12

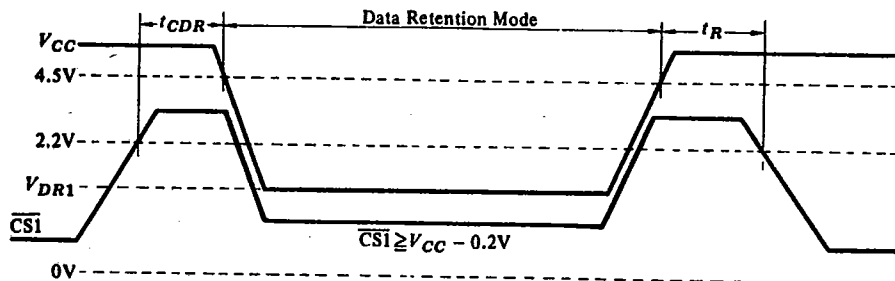
■ LOW  $V_{CC}$  DATA RETENTION CHARACTERISTICS ( $T_a = 0$  to  $+70^\circ\text{C}$ )

This characteristics is guaranteed only for L/LL-version.

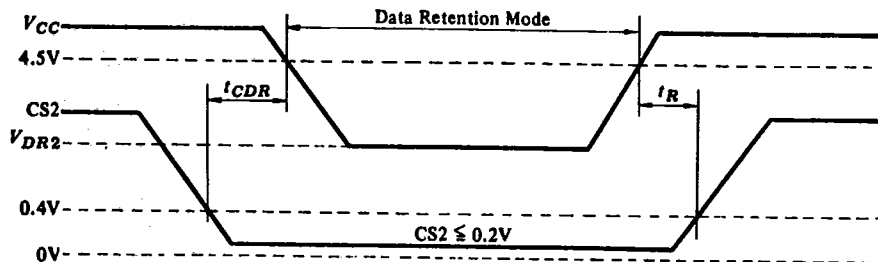
Item	Symbol	Test Condition	min	typ	max	Unit
$V_{CC}$ for Data Retention	$V_{DR1}$	$CS1 \geq V_{CC} - 0.2V$ , $CS2 \geq V_{CC} - 0.2V$ or $CS2 \leq 0.2V$	2.0	-	-	V
	$V_{DR2}$	$CS2 \leq 0.2V$	2.0	-	-	V
Data Retention Current	$I_{CCDR1}$	$V_{CC} = 3.0V$ , $CS1 \geq V_{CC} - 0.2V$	-	1*1	50*1	$\mu\text{A}$
		$CS2 \geq V_{CC} - 0.2V$ or $CS2 \leq 0.2V$	-	1*2	25*2	
Chip Deselect to Data Retention Time	$t_{CDR}$	See Retention Waveform	0	-	-	ns
Operation Recovery Time	$t_R$		$t_{RC}^{*3}$	-	-	ns

Notes) \*1.  $V_{IL}$  min =  $-0.3V$ ,  $20\mu\text{A}$  max at  $T_a = 0$  to  $40^\circ\text{C}$ . This characteristics is guaranteed only for L-version.  
 \*2.  $V_{IL}$  min =  $-0.3V$ ,  $10\mu\text{A}$  max at  $T_a = 0$  to  $40^\circ\text{C}$ . This characteristics is guaranteed only for LL-version.  
 \*3.  $t_{RC}$  = Read Cycle Time

• LOW  $V_{CC}$  DATA RETENTION WAVEFORM (1) ( $\overline{CS1}$  Controlled)



• LOW  $V_{CC}$  DATA RETENTION WAVEFORM (2) ( $CS2$  Controlled)



NOTE: In Data Retention Mode,  $CS2$  controls the Address,  $\overline{WE}$ ,  $\overline{CS1}$ ,  $\overline{OE}$  and  $Din$  buffer. If  $CS2$  controls data retention mode,  $V_{in}$  for these inputs can be in the high impedance state. If  $\overline{CS1}$  controls the data retention mode,  $CS2$  must satisfy either  $CS2 > V_{CC} - 0.2V$  or  $CS2 \leq 0.2V$ . The other input levels (address,  $\overline{WE}$ ,  $\overline{OE}$ ,  $I/O$ ) can be in the high impedance state.





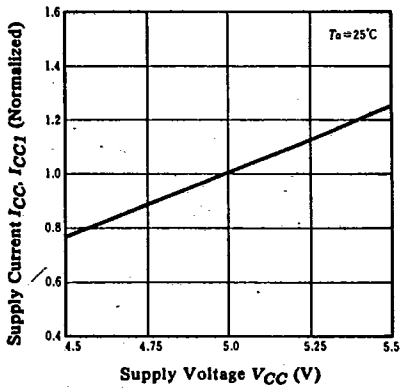
4496203 HITACHI/ LOGIC/ARRAYS/MEM

04E 12628 D

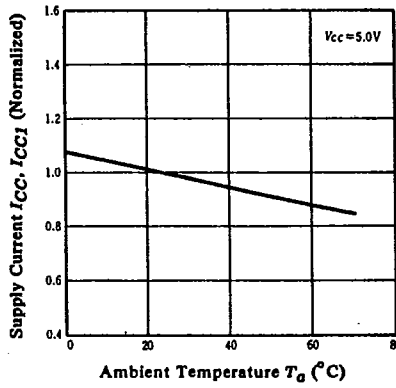
HMG264 Series

T-46-23-12

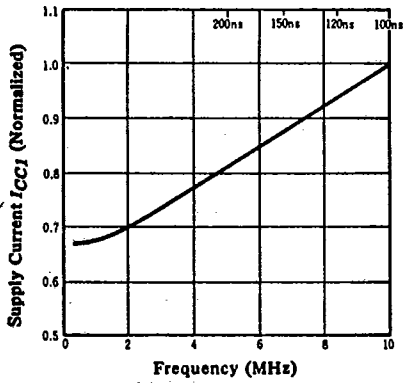
SUPPLY CURRENT vs. SUPPLY VOLTAGE



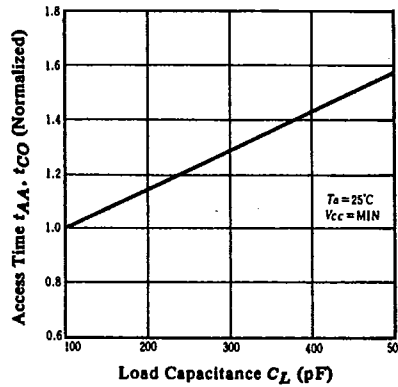
SUPPLY CURRENT vs. AMBIENT TEMPERATURE



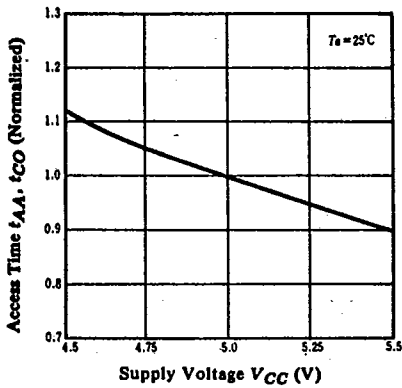
SUPPLY CURRENT vs. FREQUENCY



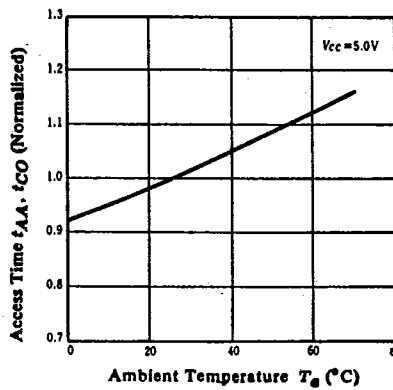
ACCESS TIME vs. LOAD CAPACITANCE



ACCESS TIME vs. SUPPLY VOLTAGE



ACCESS TIME vs. AMBIENT TEMPERATURE

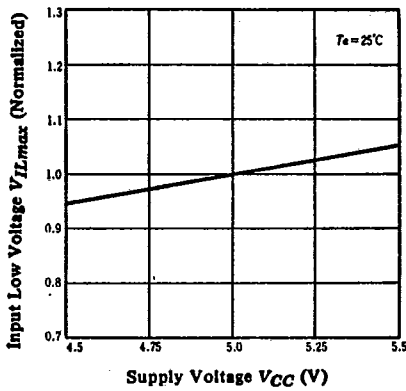


4496203 HITACHI/ LOGIC/ARRAYS/MEM  
HM6264 Series

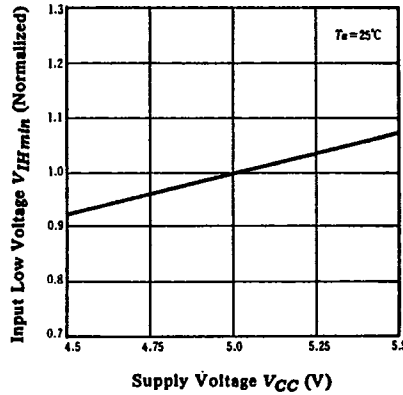
04E 12629 D

T-46-23-72

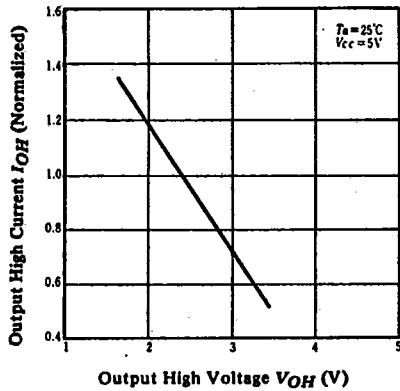
INPUT LOW VOLTAGE vs. SUPPLY VOLTAGE



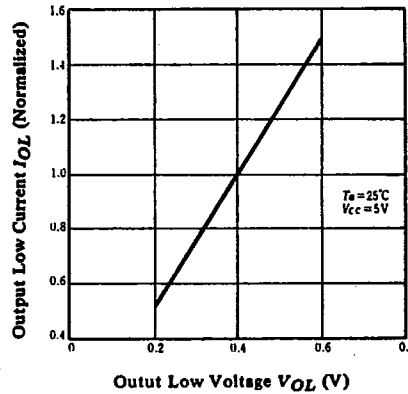
INPUT HIGH VOLTAGE vs. SUPPLY VOLTAGE



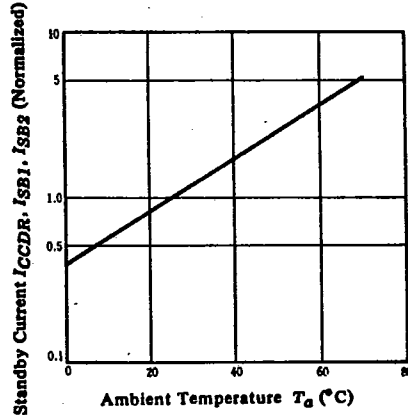
OUTPUT CURRENT vs. OUTPUT VOLTAGE



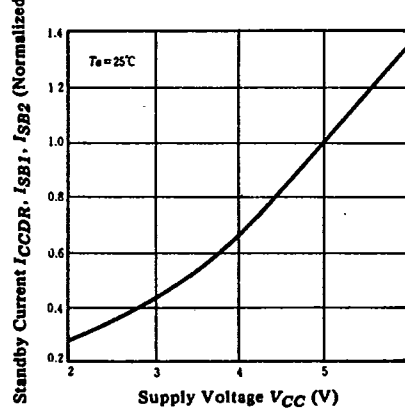
OUTPUT CURRENT vs. OUTPUT VOLTAGE



STANDBY CURRENT vs. AMBIENT TEMPERATURE



STANDBY CURRENT vs. SUPPLY VOLTAGE



# DM54LS373/DM74LS373, DM54LS374/DM74LS374 TRI-STATE® Octal D-Type Transparent Latches and Edge-Triggered Flip-Flops

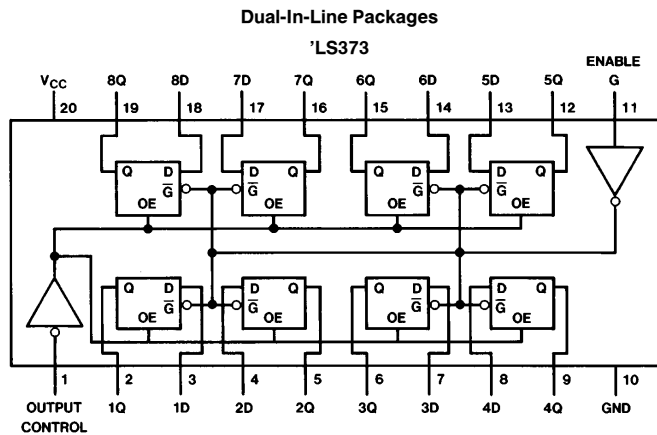
## General Description

These 8-bit registers feature totem-pole TRI-STATE outputs designed specifically for driving highly-capacitive or relatively low-impedance loads. The high-impedance state and increased high-logic level drive provide these registers with the capability of being connected directly to and driving the bus lines in a bus-organized system without need for interface or pull-up components. They are particularly attractive for implementing buffer registers, I/O ports, bidirectional bus drivers, and working registers. (Continued)

## Features

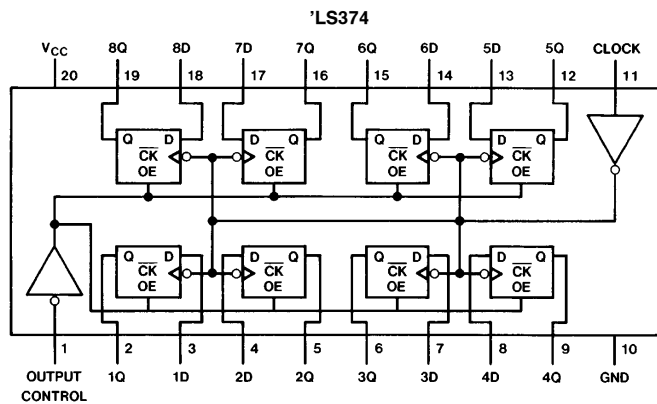
- Choice of 8 latches or 8 D-type flip-flops in a single package
- TRI-STATE bus-driving outputs
- Full parallel-access for loading
- Buffered control inputs
- P-N-P inputs reduce D-C loading on data lines

## Connection Diagrams



Order Number  
DM54LS373J,  
DM54LS373W,  
DM74LS373N or  
DM74LS373WM  
See NS Package Number  
J20A, M20B, N20A or  
W20A

TL/F/6431-1



Order Number  
DM54LS374J,  
DM54LS374W,  
DM74LS374WM or  
DM74LS374N  
See NS Package Number  
J20A, M20B, N20A or  
W20A

TL/F/6431-2

TRI-STATE® is a registered trademark of National Semiconductor Corp.

## General Description (Continued)

The eight latches of the DM54/74LS373 are transparent D-type latches meaning that while the enable (G) is high the Q outputs will follow the data (D) inputs. When the enable is taken low the output will be latched at the level of the data that was set up.

The eight flip-flops of the DM54/74LS374 are edge-triggered D-type flip-flops. On the positive transition of the clock, the Q outputs will be set to the logic states that were set up at the D inputs.

A buffered output control input can be used to place the eight outputs in either a normal logic state (high or low logic levels) or a high-impedance state. In the high-impedance state the outputs neither load nor drive the bus lines significantly.

The output control does not affect the internal operation of the latches or flip-flops. That is, the old data can be retained or new data can be entered even while the outputs are off.

## Function Tables

DM54/74LS373

Output Control	Enable G	D	Output
L	H	H	H
L	H	L	L
L	L	X	Q <sub>0</sub>
H	X	X	Z

DM54/74LS374

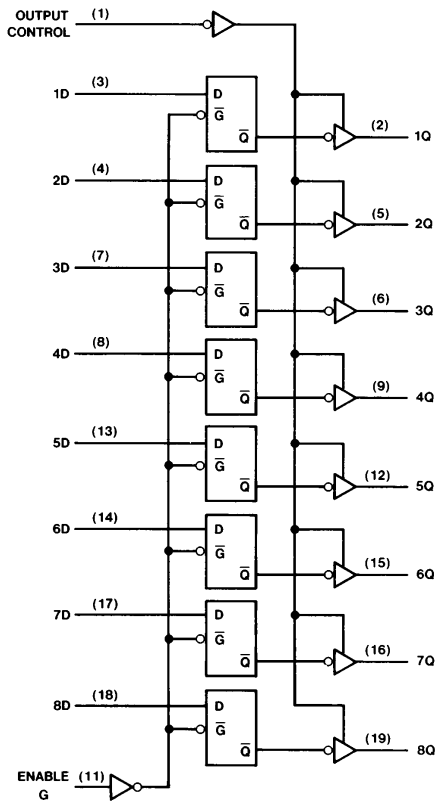
Output Control	Clock	D	Output
L	↑	H	H
L	↑	L	L
L	L	X	Q <sub>0</sub>
H	X	X	Z

H = High Level (Steady State), L = Low Level (Steady State), X = Don't Care  
 ↑ = Transition from low-to-high level, Z = High Impedance State  
 Q<sub>0</sub> = The level of the output before steady-state input conditions were established.

## Logic Diagrams

DM54/74LS373

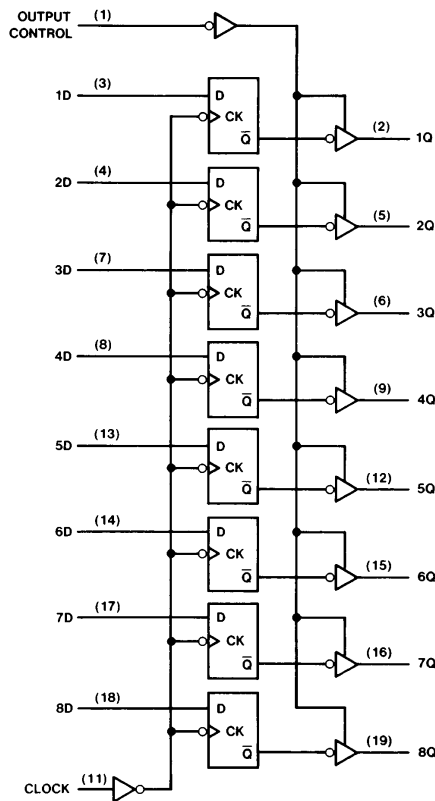
Transparent Latches



TL/F/6431-3

DM54/74LS374

Positive-Edge-Triggered Flip-Flops



TL/F/6431-4

## Absolute Maximum Ratings (See Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Storage Temperature Range	-65°C to +150°C
Operating Free Air Temperature Range	
DM54LS	-55°C to +125°C
DM74LS	0°C to +70°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

## Recommended Operating Conditions

Symbol	Parameter	DM54LS373			DM74LS373			Units
		Min	Nom	Max	Min	Nom	Max	
V <sub>CC</sub>	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub>	High Level Input Voltage	2			2			V
V <sub>IL</sub>	Low Level Input Voltage			0.7			0.8	V
I <sub>OH</sub>	High Level Output Current			-1			-2.6	mA
I <sub>OL</sub>	Low Level Output Current			12			24	mA
t <sub>w</sub>	Pulse Width (Note 2)	Enable High	15		15			ns
		Enable Low	15		15			
t <sub>SU</sub>	Data Setup Time (Notes 1 & 2)	5 ↓			5 ↓			ns
t <sub>H</sub>	Data Hold Time (Notes 1 & 2)	20 ↓			20 ↓			ns
T <sub>A</sub>	Free Air Operating Temperature	-55		125	0		70	°C

Note 1: The symbol (↓) indicates the falling edge of the clock pulse is used for reference.

Note 2: T<sub>A</sub> = 25°C and V<sub>CC</sub> = 5V.

## 'LS373 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V <sub>I</sub>	Input Clamp Voltage	V <sub>CC</sub> = Min, I <sub>I</sub> = -18 mA			-1.5	V
V <sub>OH</sub>	High Level Output Voltage	V <sub>CC</sub> = Min I <sub>OH</sub> = Max V <sub>IL</sub> = Max V <sub>IH</sub> = Min	DM54	2.4	3.4	V
			DM74	2.4	3.1	
V <sub>OL</sub>	Low Level Output Voltage	V <sub>CC</sub> = Min I <sub>OL</sub> = Max V <sub>IL</sub> = Max V <sub>IH</sub> = Min	DM54		0.25	V
			DM74		0.35	
		I <sub>OL</sub> = 12 mA V <sub>CC</sub> = Min	DM74			0.4
I <sub>I</sub>	Input Current @ Max Input Voltage	V <sub>CC</sub> = Max, V <sub>I</sub> = 7V			0.1	mA
I <sub>IH</sub>	High Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 2.7V			20	μA
I <sub>IL</sub>	Low Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 0.4V			-0.4	mA
I <sub>OZH</sub>	Off-State Output Current with High Level Output Voltage Applied	V <sub>CC</sub> = Max, V <sub>O</sub> = 2.7V V <sub>IH</sub> = Min, V <sub>IL</sub> = Max			20	μA
I <sub>OZL</sub>	Off-State Output Current with Low Level Output Voltage Applied	V <sub>CC</sub> = Max, V <sub>O</sub> = 0.4V V <sub>IH</sub> = Min, V <sub>IL</sub> = Max			-20	μA
I <sub>OS</sub>	Short Circuit Output Current	V <sub>CC</sub> = Max (Note 2)	DM54	-20	-100	mA
			DM74	-50	-225	
I <sub>CC</sub>	Supply Current	V <sub>CC</sub> = Max, OC = 4.5V, D <sub>n</sub> , Enable = GND		24	40	mA

### 'LS373 Switching Characteristics at $V_{CC} = 5V$ and $T_A = 25^\circ C$

(See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	From (Input) To (Output)	$R_L = 667\Omega$				Units
			$C_L = 45\text{ pF}$		$C_L = 150\text{ pF}$		
			Min	Max	Min	Max	
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Data to Q		18		26	ns
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Data to Q		18		27	ns
$t_{PLH}$	Propagation Delay Time Low to High Level Output	Enable to Q		30		38	ns
$t_{PHL}$	Propagation Delay Time High to Low Level Output	Enable to Q		30		36	ns
$t_{PZH}$	Output Enable Time to High Level Output	Output Control to Any Q		28		36	ns
$t_{PZL}$	Output Enable Time to Low Level Output	Output Control to Any Q		36		50	ns
$t_{PHZ}$	Output Disable Time from High Level Output (Note 3)	Output Control to Any Q		20			ns
$t_{PLZ}$	Output Disable Time from Low Level Output (Note 3)	Output Control to Any Q		25			ns

**Note 1:** All typicals are at  $V_{CC} = 5V$ ,  $T_A = 25^\circ C$ .

**Note 2:** Not more than one output should be shorted at a time, and the duration should not exceed one second.

**Note 3:**  $C_L = 5\text{ pF}$ .

### Recommended Operating Conditions

Symbol	Parameter	DM54LS374			DM74LS374			Units
		Min	Nom	Max	Min	Nom	Max	
$V_{CC}$	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
$V_{IH}$	High Level Input Voltage	2			2			V
$V_{IL}$	Low Level Input Voltage			0.7			0.8	V
$I_{OH}$	High Level Output Current			-1			-2.6	mA
$I_{OL}$	Low Level Output Current			12			24	mA
$t_W$	Pulse Width (Note 4)	Clock High	15		15			ns
		Clock Low	15		15			
$t_{SU}$	Data Setup Time (Notes 1 & 4)	20 ↑			20 ↑			ns
$t_H$	Data Hold Time (Notes 1 & 4)	1 ↑			1 ↑			ns
$T_A$	Free Air Operating Temperature	-55		125	0		70	$^\circ C$

**Note 1:** The symbol (↑) indicates the rising edge of the clock pulse is used for reference.

**Note 4:**  $T_A = 25^\circ C$  and  $V_{CC} = 5V$ .

## 'LS374 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units	
$V_I$	Input Clamp Voltage	$V_{CC} = \text{Min}, I_I = -18 \text{ mA}$			-1.5	V	
$V_{OH}$	High Level Output Voltage	$V_{CC} = \text{Min}$ $I_{OH} = \text{Max}$ $V_{IL} = \text{Max}$ $V_{IH} = \text{Min}$	DM54	2.4	3.4	V	
			DM74	2.4	3.1		
$V_{OL}$	Low Level Output Voltage	$V_{CC} = \text{Min}$ $I_{OL} = \text{Max}$ $V_{IL} = \text{Max}$ $V_{IH} = \text{Min}$	DM54		0.25	0.4	V
			DM74		0.35	0.5	
			$I_{OL} = 12 \text{ mA}$ $V_{CC} = \text{Min}$	DM74		0.25	
$I_I$	Input Current @ Max Input Voltage	$V_{CC} = \text{Max}, V_I = 7\text{V}$			0.1	mA	
$I_{IH}$	High Level Input Current	$V_{CC} = \text{Max}, V_I = 2.7\text{V}$			20	$\mu\text{A}$	
$I_{IL}$	Low Level Input Current	$V_{CC} = \text{Max}, V_I = 0.4\text{V}$			-0.4	mA	
$I_{OZH}$	Off-State Output Current with High Level Output Voltage Applied	$V_{CC} = \text{Max}, V_O = 2.7\text{V}$ $V_{IH} = \text{Min}, V_{IL} = \text{Max}$			20	$\mu\text{A}$	
$I_{OZL}$	Off-State Output Current with Low Level Output Voltage Applied	$V_{CC} = \text{Max}, V_O = 0.4\text{V}$ $V_{IH} = \text{Min}, V_{IL} = \text{Max}$			-20	$\mu\text{A}$	
$I_{OS}$	Short Circuit Output Current	$V_{CC} = \text{Max}$ (Note 2)	DM54	-50	-225	mA	
			DM74	-50	-225		
$I_{CC}$	Supply Current	$V_{CC} = \text{Max}, D_n = \text{GND}, OC = 4.5\text{V}$		27	45	mA	

## 'LS374 Switching Characteristics at $V_{CC} = 5\text{V}$ and $T_A = 25^\circ\text{C}$

(See Section 1 for Test Waveforms and Output Load)

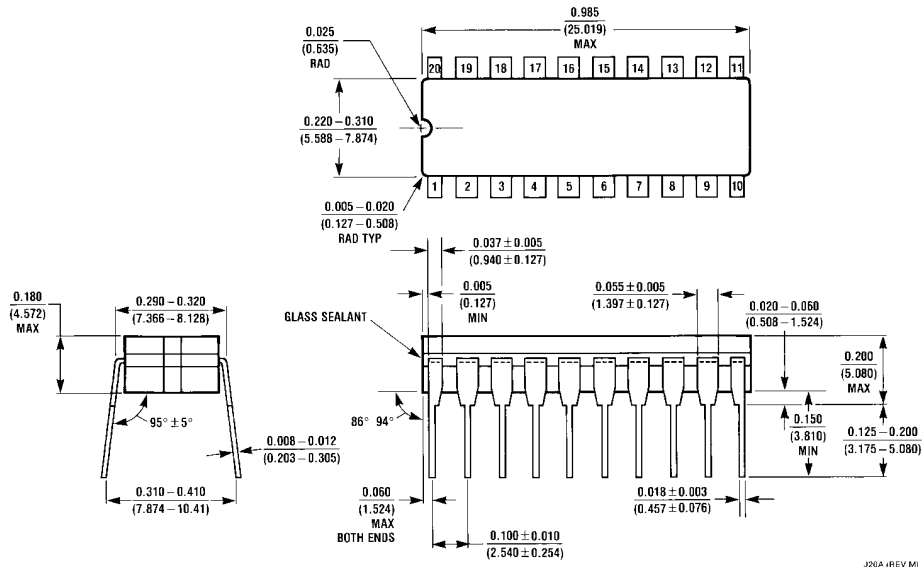
Symbol	Parameter	$R_L = 667\Omega$				Units
		$C_L = 45 \text{ pF}$		$C_L = 150 \text{ pF}$		
		Min	Max	Min	Max	
$f_{MAX}$	Maximum Clock Frequency	35		20		MHz
$t_{PLH}$	Propagation Delay Time Low to High Level Output		28		32	ns
$t_{PHL}$	Propagation Delay Time High to Low Level Output		28		38	ns
$t_{PZH}$	Output Enable Time to High Level Output		28		44	ns
$t_{PZL}$	Output Enable Time to Low Level Output		28		44	ns
$t_{PHZ}$	Output Disable Time from High Level Output (Note 3)		20			ns
$t_{PLZ}$	Output Disable Time from Low Level Output (Note 3)		25			ns

**Note 1:** All typicals are at  $V_{CC} = 5\text{V}$ ,  $T_A = 25^\circ\text{C}$ .

**Note 2:** Not more than one output should be shorted at a time, and the duration should not exceed one second.

**Note 3:**  $C_L = 5 \text{ pF}$ .

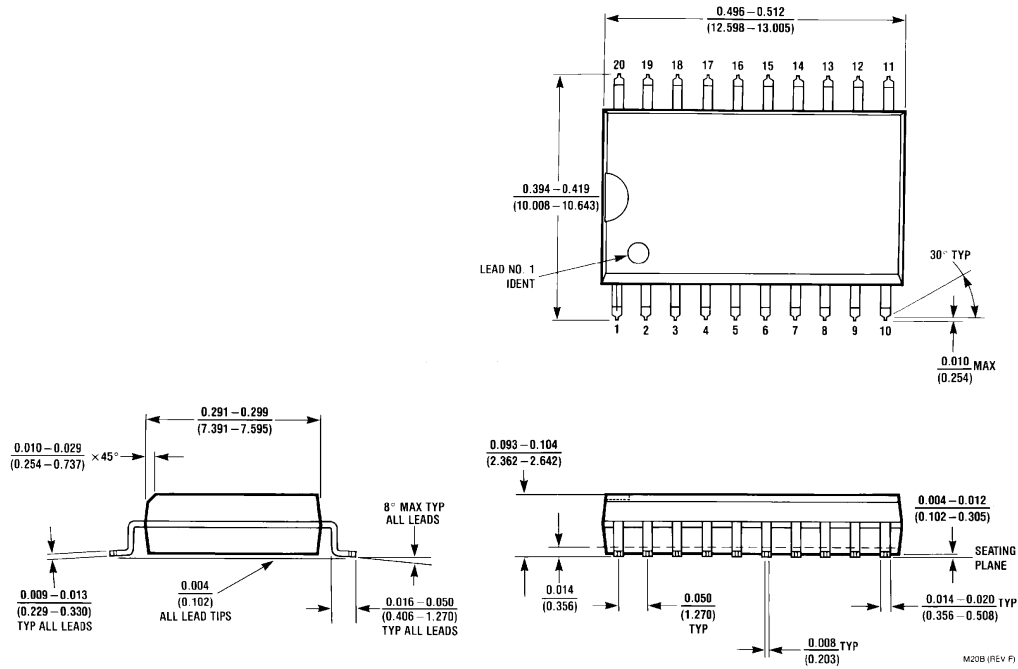
**Physical Dimensions** inches (millimeters)



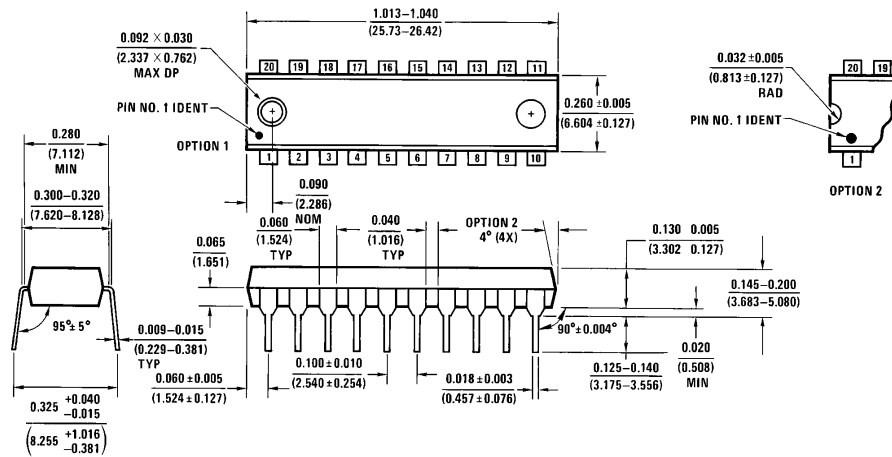
**20-Lead Ceramic Dual-In-Line Package (J)**  
**Order Number DM54LS373J or DM54LS374J**  
**NS Package Number J20A**



**Physical Dimensions** inches (millimeters) (Continued)



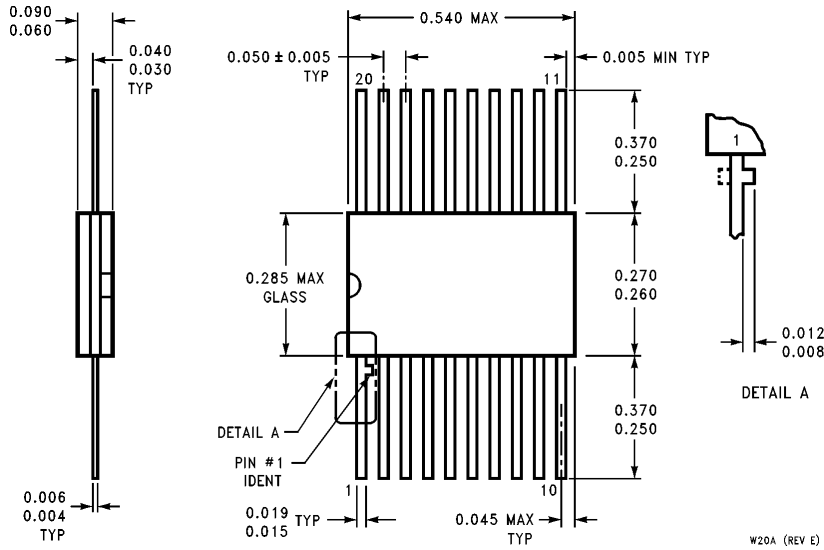
**20-Lead Wide Small Outline Molded Package (M)**  
**Order Number DM74LS373WM or DM74LS374WM**  
**NS Package Number M20B**



**20-Lead Molded Dual-In-Line Package (N)**  
**Order Number DM74LS373N and DM74LS374N**  
**NS Package Number N20A**

**DM54LS373/DM74LS373, DM54LS374/DM74LS374**  
**TRI-STATE Octal D-Type Transparent Latches and Edge-Triggered Flip-Flops**

**Physical Dimensions** inches (millimeters) (Continued)



**20-Lead Ceramic Flat Package (W)**  
**Order Number DM54LS373W or DM54LS374W**  
**NS Package Number W20A**

W20A (REV E)

**LIFE SUPPORT POLICY**

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



**National Semiconductor Corporation**  
 1111 West Bardin Road  
 Arlington, TX 76017  
 Tel: 1(800) 272-9959  
 Fax: 1(800) 737-7018

**National Semiconductor Europe**  
 Fax: (+49) 0-180-530 85 86  
 Email: onjwge@tevm2.nsc.com  
 Deutsch Tel: (+49) 0-180-530 85 85  
 English Tel: (+49) 0-180-532 78 32  
 Français Tel: (+49) 0-180-532 93 58  
 Italiano Tel: (+49) 0-180-534 16 80

**National Semiconductor Hong Kong Ltd.**  
 19th Floor, Straight Block,  
 Ocean Centre, 5 Canton Rd.  
 Tsimshatsui, Kowloon  
 Hong Kong  
 Tel: (852) 2737-1600  
 Fax: (852) 2736-9960

**National Semiconductor Japan Ltd.**  
 Tel: 81-043-299-2309  
 Fax: 81-043-299-2408

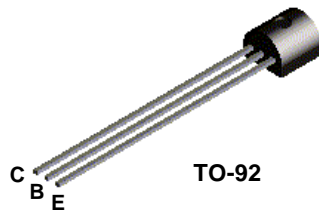
National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

# N

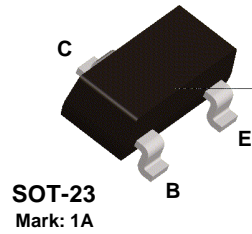
**Discrete POWER & Signal  
Technologies**

2N3904 / MMBT3904 / MMPQ3904 / PZT3904

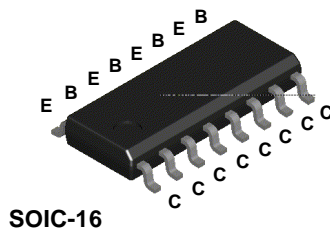
## 2N3904



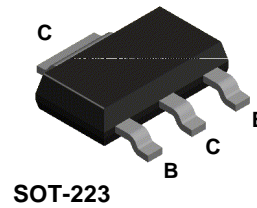
## MMBT3904



## MMPQ3904



## PZT3904



## NPN General Purpose Amplifier

This device is designed as a general purpose amplifier and switch. The useful dynamic range extends to 100 mA as a switch and to 100 MHz as an amplifier. Sourced from Process 23.

### Absolute Maximum Ratings\*

TA = 25°C unless otherwise noted

Symbol	Parameter	Value	Units
V <sub>CEO</sub>	Collector-Emitter Voltage	40	V
V <sub>CBO</sub>	Collector-Base Voltage	60	V
V <sub>EBO</sub>	Emitter-Base Voltage	6.0	V
I <sub>C</sub>	Collector Current - Continuous	200	mA
T <sub>J</sub> , T <sub>stg</sub>	Operating and Storage Junction Temperature Range	-55 to +150	°C

\*These ratings are limiting values above which the serviceability of any semiconductor device may be impaired.

#### NOTES:

- 1) These ratings are based on a maximum junction temperature of 150 degrees C.
- 2) These are steady state limits. The factory should be consulted on applications involving pulsed or low duty cycle operations.

## NPN General Purpose Amplifier

(continued)

### Electrical Characteristics

TA = 25°C unless otherwise noted

Symbol	Parameter	Test Conditions	Min	Max	Units
<b>OFF CHARACTERISTICS</b>					
$V_{(BR)CEO}$	Collector-Emitter Breakdown Voltage	$I_C = 1.0 \text{ mA}, I_B = 0$	40		V
$V_{(BR)CBO}$	Collector-Base Breakdown Voltage	$I_C = 10 \text{ } \mu\text{A}, I_E = 0$	60		V
$V_{(BR)EBO}$	Emitter-Base Breakdown Voltage	$I_E = 10 \text{ } \mu\text{A}, I_C = 0$	6.0		V
$I_{BL}$	Base Cutoff Current	$V_{CE} = 30 \text{ V}, V_{EB} = 0$		50	nA
$I_{CEX}$	Collector Cutoff Current	$V_{CE} = 30 \text{ V}, V_{EB} = 0$		50	nA

### ON CHARACTERISTICS\*

$h_{FE}$	DC Current Gain	$I_C = 0.1 \text{ mA}, V_{CE} = 1.0 \text{ V}$ $I_C = 1.0 \text{ mA}, V_{CE} = 1.0 \text{ V}$ $I_C = 10 \text{ mA}, V_{CE} = 1.0 \text{ V}$ $I_C = 50 \text{ mA}, V_{CE} = 1.0 \text{ V}$ $I_C = 100 \text{ mA}, V_{CE} = 1.0 \text{ V}$	40 70 100 60 30	300	
$V_{CE(sat)}$	Collector-Emitter Saturation Voltage	$I_C = 10 \text{ mA}, I_B = 1.0 \text{ mA}$ $I_C = 50 \text{ mA}, I_B = 5.0 \text{ mA}$		0.2 0.3	V V
$V_{BE(sat)}$	Base-Emitter Saturation Voltage	$I_C = 10 \text{ mA}, I_B = 1.0 \text{ mA}$ $I_C = 50 \text{ mA}, I_B = 5.0 \text{ mA}$	0.65	0.85 0.95	V V

### SMALL SIGNAL CHARACTERISTICS

$f_T$	Current Gain - Bandwidth Product	$I_C = 10 \text{ mA}, V_{CE} = 20 \text{ V},$ $f = 100 \text{ MHz}$	300		MHz
$C_{obo}$	Output Capacitance	$V_{CB} = 5.0 \text{ V}, I_E = 0,$ $f = 1.0 \text{ MHz}$		4.0	pF
$C_{ibo}$	Input Capacitance	$V_{EB} = 0.5 \text{ V}, I_C = 0,$ $f = 1.0 \text{ MHz}$		8.0	pF
NF	Noise Figure (except MMPQ3904)	$I_C = 100 \text{ mA}, V_{CE} = 5.0 \text{ V},$ $R_S = 1.0 \text{ kW}, f = 10 \text{ Hz to } 15.7 \text{ kHz}$		5.0	dB

### SWITCHING CHARACTERISTICS (except MMPQ3904)

$t_d$	Delay Time	$V_{CC} = 3.0 \text{ V}, V_{BE} = 0.5 \text{ V},$		35	ns
$t_r$	Rise Time	$I_C = 10 \text{ mA}, I_{B1} = 1.0 \text{ mA}$		35	ns
$t_s$	Storage Time	$V_{CC} = 3.0 \text{ V}, I_C = 10 \text{ mA}$		200	ns
$t_f$	Fall Time	$I_{B1} = I_{B2} = 1.0 \text{ mA}$		50	ns

\*Pulse Test: Pulse Width  $\leq 300 \text{ } \mu\text{s}$ , Duty Cycle  $\leq 2.0\%$

### Spice Model

NPN (Is=6.734f Xti=3 Eg=1.11 Vaf=74.03 Bf=416.4 Ne=1.259 Ise=6.734 Ikf=66.78m Xtb=1.5 Br=.7371 Nc=2 Isc=0 Ikr=0 Rc=1 Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5 Cje=4.493p Mje=.2593 Vje=.75 Tr=239.5n Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10)

2N3904 / MMBT3904 / MMPQ3904 / PZT3904

# NPN General Purpose Amplifier

(continued)

## Thermal Characteristics

TA = 25°C unless otherwise noted

Symbol	Characteristic	Max		Units
		2N3904	*PZT3904	
P <sub>D</sub>	Total Device Dissipation	625	1,000	mW
	Derate above 25°C	5.0	8.0	mW/°C
R <sub>qJC</sub>	Thermal Resistance, Junction to Case	83.3		°C/W
R <sub>qJA</sub>	Thermal Resistance, Junction to Ambient	200	125	°C/W

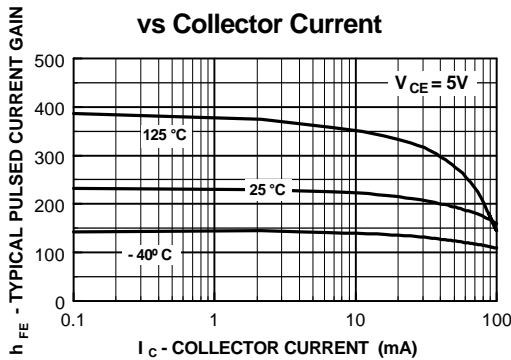
Symbol	Characteristic	Max		Units
		**MMBT3904	MMPQ3904	
P <sub>D</sub>	Total Device Dissipation	350	1,000	mW
	Derate above 25°C	2.8	8.0	mW/°C
R <sub>qJA</sub>	Thermal Resistance, Junction to Ambient	357		°C/W
	Effective 4 Die		125	°C/W
	Each Die		240	°C/W

\* Device mounted on FR-4 PCB 36 mm X 18 mm X 1.5 mm; mounting pad for the collector lead min. 6  $\bar{c}$ m

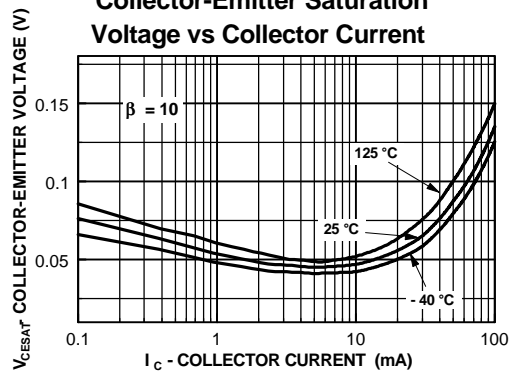
\*\* Device mounted on FR-4 PCB 1.6" X 1.6" X 0.06."

## Typical Characteristics

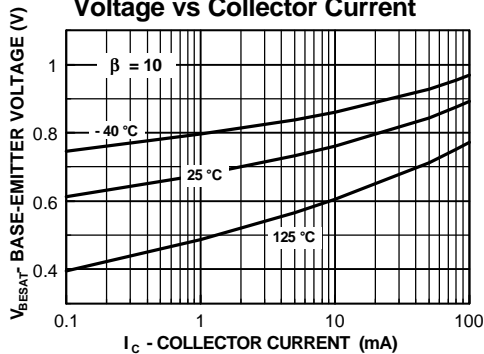
Typical Pulsed Current Gain vs Collector Current



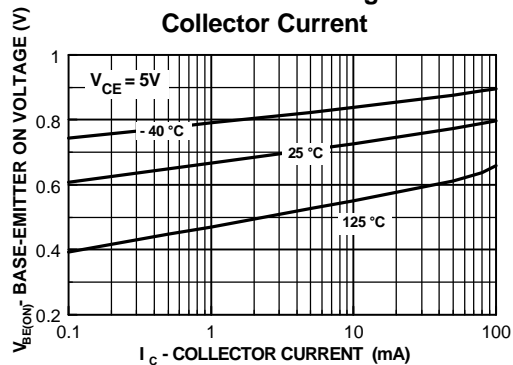
Collector-Emitter Saturation Voltage vs Collector Current



Base-Emitter Saturation Voltage vs Collector Current



Base-Emitter ON Voltage vs Collector Current



2N3904 / MMBT3904 / MM3904 / MMPQ3904 / PZT3904

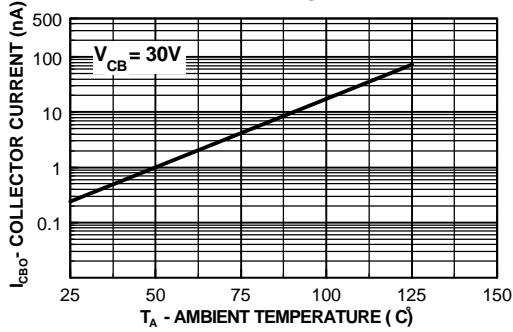
# NPN General Purpose Amplifier

(continued)

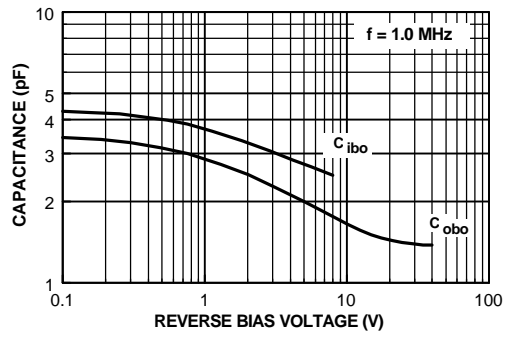
2N3904 / MMBT3904 / MMIPQ3904 / PZT3904

## Typical Characteristics (continued)

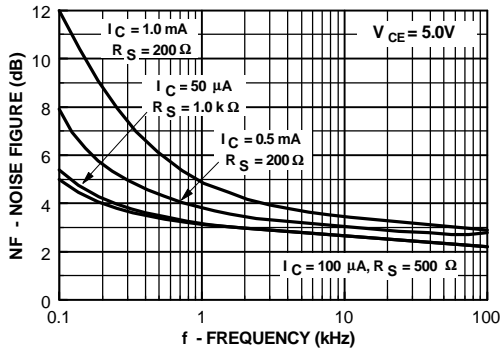
**Collector-Cutoff Current vs Ambient Temperature**



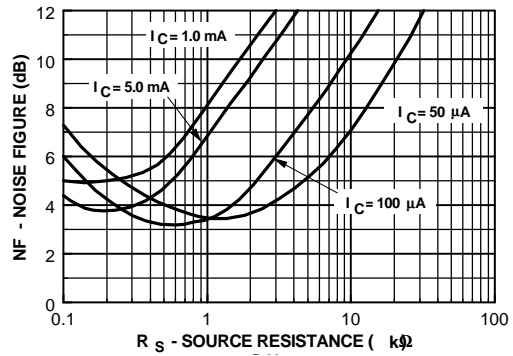
**Capacitance vs Reverse Bias Voltage**



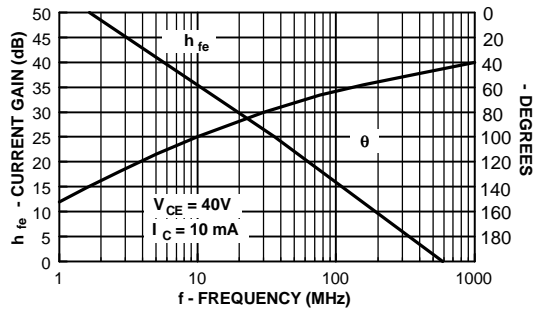
**Noise Figure vs Frequency**



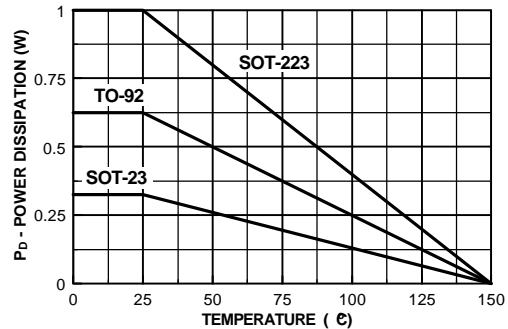
**Noise Figure vs Source Resistance**



**Current Gain and Phase Angle vs Frequency**



**Power Dissipation vs Ambient Temperature**

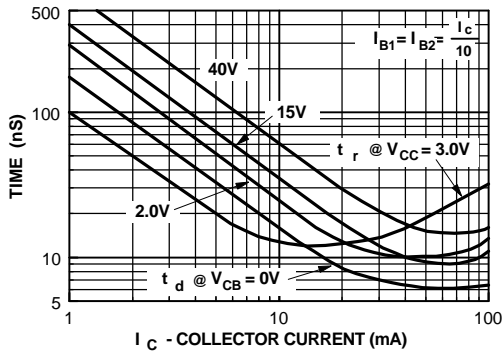


# NPN General Purpose Amplifier

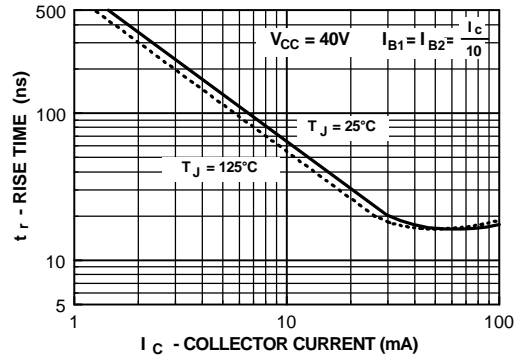
(continued)

## Typical Characteristics (continued)

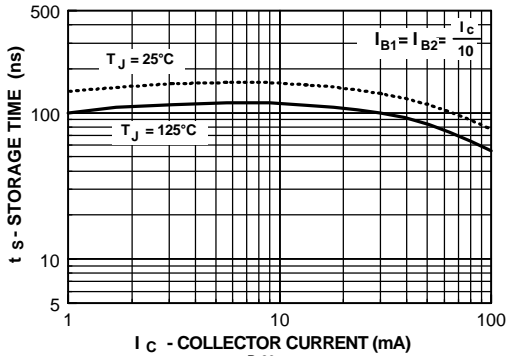
Turn-On Time vs Collector Current



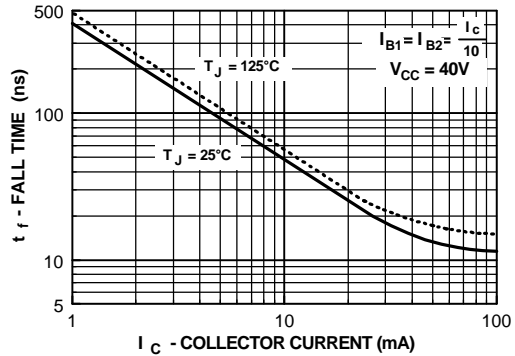
Rise Time vs Collector Current



Storage Time vs Collector Current



Fall Time vs Collector Current



2N3904 / MMBT3904 / MM1PQ3904 / PZT3904

Test Circuits

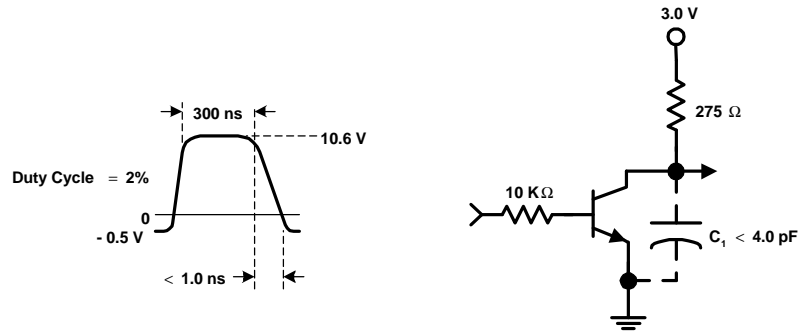


FIGURE 1: Delay and Rise Time Equivalent Test Circuit

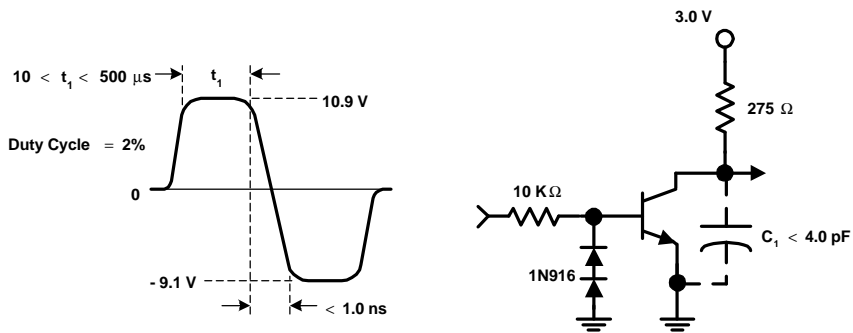


FIGURE 2: Storage and Fall Time Equivalent Test Circuit



## DM74LS00 Quad 2-Input NAND Gate

### General Description

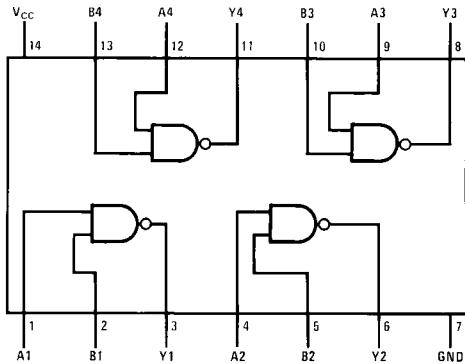
This device contains four independent gates each of which performs the logic NAND function.

### Ordering Code:

Order Number	Package Number	Package Description
DM74LS00M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS00SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS00N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

### Connection Diagram



### Function Table

$$Y = \overline{AB}$$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = HIGH Logic Level  
L = LOW Logic Level

**Absolute Maximum Ratings**(Note 1)

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

**Note 1:** The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

**Recommended Operating Conditions**

Symbol	Parameter	Min	Nom	Max	Units
V <sub>CC</sub>	Supply Voltage	4.75	5	5.25	V
V <sub>IH</sub>	HIGH Level Input Voltage	2			V
V <sub>IL</sub>	LOW Level Input Voltage			0.8	V
I <sub>OH</sub>	HIGH Level Output Current			-0.4	mA
I <sub>OL</sub>	LOW Level Output Current			8	mA
T <sub>A</sub>	Free Air Operating Temperature	0		70	°C

**Electrical Characteristics**

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
V <sub>I</sub>	Input Clamp Voltage	V <sub>CC</sub> = Min, I <sub>I</sub> = -18 mA			-1.5	V
V <sub>OH</sub>	HIGH Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OH</sub> = Max, V <sub>IL</sub> = Max	2.7	3.4		V
V <sub>OL</sub>	LOW Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OL</sub> = Max, V <sub>IH</sub> = Min		0.35	0.5	V
		I <sub>OL</sub> = 4 mA, V <sub>CC</sub> = Min		0.25	0.4	
I <sub>I</sub>	Input Current @ Max Input Voltage	V <sub>CC</sub> = Max, V <sub>I</sub> = 7V			0.1	mA
I <sub>IH</sub>	HIGH Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 2.7V			20	μA
I <sub>IL</sub>	LOW Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 0.4V			-0.36	mA
I <sub>OS</sub>	Short Circuit Output Current	V <sub>CC</sub> = Max (Note 3)	-20		-100	mA
I <sub>CCH</sub>	Supply Current with Outputs HIGH	V <sub>CC</sub> = Max		0.8	1.6	mA
I <sub>CCL</sub>	Supply Current with Outputs LOW	V <sub>CC</sub> = Max		2.4	4.4	mA

**Note 2:** All typicals are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.

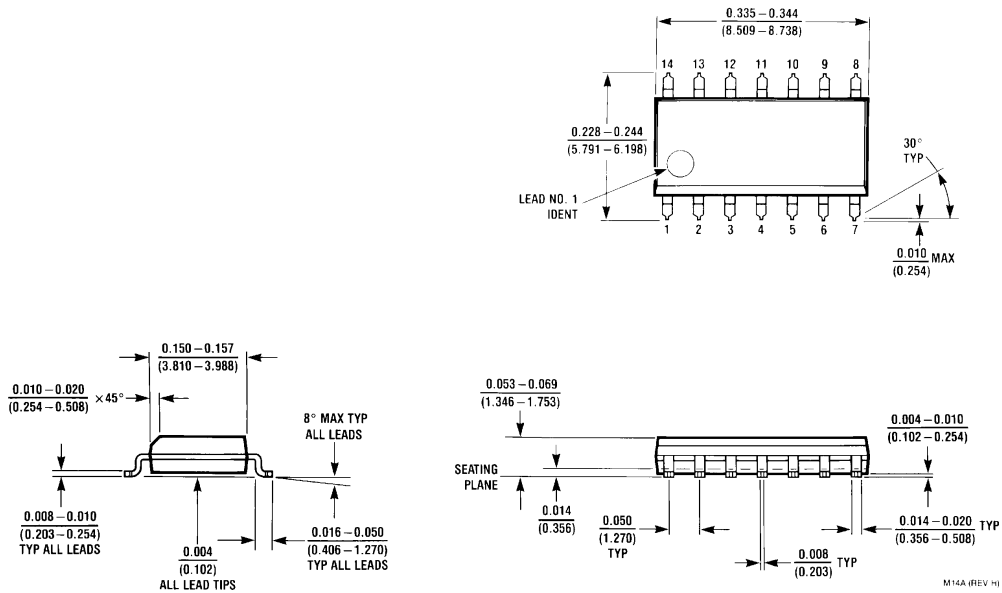
**Note 3:** Not more than one output should be shorted at a time, and the duration should not exceed one second.

**Switching Characteristics**

at V<sub>CC</sub> = 5V and T<sub>A</sub> = 25°C

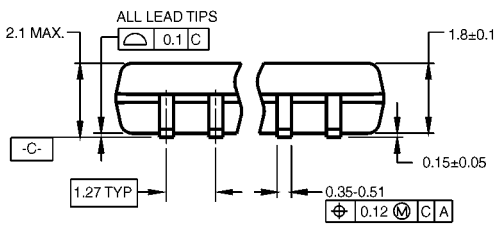
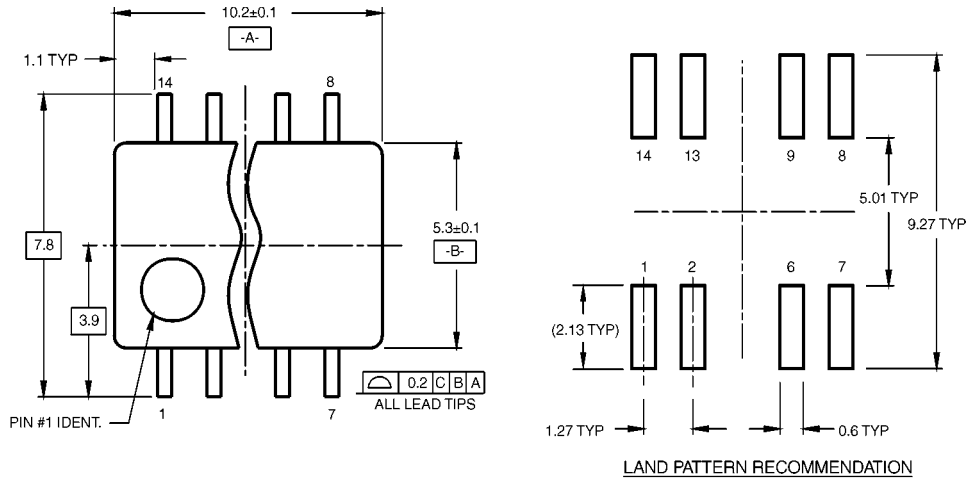
Symbol	Parameter	R <sub>L</sub> = 2 kΩ				Units
		C <sub>L</sub> = 15 pF		C <sub>L</sub> = 50 pF		
		Min	Max	Min	Max	
t <sub>PLH</sub>	Propagation Delay Time LOW-to-HIGH Level Output	3	10	4	15	ns
t <sub>PHL</sub>	Propagation Delay Time HIGH-to-LOW Level Output	3	10	4	15	ns

**Physical Dimensions** inches (millimeters) unless otherwise noted



**14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow  
Package Number M14A**

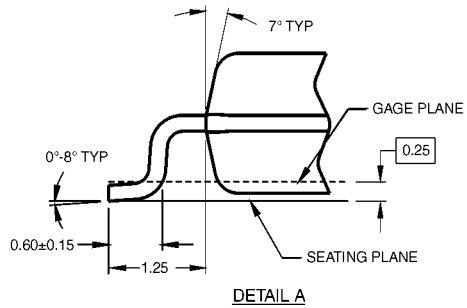
**Physical Dimensions** inches (millimeters) unless otherwise noted (Continued)



DIMENSIONS ARE IN MILLIMETERS

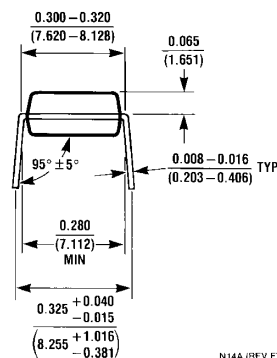
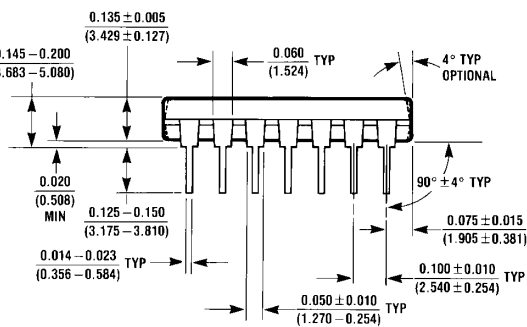
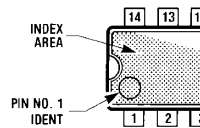
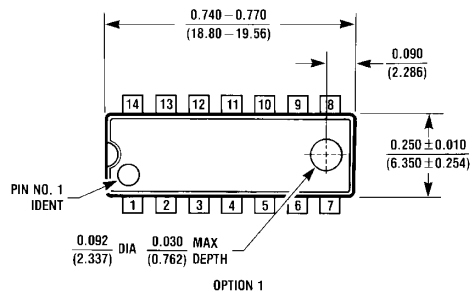
- NOTES:  
 A. CONFORMS TO EIAJ EDR-7320 REGISTRATION, ESTABLISHED IN DECEMBER, 1998.  
 B. DIMENSIONS ARE IN MILLIMETERS.  
 C. DIMENSIONS ARE EXCLUSIVE OF BURRS, MOLD FLASH, AND TIE BAR EXTRUSIONS.

M14DRevB1



**14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide  
 Package Number M14D**

**Physical Dimensions** inches (millimeters) unless otherwise noted (Continued)



N14A (REV F)

**14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide Package Number N14A**

Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and Fairchild reserves the right at any time without notice to change said circuitry and specifications.

**LIFE SUPPORT POLICY**

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

[www.fairchildsemi.com](http://www.fairchildsemi.com)

## 5432/DM5432/DM7432 Quad 2-Input OR Gates

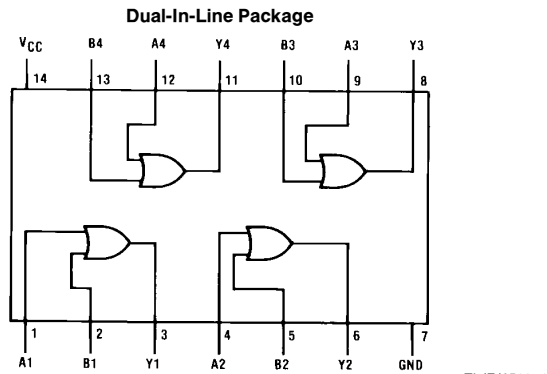
### General Description

This device contains four independent gates each of which performs the logic OR function.

### Features

- Alternate Military/Aerospace device (5432) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

### Connection Diagram



Order Number 5432DMQB, 5432FMQB, DM5432J, DM5432W or DM7432N  
See NS Package Number J14A, N14A or W14B

### Function Table

$$Y = A + B$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	H

H = High Logic Level  
L = Low Logic Level

## Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	5.5V
Operating Free Air Temperature Range	
DM54 and 54	−55°C to +125°C
DM74	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note: The “Absolute Maximum Ratings” are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the “Electrical Characteristics” table are not guaranteed at the absolute maximum ratings. The “Recommended Operating Conditions” table will define the conditions for actual device operation.

## Recommended Operating Conditions

Symbol	Parameter	DM5432			DM7432			Units
		Min	Nom	Max	Min	Nom	Max	
V <sub>CC</sub>	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V <sub>IH</sub>	High Level Input Voltage	2			2			V
V <sub>IL</sub>	Low Level Input Voltage			0.8			0.8	V
I <sub>OH</sub>	High Level Output Current			−0.8			−0.8	mA
I <sub>OL</sub>	Low Level Output Current			16			16	mA
T <sub>A</sub>	Free Air Operating Temperature	−55		125	0		70	°C

## Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V <sub>I</sub>	Input Clamp Voltage	V <sub>CC</sub> = Min, I <sub>I</sub> = −12 mA			−1.5	V
V <sub>OH</sub>	High Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OH</sub> = Max V <sub>IH</sub> = Min	2.4	3.4		V
V <sub>OL</sub>	Low Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OL</sub> = Max V <sub>IL</sub> = Max		0.2	0.4	V
I <sub>I</sub>	Input Current @ Max Input Voltage	V <sub>CC</sub> = Max, V <sub>I</sub> = 5.5V			1	mA
I <sub>IH</sub>	High Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 2.4V			40	μA
I <sub>IL</sub>	Low Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 0.4V			−1.6	mA
I <sub>OS</sub>	Short Circuit Output Current	V <sub>CC</sub> = Max (Note 2)	DM54 −20		−55	mA
			DM74 −18		−55	
I <sub>CCH</sub>	Supply Current with Outputs High	V <sub>CC</sub> = Max		15	22	mA
I <sub>CCL</sub>	Supply Current with Outputs Low	V <sub>CC</sub> = Max		23	38	mA

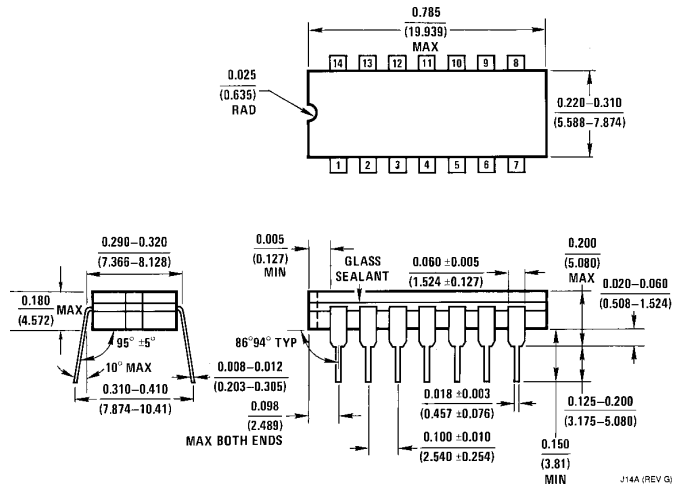
## Switching Characteristics at V<sub>CC</sub> = 5V and T<sub>A</sub> = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	Conditions	Min	Max	Units
t <sub>PLH</sub>	Propagation Delay Time Low to High Level Output	C <sub>L</sub> = 15 pF R <sub>L</sub> = 400Ω		15	ns
t <sub>PHL</sub>	Propagation Delay Time High to Low Level Output			22	

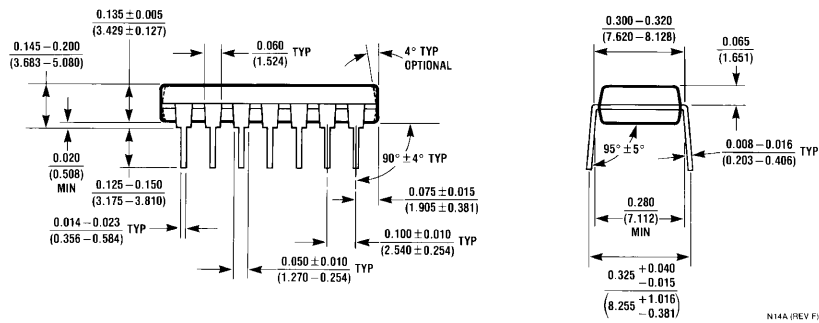
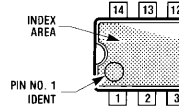
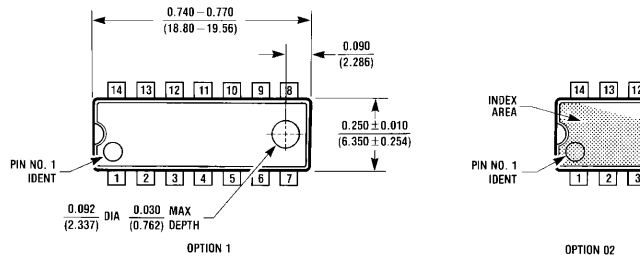
Note 1: All typicals are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.

Note 2: Not more than one output should be shorted at a time.

**Physical Dimensions** inches (millimeters)



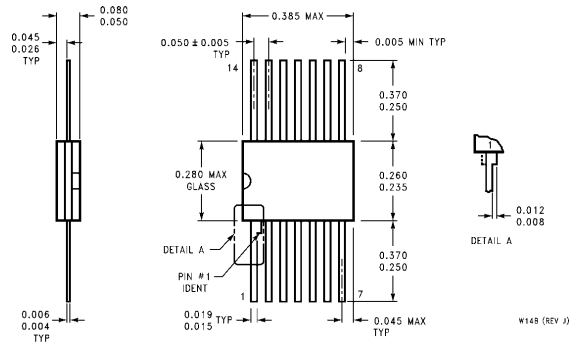
**14-Lead Ceramic Dual-In-Line Package (J)**  
**Order Number 5432DMQB or DM5432J**  
**NS Package Number J14A**



**14-Lead Molded Dual-In-Line Package (N)**  
**Order Number DM7432N**  
**NS Package Number N14A**



**Physical Dimensions** inches (millimeters) (Continued)



**14-Lead Ceramic Flat Package (W)**  
**Order Number 5432FMQB or DM5432W**  
**NS Package Number W14B**

**LIFE SUPPORT POLICY**

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



**National Semiconductor Corporation**  
 1111 West Bardin Road  
 Arlington, TX 76017  
 Tel: 1(800) 272-9959  
 Fax: 1(800) 737-7018

**National Semiconductor Europe**  
 Fax: (+49) 0-180-530 85 86  
 Email: cnjwge@tevm2.nsc.com  
 Deutsch Tel: (+49) 0-180-530 85 85  
 English Tel: (+49) 0-180-532 78 32  
 Français Tel: (+49) 0-180-532 93 58  
 Italiano Tel: (+49) 0-180-534 16 80

**National Semiconductor Hong Kong Ltd.**  
 19th Floor, Straight Block,  
 Ocean Centre, 5 Canton Rd.  
 Tsimshatsui, Kowloon  
 Hong Kong  
 Tel: (852) 2737-1600  
 Fax: (852) 2736-9960

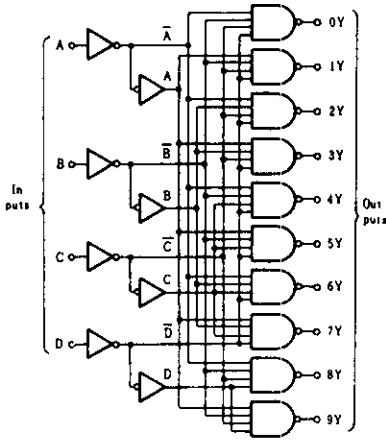
**National Semiconductor Japan Ltd.**  
 Tel: 81-043-299-2309  
 Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

# HD74LS42 ●BCD-to-Decimal Decoder

This monolithic decimal decoder consists of eight inverters and ten four-input NAND gates. The inverters are connected in pairs to make BCD input data available for decoding by NAND gates. Full decoding of valid input logic ensures that all outputs remain off for all invalid input conditions.

## ■BLOCK DIAGRAM

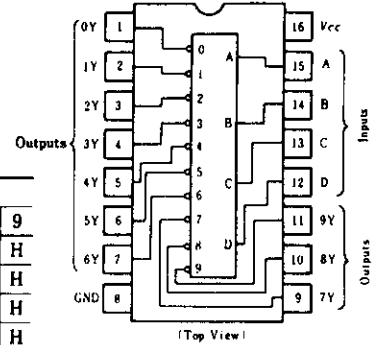


## ■FUNCTION TABLE

No.	BCD Input				Decimal Output										
	D	C	B	A	0	1	2	3	4	5	6	7	8	9	
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H
8	H	L	L	L	H	H	H	H	H	H	H	H	L	H	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L	L
INVALID	H	L	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

H; high level, L; low level

## ■PIN ARRANGEMENT



## ■ELECTRICAL CHARACTERISTICS (Ta = -20 ~ +75°C)

Item	Symbol	Test Conditions	min	typ*	max	Unit	
Input voltage	$V_{IH}$		2.0	—	—	V	
	$V_{IL}$		—	—	0.8	V	
Output voltage	$V_{OH}$	$V_{CC}=4.75V, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=-400\mu A$	2.7	—	—	V	
	$V_{OL}$	$V_{CC}=4.75V, V_{IH}=2V, V_{IL}=0.8V$	$I_{OL}=8mA$	—	—	0.5	V
			$I_{OL}=4mA$	—	—	0.4	V
Input current	$I_{IH}$	$V_{CC}=5.25V, V_I=2.7V$	—	—	20	$\mu A$	
	$I_{IL}$	$V_{CC}=5.25V, V_I=0.4V$	—	—	-0.4	mA	
	$I_I$	$V_{CC}=5.25V, V_I=7V$	—	—	0.1	mA	
Short-circuit output current	$I_{OS}$	$V_{CC}=5.25V$	-20	—	-100	mA	
Supply current	$I_{CC}^{**}$	$V_{CC}=5.25V$	—	7	13	mA	
Input clamp voltage	$V_{IK}$	$V_{CC}=4.75V, I_{IN}=-18mA$	—	—	-1.5	V	

\*  $V_{CC}=5V, T_a=25^\circ C$

\*\*  $I_{CC}$  is measured with all outputs open and all inputs grounded.

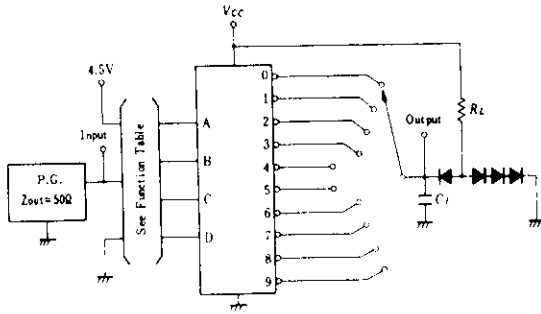
# HD74LS42

## SWITCHING CHARACTERISTICS ( $V_{CC}=5V$ , $T_a=25^\circ C$ )

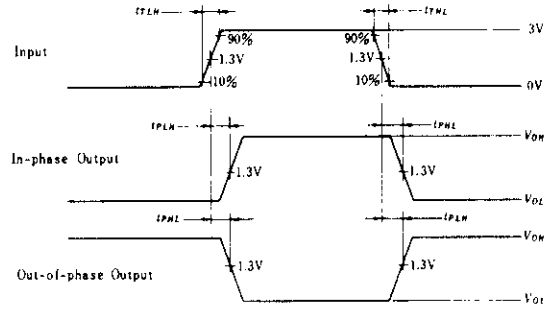
Item	Symbol	Test Conditions	min	typ	max	Unit
Propagation delay time	2 Stage	$C_L=15pF$ , $R_L=2k\Omega$	—	15	25	ns
	3 Stage		—	20	30	
	2 Stage		—	15	25	ns
	3 Stage		—	20	30	

## TESTING METHOD

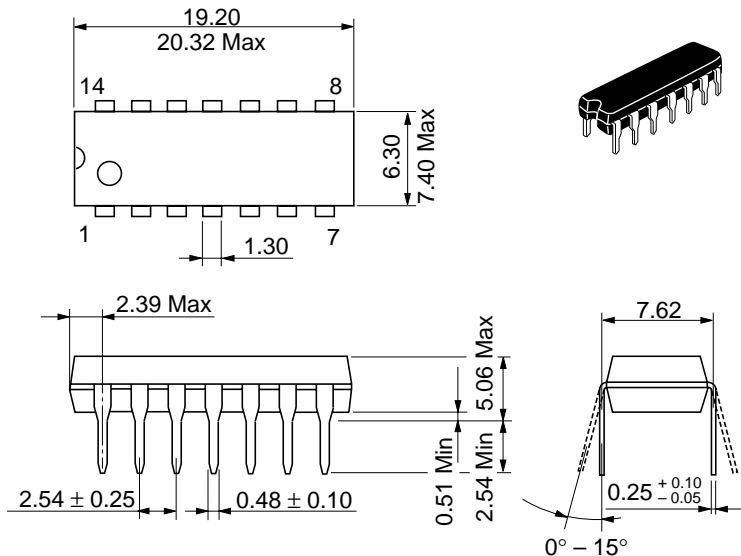
### 1) Test Circuit



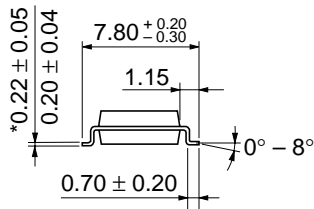
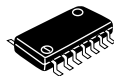
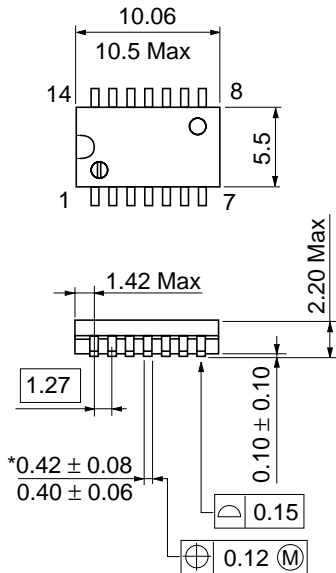
### Waveform



Input pulse:  $t_{TLH} \leq 15ns$ ,  $t_{THL} \leq 6ns$ ,  $PRR=1MHz$ ,  
duty cycle 50%.

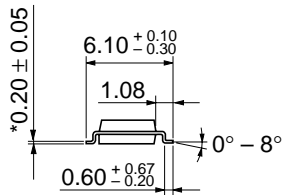
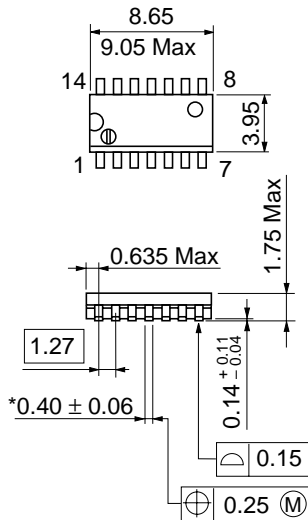


Hitachi Code	DP-14
JEDEC	Conforms
EIAJ	Conforms
Weight (reference value)	0.97 g



Hitachi Code	FP-14DA
JEDEC	—
EIAJ	Conforms
Weight (reference value)	0.23 g

\*Dimension including the plating thickness  
Base material dimension



Hitachi Code	FP-14DN
JEDEC	Conforms
EIAJ	Conforms
Weight (reference value)	0.13 g

## Cautions

1. Hitachi neither warrants nor grants licenses of any rights of Hitachi's or any third party's patent, copyright, trademark, or other intellectual property rights for information contained in this document. Hitachi bears no responsibility for problems that may arise with third party's rights, including intellectual property rights, in connection with use of the information contained in this document.
2. Products and product specifications may be subject to change without notice. Confirm that you have received the latest product standards or specifications before final design, purchase or use.
3. Hitachi makes every attempt to ensure that its products are of high quality and reliability. However, contact Hitachi's sales office before using the product in an application that demands especially high quality and reliability or where its failure or malfunction may directly threaten human life or cause risk of bodily injury, such as aerospace, aeronautics, nuclear power, combustion control, transportation, traffic, safety equipment or medical equipment for life support.
4. Design your application so that the product is used within the ranges guaranteed by Hitachi particularly for maximum rating, operating supply voltage range, heat radiation characteristics, installation conditions and other characteristics. Hitachi bears no responsibility for failure or damage when used beyond the guaranteed ranges. Even within the guaranteed ranges, consider normally foreseeable failure rates or failure modes in semiconductor devices and employ systemic measures such as fail-safes, so that the equipment incorporating Hitachi product does not cause bodily injury, fire or other consequential damage due to operation of the Hitachi product.
5. This product is not designed to be radiation resistant.
6. No one is permitted to reproduce or duplicate, in any form, the whole or part of this document without written approval from Hitachi.
7. Contact Hitachi's sales office for any questions regarding this document or Hitachi semiconductor products.

# HITACHI

## Hitachi, Ltd.

Semiconductor & Integrated Circuits.  
Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100-0004, Japan  
Tel: Tokyo (03) 3270-2111 Fax: (03) 3270-5109

URL      North America      : <http://semiconductor.hitachi.com/>  
             Europe                 : <http://www.hitachi-eu.com/hel/ecg>  
             Asia (Singapore)      : <http://www.has.hitachi.com.sg/grp3/sicd/index.htm>  
             Asia (Taiwan)            : [http://www.hitachi.com.tw/E/Product/SICD\\_Frame.htm](http://www.hitachi.com.tw/E/Product/SICD_Frame.htm)  
             Asia (HongKong)        : <http://www.hitachi.com.hk/eng/bo/grp3/index.htm>  
             Japan                        : <http://www.hitachi.co.jp/Sicd/indx.htm>

## For further information write to:

Hitachi Semiconductor  
(America) Inc.  
179 East Tasman Drive,  
San Jose, CA 95134  
Tel: <1> (408) 433-1990  
Fax: <1> (408) 433-0223

Hitachi Europe GmbH  
Electronic components Group  
Dornacher Straße 3  
D-85622 Feldkirchen, Munich  
Germany  
Tel: <49> (89) 9 9180-0  
Fax: <49> (89) 9 29 30 00

Hitachi Europe Ltd.  
Electronic Components Group.  
Whitebrook Park  
Lower Cookham Road  
Maidenhead  
Berkshire SL6 8YA, United Kingdom  
Tel: <44> (1628) 585000  
Fax: <44> (1628) 778322

Hitachi Asia Pte. Ltd.  
16 Collyer Quay #20-00  
Hitachi Tower  
Singapore 049318  
Tel: 535-2100  
Fax: 535-1533

Hitachi Asia Ltd.  
Taipei Branch Office  
3F, Hung Kuo Building, No.167,  
Tun-Hwa North Road, Taipei (105)  
Tel: <886> (2) 2718-3666  
Fax: <886> (2) 2718-8180

Hitachi Asia (Hong Kong) Ltd.  
Group III (Electronic Components)  
7/F., North Tower, World Finance Centre,  
Harbour City, Canton Road, Tsim Sha Tsui,  
Kowloon, Hong Kong  
Tel: <852> (2) 735 9218  
Fax: <852> (2) 730 0281  
Telex: 40815 HITEC HX

Copyright ' Hitachi, Ltd., 1999. All rights reserved. Printed in Japan.

**HITACHI**

## DM74LS48 BCD to 7-Segment Decoder

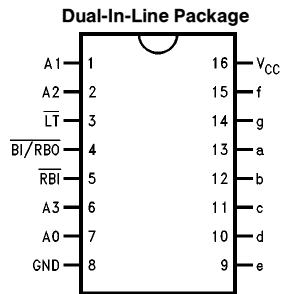
### General Description

The 'LS48 translates four lines of BCD (8421) input data into the 7-segment numeral code and provides seven corresponding outputs having pull-up resistors, as opposed to totem pole pull-ups. These outputs can serve as logic signals, with a HIGH output corresponding to a lighted lamp segment, or can provide a 1.3 mA base current to npn lamp

driver transistors. Auxiliary inputs provide lamp test, blanking and cascadable zero-suppression functions.

The 'LS48 decodes the input data in the pattern indicated in the Truth Table and the segment identification illustration.

### Connection Diagram



TL/F/10172-1

**Order Number DM74LS48M or DM74LS48N**  
**See NS Package Number M16A or N16E**



This datasheet has been downloaded from:

[www.DatasheetCatalog.com](http://www.DatasheetCatalog.com)

Datasheets for electronic components.

## Absolute Maximum Ratings (Note)

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	0°C to +70°C
DM74LS	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

## Recommended Operating Conditions

Symbol	Parameter	DM74LS48			Units
		Min	Nom	Max	
V <sub>CC</sub>	Supply Voltage	4.75	5	5.25	V
V <sub>IH</sub>	High Level Input Voltage	2			V
V <sub>IL</sub>	Low Level Input Voltage			0.8	V
I <sub>OH</sub>	High Level Output Current			-50	μA
I <sub>OL</sub>	Low Level Output Current			6.0	mA
T <sub>A</sub>	Free Air Operating Temperature	0		70	°C

## Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V <sub>I</sub>	Input Clamp Voltage	V <sub>CC</sub> = Min, I <sub>I</sub> = -18 mA			-1.5	V
V <sub>OH</sub>	High Level Output Voltage	V <sub>CC</sub> Min, I <sub>OH</sub> = Max, V <sub>IL</sub> = Max	2.4			V
I <sub>OFF</sub>	Output High Current Segment Outputs	V <sub>CC</sub> = Min, V <sub>O</sub> = 0.85V	-1.3			mA
V <sub>OL</sub>	Low Level Output Voltage	V <sub>CC</sub> = Min, I <sub>OL</sub> = Max, V <sub>IH</sub> = Min			0.5	V
		I <sub>OL</sub> = 2.0 mA, V <sub>CC</sub> = Min			0.4	
I <sub>I</sub>	Input Current @ Max Input Voltage	V <sub>CC</sub> = Max, V <sub>I</sub> = 7V			0.1	mA
I <sub>IH</sub>	High Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 2.7V			20	μA
I <sub>IL</sub>	Low Level Input Current	V <sub>CC</sub> = Max, V <sub>I</sub> = 0.4V			-0.4	mA
I <sub>OS</sub>	Short Circuit Output Current	V <sub>CC</sub> = Max, V <sub>O</sub> = 0V at BI/RB $\bar{O}$ (Note 2)	-0.3		-2	mA
I <sub>CCH</sub>	Supply Current	V <sub>CC</sub> = Max, V <sub>IN</sub> = 4.5V			38	mA

Note 1: All typicals are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.

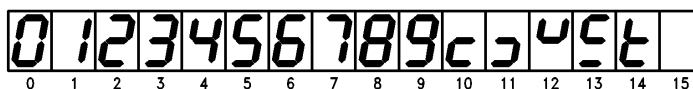
Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

## Switching Characteristics at V<sub>CC</sub> = 5V and T<sub>A</sub> = 25°C

Symbol	Parameter	C <sub>L</sub> = 15 pF		Units
		Min	Max	
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay Time A <sub>n</sub> to a-g		100 100	ns
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay Time RB $\bar{I}$ to a-f		100 100	ns

Note:  $\bar{T}$  = HIGH, A<sub>0</sub>-A<sub>3</sub> = HIGH.

### Numerical Designations—Resultant Displays



TL/F/10172-4

### Truth Table

Decimal Or Function	Inputs						Outputs							
	$\overline{LT}$	$\overline{RBI}$	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	$\overline{BI/RBO}$	a	b	c	d	e	f	g
0 (Note 1)	H	H	L	L	L	L	H	H	H	H	H	H	H	L
1 (Note 1)	H	X	L	L	L	H	H	L	H	H	L	L	L	L
2	H	X	L	L	H	L	H	H	H	L	H	H	L	H
3	H	X	L	L	H	H	H	H	H	H	H	L	L	H
4	H	X	L	H	L	L	H	L	H	H	L	L	H	H
5	H	X	L	H	L	H	H	H	L	H	H	L	H	H
6	H	X	L	H	H	L	H	L	L	H	H	H	H	H
7	H	X	L	H	H	H	H	H	H	H	L	L	L	L
8	H	X	H	L	L	L	H	H	H	H	H	H	H	H
9	H	X	H	L	L	H	H	H	H	H	L	L	H	H
10	H	X	H	L	H	L	H	L	L	L	H	H	L	H
11	H	X	H	L	H	H	H	L	L	H	H	L	L	H
12	H	X	H	H	L	L	H	L	H	L	L	L	H	H
13	H	X	H	H	L	H	H	H	L	L	H	L	H	H
14	H	X	H	H	H	L	H	L	L	L	H	H	H	H
15	H	X	H	H	H	H	H	L	L	L	L	L	L	L
$\overline{BI}$ (Note 2)	X	X	X	X	X	X	L	L	L	L	L	L	L	L
$\overline{RBI}$ (Note 3)	H	L	L	L	L	L	L	L	L	L	L	L	L	L
$\overline{LT}$ (Note 4)	L	X	X	X	X	X	H	H	H	H	H	H	H	H

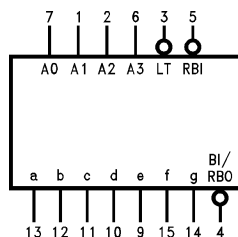
**Note 1:**  $\overline{BI/RBO}$  is wired-AND logic serving as blanking input ( $\overline{BI}$ ) and/or ripple-blanking output ( $\overline{RBO}$ ). The blanking out ( $\overline{BI}$ ) must be open or held at a HIGH level when output functions 0 through 15 are desired, and ripple-blanking input ( $\overline{RBI}$ ) must be open or at a HIGH level if blanking of a decimal 0 is not desired. X = input may be HIGH or LOW.

**Note 2:** When a LOW level is applied to the blanking input (forced condition) all segment outputs go to a LOW level, regardless of the state of any other input condition.

**Note 3:** When ripple-blanking input ( $\overline{RBI}$ ) and inputs A<sub>0</sub>, A<sub>1</sub>, A<sub>2</sub>, and A<sub>3</sub> are at LOW level, with the lamp test input at HIGH level, all segment outputs go to a LOW level and the ripple-blanking output ( $\overline{RBO}$ ) goes to a LOW level (response condition).

**Note 4:** When the blanking input/ripple-blanking output ( $\overline{BI/RBO}$ ) is open or held at a HIGH level, and a LOW level is applied to lamp test input, all segment outputs go to a HIGH level.

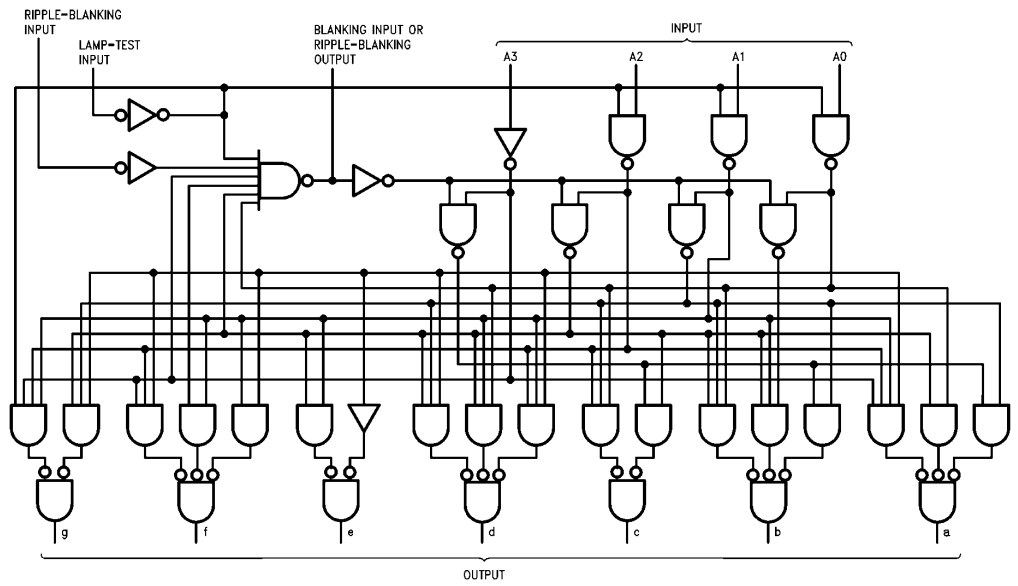
### Logic Symbol



TL/F/10172-2

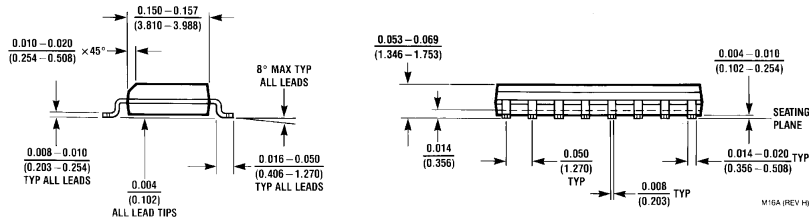
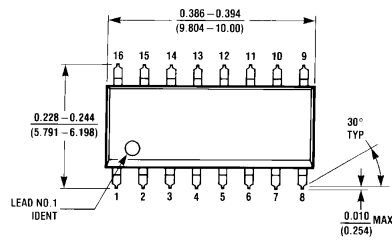
V<sub>CC</sub> = Pin 16  
GND = Pin 8

# Logic Diagram



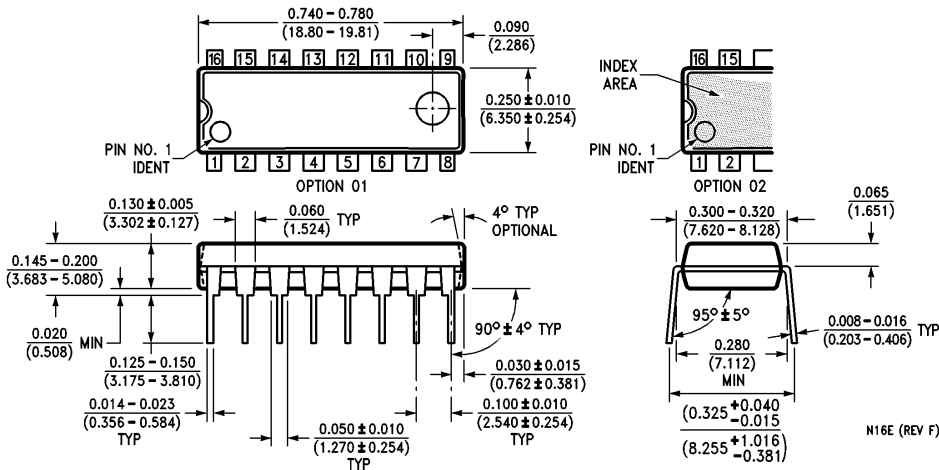
TL/F/10172-3

**Physical Dimensions** inches (millimeters)



**16-Lead Small Outline Molded Package (M)**  
**Order Number DM74LS48M**  
**NS Package Number M16A**

**Physical Dimensions** inches (millimeters) (Continued)



**16-Lead Molded Dual-In-Line Package (N)**  
**Order Number DM74LS48N**  
**NS Package Number N16E**

**LIFE SUPPORT POLICY**

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



**National Semiconductor Corporation**  
 1111 West Bardin Road  
 Arlington, TX 76017  
 Tel: 1(800) 272-9959  
 Fax: 1(800) 737-7018

**National Semiconductor Europe**  
 Fax: (+49) 0-180-530 85 86  
 Email: cnjwge@tevm2.nsc.com  
 Deutsch Tel: (+49) 0-180-530 85 85  
 English Tel: (+49) 0-180-532 78 32  
 Français Tel: (+49) 0-180-532 93 58  
 Italiano Tel: (+49) 0-180-534 16 80

**National Semiconductor Hong Kong Ltd.**  
 19th Floor, Straight Block,  
 Ocean Centre, 5 Canton Rd.  
 Tsimshatsui, Kowloon  
 Hong Kong  
 Tel: (852) 2737-1600  
 Fax: (852) 2736-9960

**National Semiconductor Japan Ltd.**  
 Tel: 81-043-299-2309  
 Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

## BIBLIOGRAFÍA

- [1] Texas Instruments, The TTL Data Book for Design Engineers, Second Edition, 1981
- [2] Millman J, Electrónica Integrada, Editorial McGraw Hill, 1991
- [3] Boylestad R, Electrónica. Teoría de circuitos, Editorial Prentice Hall, 2000.
- [4] Wikipedia, Line Code; [http://en.wikipedia.org/wiki/Line\\_code](http://en.wikipedia.org/wiki/Line_code), 13 de Septiembre del 2009
- [5] Zañartu, M, Aplicaciones del análisis acústico en los estudios de la voz humana, <http://web.ics.purdue.edu/~mzanartu/Documents/Paper%20-%20Análisis%20voz%20humana%202003.pdf>
- [6] González M, Circuitos digitales; <http://www.monografias.com>, 15 de Octubre de 2009
- [7] © 2007 Images SI, Inc, Build a Speech Recognition Circuit, <http://www.imagesco.com/articles/hm2007/SpeechRecognitionTutorial02.html>, 10 de Octubre del 2009