“Diseño e implementación en FPGA’s de un sistema escalable Modulador/Demodulador OFDM, como herramienta académica e investigativa”

Fauzi Nemer, PHD. Boris Ramos
Boris Ramos es Ph.D. en Planificación y Regulación de Telecomunicaciones y Dinámica de Sistemas en el Worcester Polytechnic Institute. Él es el Coordinador y Profesor de la Carrera Ingeniería en Telecomunicaciones en la Escuela Superior Politécnica del Litoral (ESPOL). Él tiene un grado de Maestría en Ciencias de la Computación en Worcester Polytechnic Institute, un MBA de la ESPOL y el Instituto Tecnológico de Monterrey.
Ingeniería en Electrónica y Telecomunicaciones
Facultad de Ingeniería en Electricidad y Computación (FIEC)
Escuela Superior Politécnica del Litoral (ESPOL)
Campus Gustavo Galindo, Km 30.5 vía Perimetral
Apartado 09-01-5863. Guayaquil, Ecuador
fnemer@conecel.com, bramos@espol.edu.ec

Resumen

Debido a la diversidad de frecuencia y a los efectos del prefijo cíclico sobre el ISI, OFDM es ampliamente estudiado como base de soluciones banda ancha en ambientes selectivos. Por esta razón, este proyecto pretende iniciar un estudio profundo en esta área. El sistema implementado está constituido por 4 bloques principales: Transmisor (TX), Receptor (RX), Clocking y Settings. El bloque Settings define y proporciona a los demás bloques las especificaciones básicas. El Clocking se encarga de la sincronía del sistema mediante la distribución de los diferentes relojes del sistema. El TX se encarga de formar y emitir los bloques OFDM conformados por los símbolos de training y de datos en el tiempo. Finalmente, el RX se encarga de la recuperación de los datos transmitidos en los símbolos de datos. Es posible dividir las pruebas del sistema en tres partes. La primera se encarga de evaluar el rango de frecuencia de operación del sistema en función de sus diferentes parámetros. La segunda parte, explora el proceso de generación de los bloques OFDM. Finalmente, en la tercera parte se evaluarán los datos recuperados en perfecta sincronía y ante la presencia de un desplazamiento en el tiempo (TOE) provocado.

Abstract

Due to frequency diversity and the effects of the cyclical prefix on the ISI, OFDM is widely studied as base of broadband solutions in selective environments. For this reason, this project tries to initiate a deep study in this area. The implemented system is constituted by 4 principal blocks: Transmitter (TX), Receiver (RX), Clocking and Settings. The settings block define and provide the basics specifications to the rest of the blocks. The Clocking takes charge of the system synchronization by the distribution of the different clocks. The TX takes charge forming and emitting the OFDM blocks shaped by training and data symbols in time. Finally, the RX takes charge of the recovery of the data carried in the data symbols. It is possible to divide the system testing in three parts. The first part evaluates the frequency operation range depending on the different system parameters. The second part explores the symbol generation process of the OFDM blocks. Finally, in the third part, the recovered data will be evaluated in perfect synchrony and before the presence of a provoked timing offset error (TOE).

Palabras Claves: *OFDM, FPGA, DSP, TOE, FFT, VHDL, Synchronization, Equalization*

1. Introducción

Las exigencias actuales del mercado de las Telecomunicaciones provocan una visible tendencia a la banda ancha. No obstante, en algunos casos su implementación puede resultar técnicamente complicada, lo cual se ve reflejado en altos costos, provocando una demanda y servicio insatisfecho. En los países en vías de desarrollo como el nuestro esta situación es más notoria, dejando consecuencias nefastas en el campo de la educación, pilar fundamental para el desarrollo de los pueblos.

Las comunicaciones inalámbricas han brindado una solución parcial, dado que su alcance es más versátil por no necesitar infraestructura física entre los puntos. Sin embargo, este tipo de implementación es accesible para apenas un 30% de los posibles suscriptores debido a la exigencia de línea de vista. Orientados a este problema, las soluciones basadas en el esquema OFDM son objeto de continuo estudio y desarrollo alrededor del mundo.

Por esta razón, el presente proyecto de tesis tiene como objetivo iniciar una investigación seria en esta área, tomando a OFDM como posible solución de banda ancha en ambientes selectivos. Para lograr este objetivo, nuestro estudio se basa en el uso de FPGAs, dada la versatilidad de este integrado programable como elemento de diseño y desarrollo. De esta forma, nuestra meta puntual será el diseño e implementación de un sistema Modulador/Demodulador OFDM mediante el uso de FPGAs. Por otra parte, el diseño del mismo debe de garantizar la escalabilidad a mediano y largo plazo ya que nuestro objetivo final es dejar fundada las bases para futuros análisis. Debido a esto, el esquema resultante debe tener como objetivo constituirse en una herramienta académica e investigativa que fomente los futuros estudios en el área.

2. OFDM y el estándar IEEE 802.16

OFDM es una técnica de modulación que consiste en dividir una señal de banda ancha en N subportadoras ortogonales. En sistemas inalámbricos Multitrayectoria de banda ancha, esta técnica es usualmente preferida sobre las soluciones de portadora simple. Esto se debe a que la combinación de la diversidad en frecuencia que provee OFDM con la técnica del prefijo cíclico permite una mayor robustez en esto tipo de ambientes selectivos [1].

El hecho de dividir el ancho de banda del símbolo OFDM en N subportadoras implica que cada subportadora tendrá la N-ésima parte del ancho de banda del símbolo completo. Si analizamos que el desvanecimiento de frecuencia selectiva en corta escala, se da en una señal cuando el ancho de banda de la misma es mayor al ancho de banda de coherencia, se puede fácilmente concluir que dependiendo del N cualquier canal que experimente un desvanecimiento de frecuencia selectiva, puede dividirse en múltiples canales con desvanecimiento plano. El desvanecimiento de frecuencia selectiva debe evitarse a toda costa ya que produce ISI y un irreducible BER [2] [3] [4].

Sin embargo, el hecho de aumentar deliberadamente el N tiene serias desventajas ya que mientras mayor sea N, mas difícil será mantener la ortogonalidad entre las subportadoras. Este es un asunto crítico ya que la ortogonalidad permite al sistema OFDM estar libre de ICI. Por esta razón, se utiliza un prefijo cíclico que consiste en concatenar al inicio del símbolo OFDM un prefijo cíclico que esta formado por los últimos puntos de dicho símbolo. El objetivo de este método es el de disminuir el ISI mediante la espera de un tiempo, para que los componentes Multitrayectoria correspondientes al símbolo anterior sean descartados. Es decir, el receptor debe de esperar un tiempo de guarda T_g para tomar en cuenta los datos a demodular. Para que esta técnica tenga completo éxito, el tiempo de guarda debe ser mayor al esparcimiento del retardo del canal.

En realidad, el intervalo de guarda puede realizarse mediante relleno de ceros. Sin embargo, el uso del prefijo cíclico tiene la propiedad de transformar la convolución lineal con el canal en una convolución circular [5]. Esta propiedad permite la implementación de ecualizadores en el dominio del tiempo que tienen la función de acortar la respuesta efectiva al impulso del canal, reduciendo valor requerido para T_g, ganando así eficiencia en el sistema.

2.1 El estándar IEEE 802.16

Una de las razones por la cual el estándar IEEE 802.16 es objeto de continuo estudio, es su capacidad de implementar banda ancha en ambientes inalámbricos sin línea de vista (NLOS). El éxito de Wimax (que recoge las especificaciones del IEEE 802.16 y su equivalente de la ETSI [6] para soluciones fijas inalámbricas) ha provocado una inmensa escalada de estudios investigativos alrededor de OFDM como base de soluciones banda ancha, en ambientes donde la implementación inalámbrica era impensable. Debido a esto, en nuestro estudio se ha tomado como referencia principal las especificaciones de la capa física del estándar para aplicaciones WirelessMan OFDM [7]. La forma de onda OFDM es creada mediante el uso de la IFFT. El tiempo de duración de la señal resultante es conocido como tiempo de símbolo útil T_b. Con el objetivo de recolectar las componentes multitrayectoria de la señal recibida, el método de inserción de guarda es implementado mediante la inserción de un prefijo cíclico. Este prefijo es formado por la fracción del símbolo útil en los últimos instantes T_g (fig. 1).

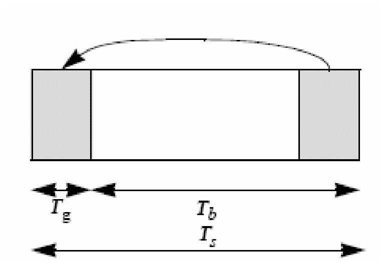

Figura 1. Símbolo OFDM en el dominio del tiempo

Otra ventaja del prefijo cíclico es que si el receptor comete un error en la sincronización de datos e interpreta el inicio de señal durante la guarda, el efecto en frecuencia sería un desfase determinado por la frecuencia de la subportadora y el tiempo del desfase en el dominio del tiempo. Si en vez del prefijo cíclico se utilizaría un relleno con cero, el efecto en la salida de la FFT fuera indeterminado.

Tabla I. Parámetros del Símbolo OFDM en el estándar IEEE 802.16

Parámetro	Valor
NFFT	256
N_{Used}	200
G	1/4, 1/8, 1/16, 1/32
Subportadoras de guarda en frecuencias inferiores	28
Subportadoras de guarda en frecuencias Superiores	27
Indices K de subportadoras de guarda	-128,-127,…,-101 +101,+102,…,127
Indices k de subportadoras de piloto	-88,-63,-38,-13,13,38,63,88

A pesar de esto, es importante tener en cuenta que la implementación de la guarda conlleva una perdida de E_b / N_0 y SNR ya que en el tiempo T_g se transmite energía que no será utilizada en el receptor. Debido a esto, tampoco es deseable que T_g sea muy elevado.

Por otro lado, en el dominio de la frecuencia el símbolo OFDM esta conformado por NFFT subportadoras. En el caso de los símbolos de datos estas subportadoras se dividen en tres grupos: datos, pilotos y nulas. El parámetro NFFT corresponde al número de puntos de la IFFT y corresponde a 256.

En la etapa de codificación de canal, el estándar especifica las técnicas utilizadas para la Aleatorización, FEC, Intercalado, Modulación y estructura del preámbulo. Para la modulación de datos, el estándar especifica la implementación de BPSK, QPSK, 16-QAM y 64-QAM en código gray. La utilización de 64-QAM es opcional para el caso de las bandas no licenciadas. Por otra parte, las subportadoras de pilotos siempre son moduladas en BPSK y su valor corresponde a la secuencia mostrada en (1), donde ω_k por la secuencia pseudos aleatoria definida por X11 + X9 + 1.

DL: $C_{-88} = C_{-38} = C_{63} = C_{88} = 1 - 2\omega_k$ y
$C_{-63} = C_{-13} = C_{13} = C_{38} = 1 - 2\overline{\omega}_k$

UL: $C_{-63} = C_{-13} = 1 - 2\overline{\omega}_k$ y
$C_{-88} = C_{-38} = C_{13} = C_{38} =$
$C_{63} = C_{88} = 1 - 2\overline{\omega}_k$ (1)

En lo referente a los preámbulos utilizados en el estándar, todos están conformados por uno o dos símbolos OFDM con ciertas características de periocidad. Dichos símbolos siempre son tomados de un símbolo referencial, de tal forma de que dependiendo el caso se utilizan las portadoras pares o impares.

3. Especificaciones de Diseño

El sistema OFDM solamente abarca la parte DSP y para la implementación hace uso del algoritmo de la IFFT/FFT. El número de puntos de la FFT corresponde al valor NFFT definido en la tabla I. Por otra parte, las salidas del transmisor y las entradas del receptor son expresadas a través de las señales I y Q.

El Transmisor se encarga de producir los símbolos, los cuales a su vez forman los denominados bloques OFDM. Los bloques están formados por dos tipos de símbolos OFDM: los símbolos de Training y los Símbolos de Datos. Los Símbolos de Training conforman la cabecera del bloque y corresponden al símbolo referencial de preámbulo proveído por el IEEE 802.16. Los símbolos de Datos llevan la información de los datos codificados y tienen la estructura definida en la tabla I. Para la conformación de los símbolos en el tiempo, la técnica del prefijo cíclico es utilizada tanto en los símbolos de training como de datos.

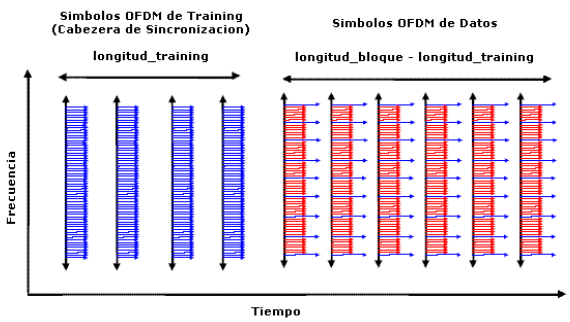

Figura 2. Estructura en tiempo y frecuencia del bloque OFDM transmitido.

La codificación de canal utilizada se limita a modular los bits de entrada en modulación BPSK, QPSK, 16QAM, 64QAM y 256QAM en codigo gray. Por otra parte, dadas las especificaciones del IEEE 802.16, para la modulación de los pilotos siempre se utiliza modulación BPSK mientras que para el training se usa QPSK.

El sistema propuesto no abarca el proceso de sincronización entre el TX y el RX. A pesar de esto, como se ha mencionado con anterioridad, para base de futuros proyectos el TX tiene la funcionalidad de crear los símbolos de Training necesarios para la sincronización. La detección del inicio del símbolo útil es simulada mediante una señal de control conectada directamente entre el TX y el RX.

El sistema ha sido diseñado de forma modular y parametrizable, esto con el objetivo de potencializar su escalabilidad. Así, el sistema implementado está constituido por 4 bloques principales: Transmisor (TX), Receptor (RX), Clocking y Settings.

3.1 Bloque "Settings"

El bloque "settings" se encarga de definir y proporcionar a los demás bloques las especificaciones básicas del sistema. La tabla II especifica los puertos de salida del bloque e indica la definición de cada uno de sus parámetros. Los parámetros son especificados en VHDL, por esta razón son estáticos y para hacer algún tipo de cambio debe realizarse nuevamente el proceso de Síntesis e Implementación. Este bloque es completamente independiente del TX y el RX, por lo cual se facilitan futuras adecuaciones, estudios e implementaciones de dichos bloques

Tabla II Puertos del bloque Settings

Nombre	**Descripciòn**
Dim_guarda	Dimensión del prefijo cíclico. Valores válidos entre 0 y NFFT.
NFFT	Número de puntos de la FFT. Valor valido: 8 Puerto para usos futuros.
Longitud_training	Numero de símbolos de training. Valores validos: entre 0 y Longitud_bloque.
Logintud_bloque	Numero de símbolos OFDM del bloque. Valores validos: entre 0 y 256.
Codec_bit	Número de bits codificados. Valores validos: 1, 2, 4, 6 y 8.

3.2 Bloque "Clocking"

El bloque de clocking se encarga de la sincronía del sistema mediante la distribución de los diferentes relojes al Transmisor y al Receptor. Debido a que en esta implementación se utilizan 5 diferentes tipos de modulaciones de forma serial, este bloque debe de trabajar con 5 tipos de frecuencia de operación.

Para la generación de estas señales de reloj se ha utilizado un sistema de habilitadores, en el cual solo se utiliza una sola señal de reloj. Esta opción ha sido preferida ante la implementación de un sistema multiplexado de diferentes relojes. Esto se debe a los problemas de sincronía y de síntesis que implica la multiplexación. La selección de relojes provoca que el sintetizador del código VHDL interprete las señales de reloj como combinatoriales. Esto debe evitarse a toda costa ya que la frecuencia máxima y por ende el desenpeño del sistema decae substancialmente.

En base de esto, se tiene el efecto de dos señales de reloj que determinan la tasa de muestreo y de datos. Las ecuaciones (2) y (3) reflejan el valor en frecuencia de estos dos relojes lógicos. El valor CLK corresponde a la frecuencia del reloj del sistema, mientras que Div es un parámetro de diseño que no puede ser menor al máximo Codec_bit usado.

$$Simbol\_rate = \frac{CLK}{Div} \qquad (2)$$

$$Data\_rate = Codec\_bit * \frac{CLK}{Div} \qquad (3)$$

3.3 Bloque "Transmisor"

El TX se encarga de formar y mostrar los bloques en OFDM en el dominio del tiempo a partir de una entrada binaria. Esta entrada es producida mediante la implementación de un secuenciador pseudoaleatorio. Dicha secuencia es alimentada al bloque del codificador, el cual se encarga de producir las constelaciones nativas c_k de datos. En el mismo nivel podemos observar los bloques de training y "pilotos y guarda", que como sus nombres lo indican están encargados de producir las constelaciones nativas c_k de training, pilotos y guarda respectivamente.

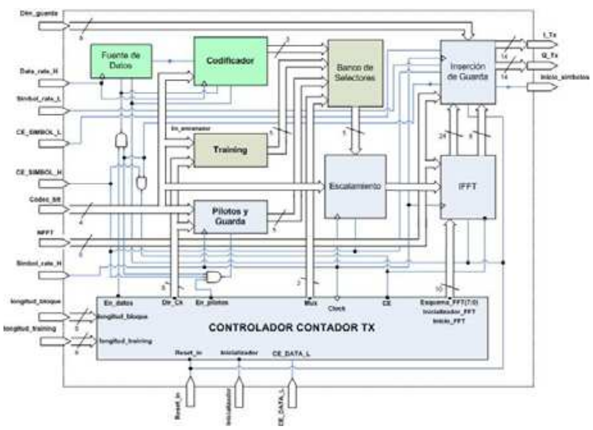

Figura 3. Diagrama de bloques del TX

Para el entramado de los datos en el dominio de la frecuencia, el controlador del TX (Controlador Contador TX) hace uso del banco de selectores y de los tres bloques expuestos anteriormente. El control de dichos bloques lo realiza a través de las señales mux, dir_Ck y los habilitadores (En_pilotos, En_datos). Antes de iniciar con el entramado, el controlador se encargar de inicializar el bloque IFFT. Para esta finalidad hace uso de las señales esquema_FFT, Inicializador_FFT e Inicio_FFT.

Posteriormente, comienza el entramado teniendo en cuenta la longitud del bloque y del training. El controlador tienes dos contadores internos encargados de contabilizar el índice k de la subportadora C_k (dir_Ck) y el número de símbolo producido en el bloque. Si el símbolo corresponde al training, el banco selector muestra en su salida las componentes c_k del bloque de training. Por otra parte, si el controlador evalúa que el símbolo es de datos, este habilita la señal en_pilotos (solamente un flanco de reloj por símbolo de datos) y muestra a la salida del banco de selectores las señales correspondientes al bloque codificador o "Pilotos y Guarda" en función del contador interno del índice k. De esta forma en la entrada del bloque de escalamiento se tiene el símbolo OFDM en el dominio de la frecuencia, formado serialmente por los diferentes componentes nativos c_k.

El bloque de escalamiento se encarga de multiplicar los valores en la entrada por un factor F en función del esquema de codificación, convirtiendo los componentes fundamentales c_k en los fasores C_k a transmitirse. La utilización del multiplicador permite el trato independiente de los bloques Codificador, Training y "Pilotos y Guarda" con los bloques IFFT e Inserción de guarda, facilitando la posible reutilización de los mismos.

El bloque IFFT se encarga de transformar el símbolo OFDM del dominio de la frecuencia al dominio del tiempo. Es decir, transforma los NFFT fasores C_k en NFFT complejos $x[n]$. Finalmente se tiene el bloque de guarda que se encarga de la inserción del prefijo cíclico a partir de la misma secuencia $\{x[n]\}$. De esta manera, los símbolos extendidos transmitidos serialmente en el tiempo son constituidos por NFFT + dim_guarda valores $x[n]$. Debido a que el entramador (el resto de los bloques) y el bloque de inserción de guarda tienen la misma frecuencia de reloj, es necesario que el bloque de guarda detenga al entramador mientras la guarda es insertada. Esto es realizado mediante la señal en_entramador que se deshabilita durante la inserción del prefijo. De igual manera, es necesario indicarle al RX el inicio de cada símbolo útil para que este pueda suplir la ausencia del sincronizador. Esta función es realizada por el bloque de inserción de guarda mediante la señal inicio_simbolo.

3.4 Bloque "Receptor"

El RX se encarga de recuperar los datos de entrada a partir del bloque OFDM transmitido. En este proceso no incluye la sincronización y por ende no utiliza ni los símbolos de training ni el prefijo cíclico. En su defecto, presume la existencia de un sincronizador externo que se encarga de determinar el inicio de un símbolo útil de datos. Dicho sincronizador se encargaría de generar una señal disparadora luego de detectar los símbolos de training y desechar la guarda de cada símbolo de datos. En definitiva, este disparador corresponde a la entrada sincronizada, que en nuestro caso, es simulada a través de la señal inicio_simbolo producida por el bloque Inserción de Guarda del TX.

Sin embargo, inicio_simbolo solamente desecha la guarda y no discrimina si el símbolo es de training o de datos. Esto es solucionado gracias al controlador de datos del RX que asume la existencia de una secuencia de cabecera. Así, la decodificación de datos no es habilitada cuando se esta procesando la cabecera, es decir cuando el índice del símbolo en un bloque es menor o igual a la dimensión de la cabecera. De aquí tenemos que los símbolos de esta cabecera si son transformados al dominio de la frecuencia pero no son decodificados. Esto implica que en nuestro caso se define a esta dimensión de cabecera con el mismo valor de la dimensión del training. Así, los símbolos del training no afectan la recuperación de los datos e inclusive es posible observar al training recuperado en el dominio de la frecuencia. Para el caso de que se implemente un sincronizador como el especificado en la parte superior, bastaría simplemente con redefinir la dimensión del preámbulo con un valor de cero en el controlador de datos del RX.

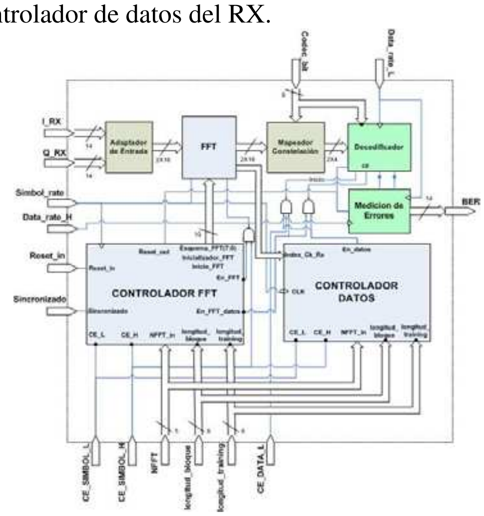

Figura 4. Diagrama de bloques del RX

Una vez que el disparador de entrada indica el inicio del símbolo útil, este debe ser transformado al dominio de la frecuencia por el bloque FFT. Así, a la salida de la transformada se tiene la secuencia fasorial recuperada $\{\tilde{C}_k\}$. Cada fasor $\tilde{C}_k$ es enrutado al bloque combinatorial mapeador de constelación que se encarga de transformar el fasor recuperado al componente $\tilde{c}_k$ correspondiente, esto acorde a las especificaciones de las constelaciones utilizadas y al factor F del bloque multiplicador de escalamiento en el TX. Gracias al mapeador de constelación el decodificador ha sido diseñado de una manera independiente, apegada al estándar y en perfecta correspondencia con el codificador del TX.

Como resultado, a la salida del decodificador se tienen los bits recuperados y una señal disparadora que indica cuando un nuevo bit es decodificado. Finalmente, estas señales son direccionadas al bloque de detección de errores que se encarga de regenerar la secuencia transmitida y compararla con la secuencia recuperada para medir el BER.

Para la realización del proceso indicado en la parte superior es fundamental el uso de los dos controladores del RX: controlador FFT y controlador de datos. Como su nombre lo indica, el controlador FFT se encarga de inicializar el core FFT, así como indicarle cuando debe procesar en función de la entrada disparadora "sincronizado". Por su parte, el controlador de datos se encarga de generar el habilitador en_datos para el decodificador tomando en cuenta el índice del símbolo y el índice de la subportadora procesada.

4. Pruebas del sistema

De manera general es posible dividir las pruebas realizadas en tres partes: Frecuencia de Operación del Sistema implementado, generación de los símbolos y bloques OFDM y evaluación de los datos recuperados. La primera se encarga de evaluar el rango de frecuencia de operación del sistema en función de sus diferentes parámetros. La segunda parte, explora el proceso de generación de los bloques OFDM. Finalmente, en la tercera parte se evaluarán los datos recuperados en perfecta sincronía y ante la presencia de un desplazamiento en el tiempo (TOE) provocado.

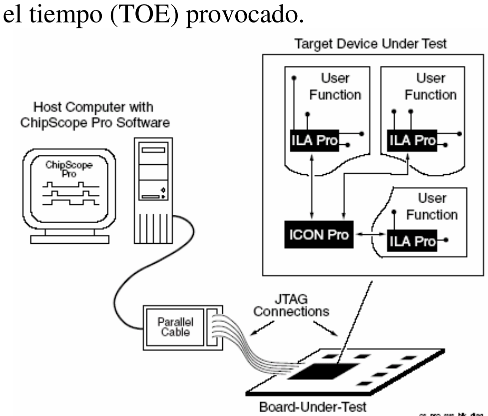

Figura 5. Esquema de las pruebas del sistema mediante el CSP

En todas estas pruebas se ha utilizado el esquema mostrado en la figura 5 que se fundamenta en la utilización de las herramientas del ChipScope Pro (CSP). En nuestro caso el hardware utilizado correspondió al KIT XTREME DSP VIRTEX II PRO, mientras que la interface entre la PC y la tarjeta fue el cable Paralell IV de Xilinx.

4.1 Frecuencia de Operación

La metodología utilizada en estas pruebas consistió en variar los parámetros del sistema y las frecuencias de prueba soportadas por el KIT

XTREME DSP. Debido a que el sistema implementado consta de un lazo entre el TX y el RX, se espera que no exista distorsión alguna en los datos recuperados. Así, detectando la frecuencia en que se produzca BER y/o distorsión en las constelaciones resultantes se puede definir el rango máximo de operación. De acuerdo a los experimentos realizados en todos los casos se obtuvo una frecuencia máxima de al menos 50MHz y se induce una correlación entre todos los parámetros del sistema. Sin embargo, no se puede concluir a ciencia cierta una regla de correspondencia para la conducta de la frecuencia máxima en función de estos parámetros. Lamentablemente, la incertidumbre obtenida por la limitante de frecuencias, el tiempo de generación de cada prueba y la cantidad de combinaciones de las mismas complican sobremanera este análisis.

4.2 Generación de los Símbolos y bloques OFDM

La metodología utilizada en estas pruebas consistió en evaluar de manera modular la conformación de los símbolos y bloques OFDM. Las primeras dos pruebas examinan el comportamiento de los bloques que forman las subportadoras del símbolo OFDM de datos, es decir la codificación de datos y formación de las subportadoras de piloto y guarda. Por otro lado, la tercera prueba evalúa la conformación del símbolo de Training. Una vez analizado el proceso de formación de las portadoras de training y de datos, se procedió a analizar la formación de los símbolos y el bloque OFDM en la frecuencia y el tiempo. Para todas estas pruebas se ha evaluado el comportamiento de los bloques del TX mediante el CSP. Además se ha procedido a exportar y analizar los datos muestreados mediante hojas de calculo que contengan las reglas de correspondencia de cada modulo. Así, si se repite el proceso de manera extensa, se puede demostrar el correcto funcionamiento de los bloques.

4.3 Evaluación de los datos recuperados

Debido a que el sistema implementado consiste en un lazo entre el TX y RX, se espera que los datos recuperados sean prácticamente perfectos. En este esquema la única distorsión se debe de dar a causa del procesamiento implícito en la modulación y demodulación digital. En definitiva, se espera observar constelaciones casi perfectas mientras que los datos recuperados deben ser perfectos y por ende el BER debe ser 0.

Sin embargo, a pesar de que estas pruebas son validas para verificar el correcto funcionamiento del esquema, nos proporciona muy poca información de la respuesta del mismo ante cualquier distorsión del canal. Con respecto a esto, sería de gran interés evaluar el sistema OFDM ante la presencia de diferentes tipos de canal. No obstante, esto va más haya de los objetivos de el actual proyecto de tesis y además se estarían obviando los errores de sincronización insertados por los efectos del ruido del canal. Por esta razón, sería de gran importancia realizar este tipo de análisis una vez que se añada una fase de sincronización como trabajo futuro.

Por otra parte, lo que si es posible estimar con el actual esquema es el impacto de los errores de sincronización. Para esto, se ha provocado un TOE mediante la manipulación de la señal Inicio_simbolo. Teniendo en cuenta todo esto, la metodología utilizada en estas pruebas consistió en implementar todas las codificaciones para cada TOE y capturar las constelaciones recuperadas y el BER.

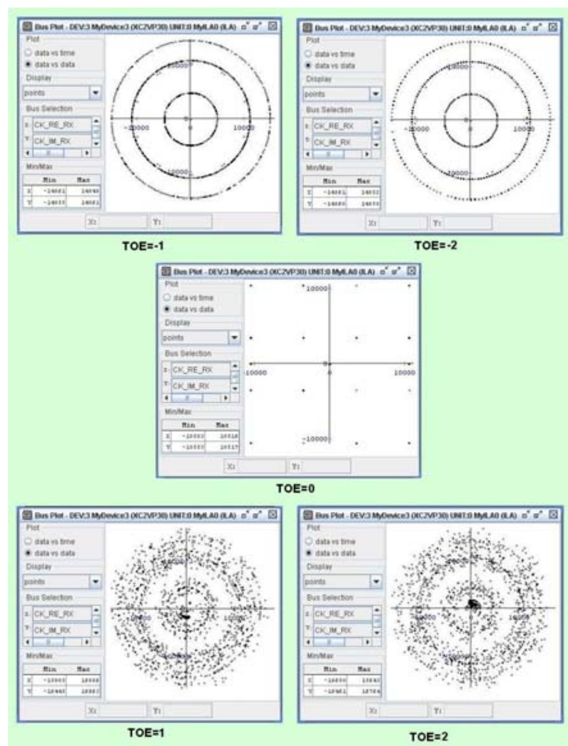

Figura 6. Constelaciones recuperadas en codificación 16QAM

El primer aspecto observado en estas pruebas es que cuando no existe TOE, las constelaciones recuperadas no sufren distorsión alguna. Este resultado nos garantiza que la FFT esta transformando correctamente el símbolo útil desde el tiempo hasta la frecuencia. Por otro lado, en todos los casos en que se ha inducido un TOE se puede observar que las constelaciones tienden a experimentar oscilaciones alrededor de su centro. Además, estas oscilaciones son mucho más nítidas para los casos en que TOE es menor a cero.

Para poder comprender esto de mejor manera, analicemos primeramente el caso en que dim_guarda ≤ TOE ≤ 0. Si analizamos las propiedades del prefijo cíclico, se puede concluir que la ventana de la FFT en el RX toma al mismo símbolo útil pero con un desfase en el tiempo de TOE puntos. Si tomamos en cuenta que un desfase en el tiempo implica una variación en la fase de cada uno de los componentes en frecuencias, podemos concluir que el desplazamiento en el tiempo produce una variación en la fase ϕ_k que depende del índice k y del TOE. Como las graficas de las constelaciones agrupan a todos los C_k, es completamente lógico esperar oscilaciones circulares perfectas que dependan de la geometría de cada tipo de modulación de canal.

Por otro lado, si TOE es menor a cero, la ventana de la FFT en el RX se capturara un símbolo híbrido conformado por NFFT-TOE componentes del símbolo j, más TOE componentes del símbolo j+1. Así, tendríamos que la resultante en frecuencia estaría determinada por la misma oscilación descrita anteriormente, pero en este caso afectada por el ISI insertado en los últimos TOE componentes.

El siguiente parámetro a evaluar en estas pruebas es el BER. Como se observa en la figura 7, tal como se esperaba, el BER obtenido cuando TOE=0 es perfecto. Sin embargo, la degradación del TOE es de tal magnitud que un solo periodo de muestreo de desfase causa una BER superior al 30%. Es decir el TOE es tan perjudicial, que los demás análisis sobre la degradación del ISI pierden importancia.

Sin embargo, como la oscilación de ϕ_k depende exclusivamente del índice k y del TOE existe la posibilidad de recuperar los valores de C_k mediante esquemas de ecualización en frecuencia, que implementen factores de corrección. Esto implica la existencia de un rango de tolerancia para el TOE. Es más, podría resultar conveniente inducir un desplazamiento negativo en el sincronizador. Así, se minimizaría la probabilidad caer en la zona de ISI provocada por un TOE positivo. Sin embargo, de ser muy alto este desplazamiento, aumentaría la probabilidad de que se inserte ISI debido al efecto multitrayectoria al principio del prefijo. En fin, existe un compromiso entre la robustez de la sincronización y la tolerancia al desvanecimiento multitrayectoria[8], el cual depende netamente del canal.

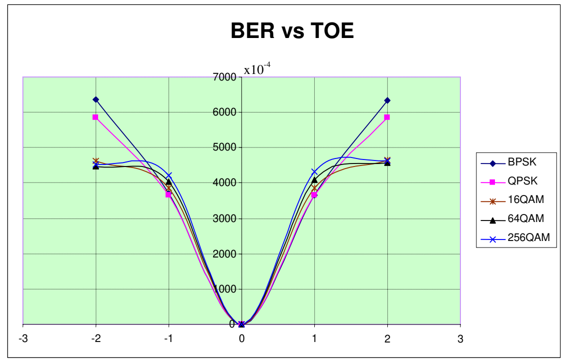

Figura 7. Resultado de las pruebas de BER en función del TOE.

12. Referencias

[1] David gesbert, luc haumonté, helmut bölcskei, rajeev krishnamoorthy, arogyaswami j. Paulraj, “technologies and performance for non-line-of-sightbroadband wireless access networks”. Ieee communications magazine, abril 2002, pag 86-95.

[2] Sklar b., "rayleigh fading channels in mobile digital communication systems, part i: characterization", ieee commun. Mag., vol. 35, no. 9, julio 1997, pag. 90–100.

[3] Sklar bernard, “rayleigh fading channels in mobile digital communication systems part ii: mitigation”, ieee communications magazine, pp 102-109, julio 1997.

[4] Durgin gregory d., “theory of stochastic local area channel modeling for wireless communications”, faculty of the virginia polytechnic institute and state university, blacksburg, virginia, diciembre 2000, pag 20-25.

[5] Naihua yuan, “an equalization technique for high rate ofdm systems”, university of saskatchewan, saskatoon, saskatchewan, canada, diciembre 2003, pag 36, 37.

[6] Etsi ts 102 177 v1.2.1 (2005-1) bran hiperman; phy layer

[7] Ieee std 802.16 -2004, air interface for fixed broadband wireless access sistem, pag 427-449

[8] Weidong xiang and thomas pratt, xudong wang, “a software radio testbed for two-transmitter two-receiver space-time coding ofdm wireless lan”, ieee radio communications, june 2004