

## **“Implementación de sistemas de comunicación para el Laboratorio de Telecomunicaciones usando la tarjeta de desarrollo XTREME DSP DEVELOPMENT KIT junto a Matlab/Simulink como herramientas de simulación y modelado”**

Bryan David Ávila Zambrano

Paola Susana Mera Troya

Ing. María Antonieta Álvarez

Facultad de Ingeniería en Electricidad y Computación

Escuela Superior Politécnica del Litoral

Campus Gustavo Galindo Km 30.5, vía Perimetral, Apartado 09-01-5863, Guayaquil, Ecuador

bavila@fiec.espol.edu.ec, paosumer@fiec.espol.edu.ec

### **Resumen**

*Este artículo académico presenta la descripción de nuevas prácticas y conceptos importantes para el Laboratorio de Telecomunicaciones, en las que se involucra la investigación, análisis, simulación, implementación y procesamiento de datos. Puntualizaremos el uso de la tarjeta de desarrollo XTREME DSP DEVELOPMENT KIT, la cual contiene conectores y la tarjeta FPGA Virtex IV, que será embebida a la PC y es donde se cargarán los modelos desarrollados a través de un archivo bitstream previamente generado durante la simulación de los mismos. Las prácticas y modelos abarcarán los filtros digitales tipo IIR y FIR, así como el PLL y la modulación/demodulación 16QAM, el medio para simular los sistemas de comunicación descritos es Simulink de Matlab, y la interfaz para la implementación de los mismos será la tarjeta FPGA Virtex IV, la cual es ideal para implementar aplicaciones de procesamiento de señales de alto rendimiento.*

*Es así que utilizaremos el software Fuse Probe para insertar los modelos en la tarjeta FPGA y observar posteriormente la operación de la tarjeta a través del osciloscopio.*

**Palabras Claves:** *Xilinx Design Tool; Matlab; Fuse Probe; CDMA; Filtros IIR/FIR; PLL.*

### **Abstract**

*The following academic article details a description of brand new practices and important concepts to the Telecommunications Laboratory, it's involve investigation, analysis, simulation, implementation and data processing. We will point out the use of the development card XTREME DSP DEVELOPMENT KIT, that have connectors and FPGA Virtex IV card, that will be embedded to the PC and is where we will charge the models through a bitstream file generated previously during the simulation of them. Practices and models will include digital filters IIR and FIR types, like this PLL and modulation/demodulation 16QAM, the medium to simulate the communication systems described is Simulink of Matlab, and the interface to the implementation of them will be FPGA Virtex IV card, which is ideal to implement applications of signals high performance processing.*

*So we will use Fuse Probe software to charge the models in FPGA card and look the operation of the card through the oscilloscope.*

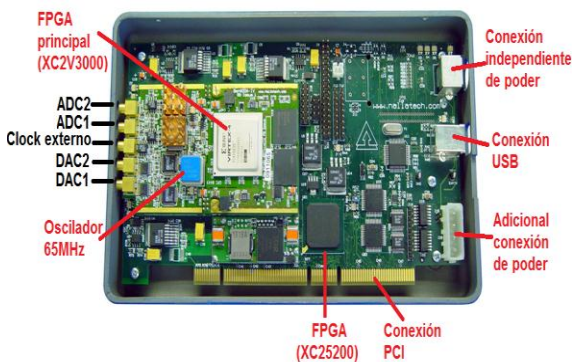
**Keywords:** *Xilinx Design Tool; Matlab; Fuse Probe; CDMA; IIR/FIR filters; PLL.*

## 1. Introducción

Desde sus inicios, la problemática que siempre se ha tratado de mitigar en el campo de las telecomunicaciones es recuperar de forma total y eficiente la información que ha sido enviada desde algún punto transmisor, ya sean bits u ondas electromagnéticas a un receptor, el objetivo es de poder captar la señal enviada en su plenitud con la mínima cantidad de errores posible, debido a esta necesidad este sector ha progresado y evolucionado muy rápido durante estos últimos años.

Es imprescindible que un estudiante de la carrera de Telecomunicaciones conozca el funcionamiento y la estructura de cada bloque que conforma un sistema de comunicación, ya sea de cualquier índole, los conceptos deben estar claros y sólidos, incluso hasta para desarrollar nuevos modelos. En el laboratorio de Telecomunicaciones se muestran, desarrollan y realizan prácticas usando módulos, en los que se puede ingresar una señal como entrada y observar el comportamiento de la misma en cada punto del circuito hasta la salida respectiva, en éstos módulos ya cuentan con los bloques definidos propios del sistema, lo ideal es que también puedan programarse este tipo de bloques para afianzar los fundamentos teóricos.

Actualmente se desarrollan nuevas tecnologías usando los dispositivos FPGA, por su versatilidad y la facilidad que ofrecen al usuario de poder programarlas de acuerdo a sus necesidades, es por lo cual se desarrollaron nuevas prácticas para el Laboratorio de Telecomunicaciones con el fin de simular sistemas de comunicación a través del blockset de Xilinx en Simulink de Matlab e implementar dichos sistemas usando la plataforma de desarrollo XTREME DSP DEVELOPMENT KIT, con el fin de complementar la teoría y afianzar la programación y estructura de ciertos bloques y sistemas importantes de comunicación, usando versatilidad de un dispositivo FPGA, específicamente Virtex IV de Xilinx.



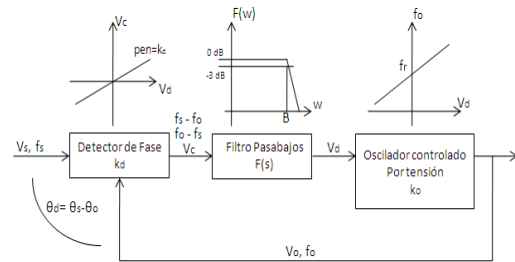
**Figura 1.** Aspecto físico de la plataforma XTREME DSP DEVELOPMENT KIT [1]

## 2. Fundamento teórico

Se detalla una breve y concisa documentación teórica de los conceptos que se deben manejar y dominar para los modelos de comunicación desarrollados en este proyecto.

### 2.1 Lazo de enganche de fase (PLL)

El lazo de enganche o seguimiento de fase es un circuito en el que un oscilador sigue la fase de una señal de entrada, a través de una retroalimentación que compara la fase de las dos señales y modifica la frecuencia de la oscilación generada, consta de tres partes importantes:



**Figura 2.** Diagrama de bloques del PLL. [2]

Dado que el PLL es un lazo de retroalimentación, en el detector de fase se compara la fase y la frecuencia de la señal entrante con la frecuencia del VCO. En el caso de que no hubiera señal entrante, el VCO oscilaría a una frecuencia  $f_o$ , que se la conoce como frecuencia de corrida libre o frecuencia libre de oscilación. En el caso de tener una frecuencia a la entrada  $f_e$ , el comparador de fases también funciona como un mezclador, dando como resultado una mezcla de ambas frecuencias ( $f_o - f_e, f_o + f_e, 2f_o, 2f_e, f_o + f_e$ ). Siendo  $f_o \neq f_e$ .

Las mezclas de alta frecuencia, como las componentes sumas arrojadas por el detector de fase ( $f_o + f_e, 2f_o, 2f_e$ ), son anuladas por el filtro pasa bajo por estar fuera de su ancho de banda y solo deja pasar la componente DC, otra función del filtro pasa bajos es de asegurar que el enganche se realice de una manera más rápida y eficiente.

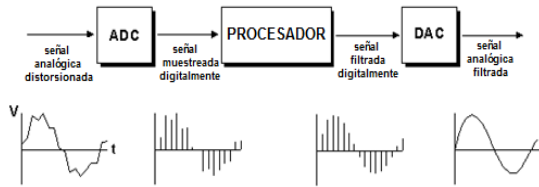
Las frecuencias que salen del filtro pasa bajos ahora ingresan al VCO, si estas frecuencias con las mismas o muy cercanas a la frecuencia libre de oscilación  $f_o$ , se da el enganche de fase y  $f_o = f_e$ , en el caso de que estas frecuencias aun fueran diferentes se repite el proceso hasta que ambas frecuencias se igualen y se dé el enganche.

### 2.2 Filtros digitales

Un filtro es un “dispositivo” diseñado para dejar pasar ciertas partes de una señal y retener otras; pudiendo ser una determinada frecuencia o gama de frecuencias, consiguiendo modificar tanto la fase como la amplitud.

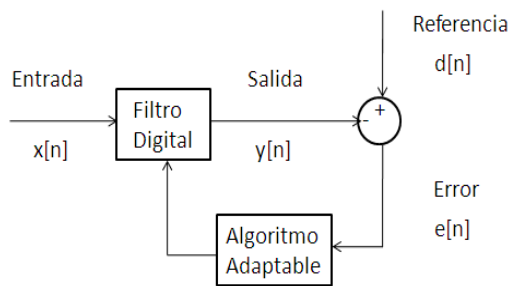
El filtrado “es el proceso de seleccionar, suprimir o atenuar ciertas componentes de una señal” [3]

Para filtrar señales analógicas, éstas se las convierten en una señal digital a través de un convertidor Analógico-Digital, se realiza el proceso de filtrado digital y finalmente se convierte nuevamente a una señal analógica, debido a este proceso es que surgen los filtros digitales.



**Figura 3.** Proceso de filtrado digital con señales analógicas. [3]

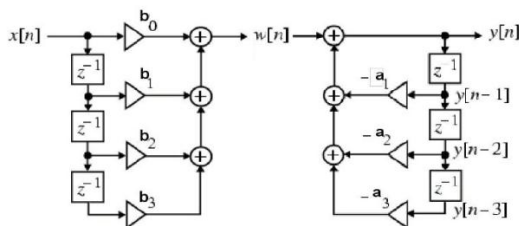
Una característica fundamental de los filtros digitales es la de poder cambiar su comportamiento, es decir, sus coeficientes, éstos cambian de valor a medida que se actualiza la información que disponen, siguiendo un procedimiento llamado algoritmo adaptativo.



**Figura 4.** Componentes de un sistema de filtrado adaptativo.

### Filtro IIR Tipo Butterworth

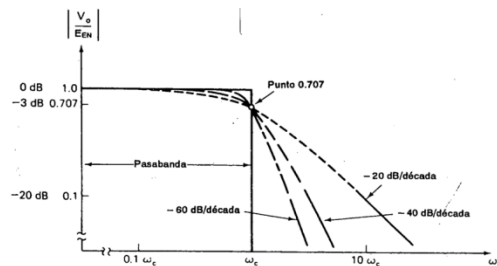
En los filtros IIR (Respuesta Infinita al Impulso) o respuesta infinita al impulso, como su nombre indica, si la entrada fuese una señal impulso, la salida tendría un número infinito de términos no nulos, es decir, nunca vuelve al reposo, son llamados filtros recursivos, porque la salida del filtro depende de las entradas actuales y de las salidas en instantes anteriores, esto se logra a través de realimentación de la salida.



**Figura 5.** Estructura del filtro IIR. [4]

Donde a y b son los coeficientes del filtro y M y N son los términos que determinan la cantidad de polos y ceros en la función de transferencia del filtro.

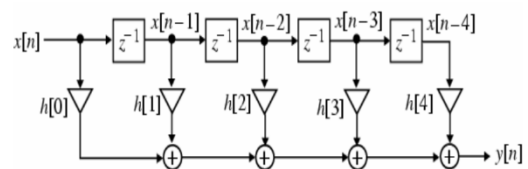
Dentro de los filtros IIR está el filtro Butterworth, denominado también filtro de máximo plano o plano-plano, es aquel cuya salida se mantiene constante casi hasta la frecuencia de corte.



**Figura 6.** Respuesta de frecuencia para tres tipos de filtros pasabajos tipo butterworth. [5]

### Filtro FIR Tipo LMS

Los filtros FIR (Finite impulse response) o respuesta finita al impulso, tienen la particularidad de que la respuesta del filtro depende solamente de la entrada y no de valores pasados de la salida. Este tipo de filtros tiene una respuesta finita ya que no exhiben recursión.



**Figura 7.** Estructura del filtro FIR. [4]

El filtro FIR es recurrentemente utilizado en sistemas adaptativos debido a su respuesta de fase y su estructura no recursiva por lo que la complejidad computacional se reduce, para poder minimizar el error de la señal de entrada se determina el concepto de superficie de error cuadrático medio J, la cual es una función de los coeficientes del filtro.

El algoritmo LMS determina el mínimo del cuadrado de la señal de error, por medio del método de descenso de gradiente, el cual ajusta los coeficientes a manera de pasos que minimice el error. El vector de coeficientes (W) forma un punto en la superficie de error, en cada iteración el punto se desplaza por la tangente de dicho punto.

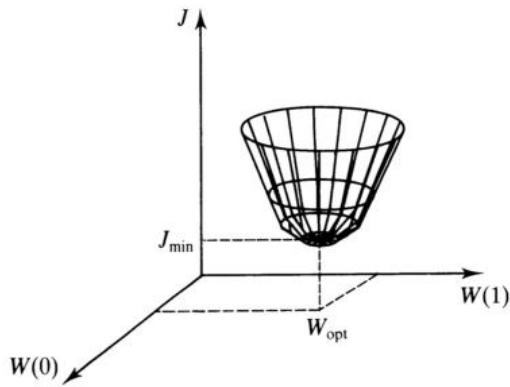


Figura 8. Gráfica de la superficie de error. [6]

Para este algoritmo se considera que las señales  $d(n)$  y  $x(n)$  son estacionarias debido a que este tipo de señales tiene una superficie de error invariable y es más fácil que el algoritmo converja al punto mínimo de la superficie de error ( $J_{min}$ ).

$\mu$  es un factor que controla la estabilidad y el ritmo de descenso al fondo de la superficie de error.

El rango del valor de  $\mu$  está dado por el cuadrático medio de la potencia de  $x(n)$  y  $N$  el número de coeficientes del filtro.

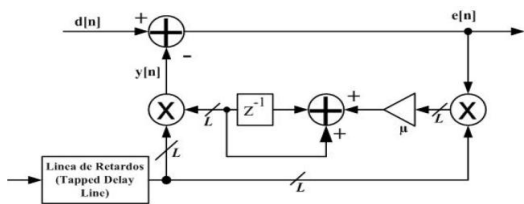


Figura 9. Modelo del filtro FIR. [7]

### 2.3 CDMA

Se define como acceso múltiple por división de código CDMA (“Code Division Multiple Access”), es una técnica multiacceso utilizada por los terminales móviles para compartir los recursos comunes de la red.

La TIA (Asociación de Industria de Telecomunicaciones) aprobó el estándar CDMA IS-95 en julio de 1993, a partir de ahí se viene mejorando esta técnica multiacceso.

CDMA otorga a cada usuario toda la anchura de banda, o espectro ensanchado, existen cuatro variantes de CDMA en función de la técnica utilizada para conseguir la expansión espectral, las dos familias más importantes de códigos son los ortogonales y los pseudoaleatorios, con los códigos ortogonales se puede separar los usuarios para eliminar la interferencia, el recurso en el que se busca la ortogonalidad es el código

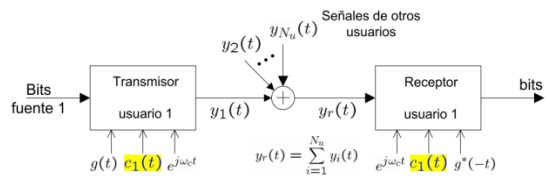


Figura 10. Sistema CDMA con bloques ortogonales. [8]

Para los sistemas que tienen códigos pseudoaleatorios se utilizan códigos “largos”, de período 38400 chips; también existen códigos “cortos”, de período 256 chips.

La modulación QAM es multinivel, es decir, depende del número de estados, el menor de ellos es 4 y se puede aumentar los estados tanto como se quiera, pero mientras mayor sea el estado, mayor es la probabilidad de error.

### 3. Diseño de los modelos con el blockset de Xilinx

#### 3.1 Diseño del lazo de enganche de fase (PLL)

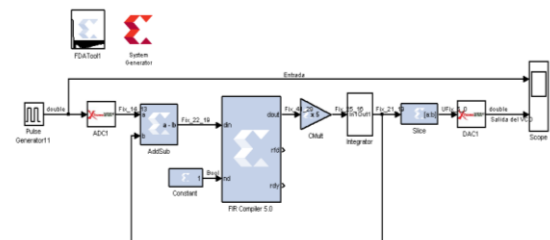


Figura 11. Diseño del PLL con bloques de Xilinx.

La señal de entrada es un generador de pulso, el detector de fase está representado por el bloque restador (AddSub), el filtrado se presenta con el bloque FIR Compiler cuyos parámetros son seteados en el FDATool, y el VCO consta de una ganancia y un integrador.

#### 3.2 Diseño del filtro IIR tipo Butterworth

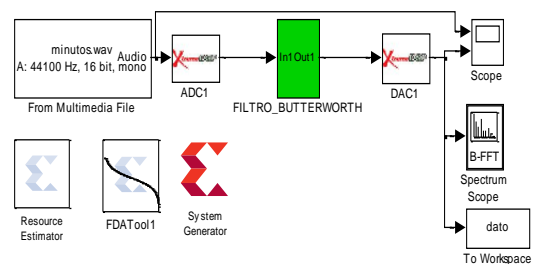


Figura 12. Diseño del filtro IIR tipo Butterworth con bloques de Xilinx.

La señal de entrada es una señal de audio con ruido gaussiano AWGN, con parámetros  $N\sim(0,\sigma^2)$ . El convertidor ADC digitaliza la señal para realizar el filtrado, los parámetros del filtro se detallan en el FDATool, en el que se detalla una frecuencia de muestreo de 1MHz, y finalmente se convierte la señal digital en analógica.

### 3.3 Diseño del filtro FIR tipo LMS

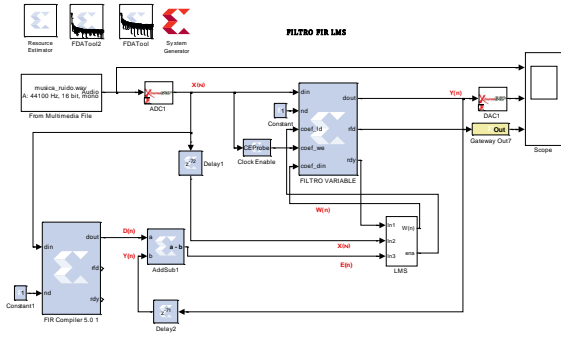


Figura 13. Diseño del filtro FIR tipo LMS con bloques de Xilinx

La señal de entrada es la misma que se detalla en la sección 3.2, se muestran 2 filtros, uno de ellos genera la señal deseada  $d(n)$ , y el restante realiza la renovación de coeficientes de acuerdo al algoritmo LMS a través de  $y(n)$  generando la señal de error  $e(n)$ . Éste filtro es seteado con una frecuencia de muestreo de 1MHz, el esquema a seguir es el que se muestra en la figura 9.

### 3.4 Diseño de la modulación 16QAM

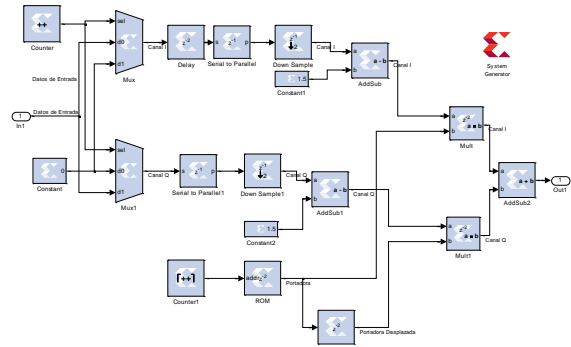


Figura 14. Diseño de la modulación con bloques de Xilinx

La señal de entrada binaria es un generador aleatorio de bits, los cuales se separan en los canales de fase y cuadratura de acuerdo a la selectora de los multiplexores cableados como se detalla en la figura 14, posteriormente se eliminan los ceros agregados repitiendo los bits en cada canal, formando la señal multinivel unipolar, luego se resta de una constante que depende del voltaje máximo de la constelación para poder formar la señal multinivel bipolar, finalmente se realiza la multiplicación con la portadora y con un sumador se obtiene la señal modulada QAM.

### 3.4 Diseño de la demodulación 16QAM

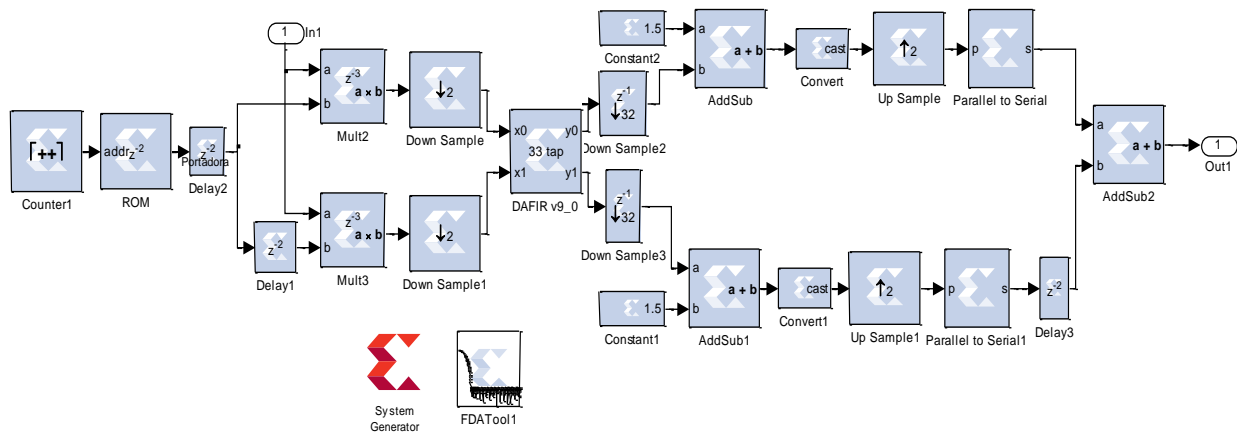


Figura 15. Diseño de la demodulación con bloques de Xilinx

La señal recibida es multiplicada por la portadora para la demodulación, esto genera armónicas que deben ser filtradas con un filtro pasabajo, especificado en el bloque FDATool, posteriormente sumando con una constante (parámetro de diseño) que depende del valor máximo de la constelación se obtiene la señal multinivel unipolar, finalmente se recupera el canal I y Q individualmente. La señal mensaje se la obtiene sumando ambos canales.

## 4. Resultados

### 4.1 Lazo de enganche de fase (PLL)

#### SIMULACIÓN

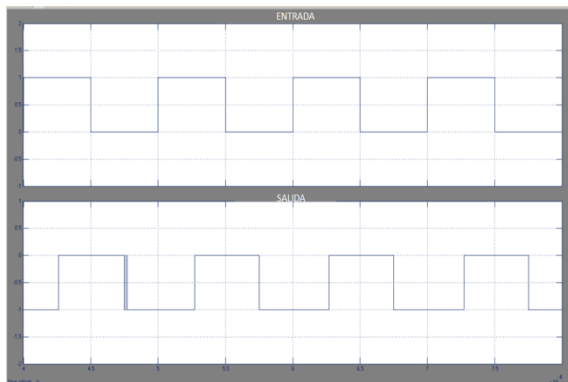


Figura 16. Gráficas de la señal de entrada y VCO en la simulación del PLL.

Los convertidores ADC y DAC fueron seteados a 1MHz, la frecuencia de corte del filtro pasa bajos definida en 14KHz, con una frecuencia de muestreo de 1MHz, como se observa en la figura 16, la señal de entrada se encuentra en fase a la frecuencia del VCO, el enganche se seteo a 10Khz, para determinar el alcance del PLL también se determinó el rango de captura de 8-14Khz y el rango de enganche de 6-17Khz variando la frecuencia de la entrada.

#### IMPLEMENTACIÓN

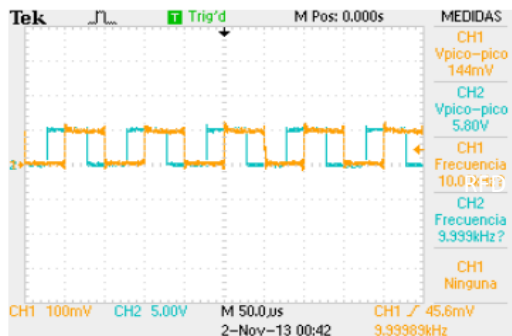


Figura 17. Gráficas de la señal de entrada y VCO en la implementación del PLL.

La señal de reloj de la FPGA fue seteada a 1MHz, para sincronizar el muestreo de las señales con los convertidores ADC y DAC, tal como se observa en la figura 17, ambas señales se encuentran en fase y se muestra en enganche en 10Khz y también se determinó que el rango de captura de 8-17Khz y el rango de enganche de 7-19Khz variando la frecuencia de la entrada.

## 4.2 Filtro IIR tipo Butterworth

#### SIMULACIÓN

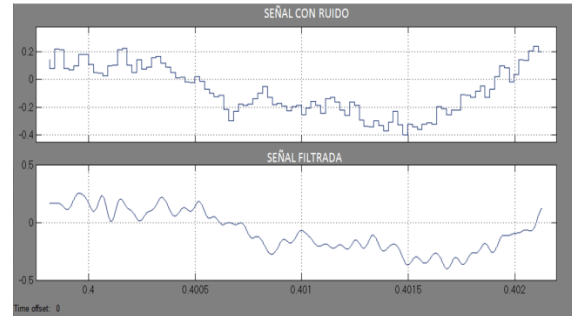


Figura 18. Gráficas de la señal de entrada y salida en la simulación del filtro IIR.

Los convertidores ADC y DAC fueron seteados a 1MHz, la frecuencia de corte del filtro pasa bajos es definida en 15KHz, con una frecuencia de muestreo de 1MHz, en la figura 18 se observa la eliminación las componentes de ruido de la señal entrante, se obtiene una señal más pura y con menos distorsión.

Para el análisis del filtro se encontró que el SNR converge a 11.06dB y un BER de 0.049.

#### IMPLEMENTACIÓN

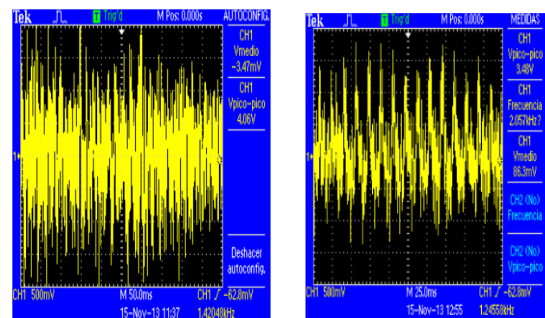
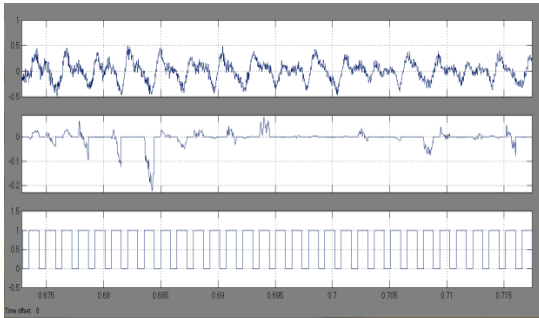


Figura 19. Gráficas de la señal de entrada y salida en la implementación del filtro IIR.

La señal de reloj de la FPGA fue seteada a 1MHz, para sincronizar el muestreo de las señales con los convertidores ADC y DAC, en la figura 19 se observa que las componentes de ruido nuevamente son filtradas, también se obtuvo un SNR de 17.25dB y un BER de 0.019.

### 4.3 Filtro FIR tipo LMS

#### SIMULACIÓN

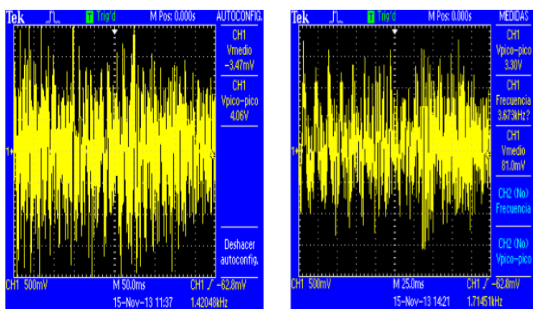


**Figura 20.** Gráficas de la señal de entrada, salida y puerto RFD en la simulación del filtro FIR.

Los convertidores ADC y DAC fueron seteados a 1MHz, la frecuencia de corte del filtro pasa bajos que genera la señal deseada  $d(n)$  es definida en 10KHz, mientras que la frecuencia de corte del filtro variable que renovará sus coeficientes en cada interacción y cuya salida son los coeficientes  $y(n)$ , se define en 4KHz, ambos filtros son seteados a una frecuencia de muestreo de 1MHz por efectos de sincronismo. En la figura 20 se observa el filtrado de la señal con ruido en cierto período de tiempo definido por el bloque FIFO, la salida se muestra más pura y sin componentes de ruido. En la tercera gráfica se muestra el puerto *rdy* que indica cuando hay una salida válida para renovar los coeficientes del filtro variable.

Para el análisis del filtro se encontró que el SNR converge a 9.52dB y un BER de 0.062.

#### IMPLEMENTACIÓN



**Figura 21.** Gráficas de la señal de entrada y salida en la implementación del filtro FIR.

La señal de reloj de la FPGA fue setead a 1Mhz, para sincronizar el muestreo de las señales con los convertidores ADC y DAC, en la figura 21 se muestra la eliminación de componentes de ruido de la señal de entrada.

Para un análisis más detallado se determinó que el SNR es de 15.46dB y un BER de 0.024.

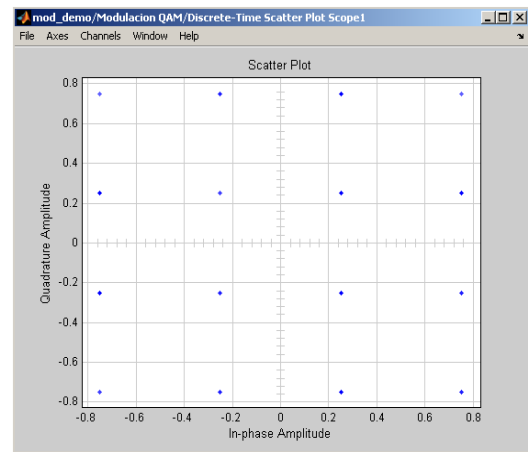
### 4.4 Modulación 16QAM

#### SIMULACIÓN



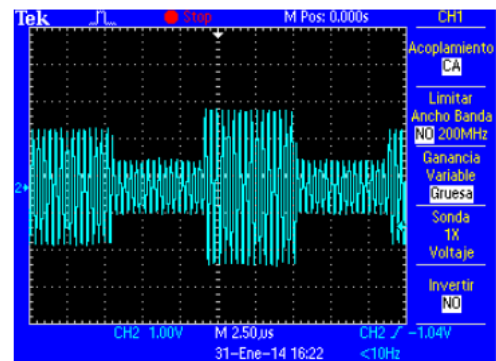
**Figura 22.** Gráficas del canal I, Q y señal modulada.

Los convertidores ADC y DAC fueron seteados a 1228800 Hz, la portadora se define con una frecuencia de 196608000 Hz, se observa en la figura 22 la gráfica de la señal modulada 16QAM, la veracidad de esta modulación se la comprueba con la constelación respectiva, que se muestra en la figura 23.



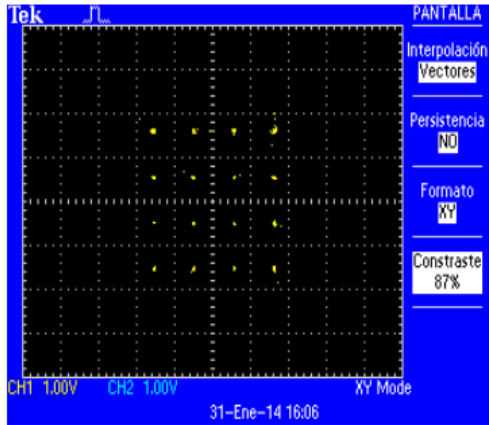
**Figura 23.** Constelación 16QAM en simulación.

#### IMPLEMENTACIÓN



**Figura 24.** Gráficas de la señal modulada.

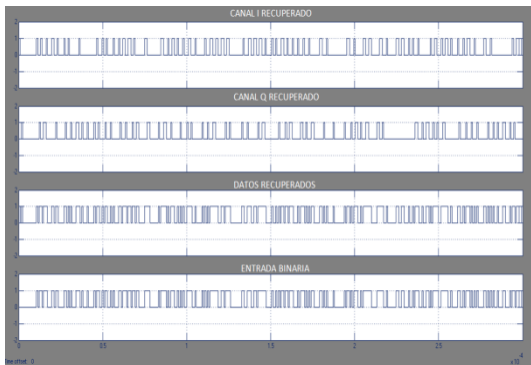
Para este sistema se elige la señal de reloj interna de la FPGA, en la figura 24 se muestra la modulación, seteando la frecuencia de entrada a 1228800 Hz, también se muestra la constelación de la misma en la figura 25.



**Figura 25.** Constelación 16QAM en implementación.

#### 4.5 Demodulación 16QAM

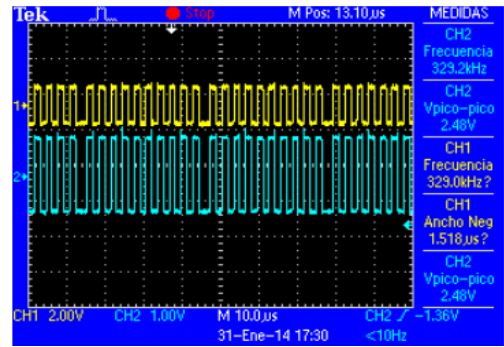
##### SIMULACIÓN



**Figura 26.** Gráfica del canal I y Q recuperado, señal binaria recuperada y la entrada binaria.

Los convertidores ADC y DAC fueron seteados a 1228800 Hz, la frecuencia de corte del filtro pasa bajos se define a 153.6 KHz y la frecuencia de muestreo en 100 MHz. En la figura 26 se observan 4 gráficas, las dos primeras son los canales I-Q recuperados, y las dos restantes son los datos recuperados y la señal binaria inicial, ambas señales son iguales y generan los mismos bits.

## IMPLEMENTACIÓN



**Figura 27.** Gráfica de la señal recuperada y la entrada binaria en implementación.

Para este sistema se elige la señal de reloj interna de la FPGA, en la figura 27 se muestra la demodulación, la señal de entrada se logra recuperar a través del modelo planteado, tal como se muestra se obtiene tiene la misma cadena de bits inicial.

## 5. Conclusiones

De acuerdo al desarrollo de este proyecto se concluye que el filtro IIR realiza un mejor filtrado que el FIR, ésta veracidad se demuestra con el valor de SNR hallado, se muestra que el IIR tiene mejor relación señal a ruido, el filtro FIR necesita de mucha demanda computacional es por ello que necesito de un tiempo para poder llegar a la convergencia.

En cuanto al lazo de enganche de fase se puede concluir que el rango de enganche y de captura dependen directamente de los parámetros del filtro y de la ganancia del VCO, variando éstos valores se puede definir con más precisión el rango de frecuencias en las que se desea lograr en enganche de la fase.

Mediante las pruebas obtenidas de simulación e implementación se concluye el correcto funcionamiento de los esquemas diseñados de la modulación y demodulación 16QAM, se logra obtener la señal modulada, la constelación de la misma, y finalmente la cadena binaria inicial a través del demodulador.

La plataforma de desarrollo XTREME DSP DEVELOPMENT KIT es una herramienta muy útil y óptima para poder desarrollar nuevas tecnologías, investigaciones, modelos, e incluso llegar a tener otros alcances, ya que dado que el interfaz de simulación es Simulink también se podrían desarrollar sistemas de control automático, y ver la aplicación con otras materias relacionadas a la carrera.



## 7. Referencias

[1] Nallatech, Interconnect Systems, INC. XTREMEDSP DEVELOPMENT KIT-IV USER GUIDE,

[http://www.es.ele.tue.nl/mininoc/doc/xdsp\\_ug.pdf](http://www.es.ele.tue.nl/mininoc/doc/xdsp_ug.pdf)

Fecha de publicación Marzo 2005, Fecha de consulta Abril 2013.

[2] Cesar. ELECTRÓNICA APLICADA.

<http://ayudaelectronica.com/pll-lazos-enganchados-en-fase/>. Fecha de publicación Mayo 2011. Fecha de consulta Abril 2013.

[3] Gosh, Ranjan, IMPLEMENTATION OF DIGITAL FIR FILTER ON 8051 MICROCONTROLLER,

<http://iitkgp.vlab.co.in/?sub=39&brch=125&sim=637&cnt=1>

Fecha de consulta junio 2011.

[4] Marcelino Martínez, Antonio Serrano, Juan Gómez, INTRODUCCIÓN AL PROCESADO DIGITAL DE SEÑALES,

<http://ocw.uv.es/ingenieria-y-arquitectura/1-1/tema6.pdf> ,

Fecha de publicación 2009, Fecha de consulta Abril 2013

[5] Robert F. Coughlin, Frederick F. Driscoll, AMPLIFICADORES OPERACIONALES Y CIRCUITOS INTEGRADOS LINEALES, Fecha de publicación 2000, Fecha de consulta Abril 2013

[6] Instituto Politécnico Nacional. ALGORITMO LMS CON ERROR CODIFICADO USANDO UN DSP.

[https://www.google.com.ec/url?sa=t&rct=j&q=&esrc=s&source=web&cd=1&cad=rja&ved=0CCoQFjAA&url=http%3A%2F%2Fitzamna.bnct.ipn.mx%2Fspace%2Fbitstream%2F123456789%2F3722%2F1%2FALGORITMO%2520LMS.pdf&ei=oOISUpS4BZP68QSCwYDgDQ&usg=AFQjCNEjaumO\\_UtVczGWbbaIIITmfV1udQ&bvm=bv.53537100,d.eWU](https://www.google.com.ec/url?sa=t&rct=j&q=&esrc=s&source=web&cd=1&cad=rja&ved=0CCoQFjAA&url=http%3A%2F%2Fitzamna.bnct.ipn.mx%2Fspace%2Fbitstream%2F123456789%2F3722%2F1%2FALGORITMO%2520LMS.pdf&ei=oOISUpS4BZP68QSCwYDgDQ&usg=AFQjCNEjaumO_UtVczGWbbaIIITmfV1udQ&bvm=bv.53537100,d.eWU)

. Fecha de publicación Junio 2008. Fecha de consulta Abril 2013

[7] Perez Barragán, FILTROS ADAPTATABLES.

<http://www.ptolomeo.unam.mx:8080/xmlui/bitstream/handle/132.248.52.100/872/A6.pdf?sequence=6>.

Fecha de consulta Abril 2013

[8] Escuela Politécnica Superior. COMUNICACIONES DE ESPECTRO ENSANCHADO.

[http://arantxa.ii.uam.es/~tac/Documentacion/Tema\\_III\\_Espectro\\_ensanchado\\_CDMA\\_ver0.pdf](http://arantxa.ii.uam.es/~tac/Documentacion/Tema_III_Espectro_ensanchado_CDMA_ver0.pdf). Fecha de publicación Agosto 2007. Fecha de consulta Mayo 2013.