



**ESCUELA SUPERIOR POLITÉCNICA DEL LITORAL**  
**Facultad de Ingeniería en Electricidad y Computación**

***“Simulación de un esquema de FEC (Forward Error Correction) para un sistema de transmisión de televisión digital en base al estándar europeo”***

**INFORME DE PROYECTO DE GRADUACIÓN**

Previo a la obtención del Título de:

**INGENIERO EN ELECTRÓNICA Y  
TELECOMUNICACIONES**

Presentada por:

**Jaime Armando Moscoso Alvarado**

Director de Proyecto

**Ing. Washington Medina**

GUAYAQUIL - ECUADOR

AÑO: 2009

## **AGRADECIMIENTO**

AGRADEZCO EN PRIMER LUGAR A DIOS  
POR SIEMPRE BENDECIR MI CAMINO.

AGRADEZCO TAMBIEN A MIS ABUELOS  
Y PADRES POR SU INCONDICIONAL  
APOYO.

## DEDICATORIA

DEDICO ESTE TRABAJO A MIS ABUELOS,  
PADRES Y HERMANOS.

## **TRIBUNAL**

---

**Ing. Sergio Flores**

Decano de la FIEC

---

**Ing. Washington Medina**

Director de Proyecto de Graduación

---

**Ing. César Yépez**

Miembro del Tribunal

## **DECLARATORIA EXPRESA**

“La responsabilidad por los hechos, ideas y doctrinas expuestas en esta tesis me corresponden exclusivamente; y, el patrimonio intelectual de la misma, a la ESCUELA SUPERIOR POLITÉCNICA DEL LITORAL”

JAIME ARMANDO MOSCOSO ALVARADO

## RESUMEN

La transmisión de las señales de televisión en el Ecuador es bajo modulaciones analógicas según el estándar NTSC, el cual es un estándar elaborado bajo un esquema analógico. La tendencia tecnológica apunta hacia una era digital en la que la televisión y su transmisión masiva se encuentran ya en proceso. Los estándares de televisión digital ya son un hecho y se definen tres estándares importantes: ATSC (Advanced Television System Committee), ISDB (Integrated Services Digital Broadcasting), DVB (Digital Video Broadcasting), de los cuales solo se destacará el estándar europeo o DVB (Digital Video Broadcasting).

Este trabajo tratará acerca de una muy importante parte del estándar europeo para televisión digital que es un esquema de codificación cuya finalidad es de preparar a la señal de televisión digital para las inclemencias del canal. Sin la codificación del canal la señal a transmitir esta vulnerable y expuesta a errores debido al ruido, fading, etc. Es por esta razón que la codificación del canal es importante, pues corrige o intenta corregir los errores sobre la señal recibida en el receptor producidos en el canal de comunicación. Para esto iniciaremos con una introducción general al estándar, para luego así comprender los temas a definir en la descripción del

codificador y decodificador del FEC (Forward Error Correction) junto a su explicación básica de funcionamiento, que se simularán en este proyecto.

Una vez comprendidos los conceptos se detallará la simulación de dicho esquema es decir su funcionamiento en el software y parámetros necesarios de cada bloque y para efectos de simulación se añadió un bloque de ruido AWGN para simular los efectos de un canal en el momento de su transmisión para luego verificar la efectividad del proyecto y la veracidad de las diferentes etapas del esquema.

Finalmente, se expone un análisis de resultados en el cual se detallará una comparación entre las señales a la entrada y salida del esquema las cuales serán contrastadas con variaciones extremas del SNR del canal AWGN.

# ÍNDICE GENERAL

## RESUMEN

## ÍNDICE GENERAL

## ÍNDICE DE TABLAS

## ÍNDICE DE FIGURAS

## INTRODUCCIÓN

<b>1</b>	<b>FUNDAMENTOS TEÓRICOS .....</b>	<b>3</b>
1.1	Análisis de los diferentes impactos debido al cambio de estándar en la transmisión de señales de televisión .....	3
1.1.1	Impacto Ambiental .....	4
1.1.2	Impacto Económico .....	5
1.1.3	Impacto Ético .....	6
1.1.4	Impacto Social .....	6
1.2	Introducción al estándar DVB (Digital Video Broadcasting).....	7
1.3	Descripción general del sistema DVB (Digital Video Broadcasting).....	8
1.3.1	Codificación de la fuente .....	9
1.3.2	Codificación del canal .....	10
1.3.3	Transmisión/Recepción .....	12
1.4	Propósitos de un sistema de FEC (Forward Error Correction).....	13



<b>2</b>	<b>ETAPAS DEL ESQUEMA DE SIMULACIÓN DE FEC .....</b>	<b>15</b>
2.1	Etapas del Codificador/Decodificador .....	15
2.1.1	Codificador/Decodificador Exterior (Reed-Solomon) .....	15
2.1.1.1	Análisis descriptivo y propósito del Codificador de Reed-Solomon .....	18
2.1.1.2	Análisis descriptivo y propósito del Decodificador Reed-Solomon .....	19
2.1.2	Interleaving/De-Interleaving convolucional .....	20
2.1.2.1	Análisis descriptivo y propósito del Interleaving .....	21
2.1.2.2	Análisis descriptivo y propósito del De-Interleaving .....	22
2.1.3	Codificador/Decodificador Interior (C. Convolucional y Decodificador de Viterbi) .....	23
2.1.3.1	Análisis descriptivo y propósito del Codificador Convolucional .....	26
2.1.3.2	Análisis descriptivo y propósito del Decodificador de Viterbi .....	27
2.1.4	Puncturing/Depuncturing .....	35
2.1.4.1	Análisis descriptivo y propósito del Puncturing .....	36
2.1.4.2	Análisis descriptivo y propósito del De-puncturing .....	38
2.2	Organización de las etapas según el estándar .....	38
2.2.1	Orden de etapas del Codificador .....	39
2.2.2	Orden de etapas del Decodificador .....	40
<b>3</b>	<b>DISEÑO DE LA SIMULACIÓN DEL ESQUEMA DE FEC (FORWARD ERROR CORRECTION) .....</b>	<b>41</b>
3.1	Descripción del sistema general .....	41
3.2	Descripción de la simulación del canal AWGN .....	49
3.3	Descripción del esquema de Codificador .....	52

3.3.1	Descripción de las señales de entrada y salida de las etapas del codificador .....	52
3.3.2	Descripción de las señales de entrada y salida de las etapas del decodificador .....	59
<b>4</b>	<b>ANÁLISIS DE RESULTADOS .....</b>	<b>67</b>
4.1	Análisis y comparación del gráfico de la señal de entrada al codificador y la señal de salida del decodificador .....	67
4.1.1	Resultados de los gráficos con valores extremos de SNR .....	69
4.1.2	Análisis de la comparación de los gráficos .....	72
4.2	Análisis y comparación del gráfico de la señal de salida del codificador y la señal de entrada al decodificador .....	73
4.2.1	Resultados de los gráficos con valores extremos de SNR .....	74
4.2.2	Análisis de la comparación de los gráficos .....	79

## **CONCLUSIONES Y RECOMENDACIONES**

## **BIBLIOGRAFÍA**

## ÍNDICE DE TABLAS

<b>Tabla 2.1</b> Tabla de símbolos, codificador Reed-Solomon.....	17
<b>Tabla 2.2</b> Tabla de salidas del codificador de la figura 2.5.....	29
<b>Tabla 2.3</b> Solución al ejemplo de la figura 2.5.....	35
<b>Tabla 2.4</b> Tabla de puncturing y tasas de código.....	36

## ÍNDICE DE FIGURAS

<b>Figura 1.1</b> Trama de 188 bytes de formato MPEG-2.....	10
<b>Figura 1.2</b> Diagrama de bloque general de la codificación de la fuente.....	10
<b>Figura 1.3</b> Diagrama de bloque general de la codificación del canal.....	11
<b>Figura 1.4</b> Etapa previa a la transmisión.....	13
<b>Figura 2.1</b> Diagrama de bloques de el codificador de Reed-Solomon.....	18
<b>Figura 2.2</b> Funcionalidad del Entrelazado o interleaving.....	20
<b>Figura 2.3</b> Diagrama del interleaving y De-interleaving.....	21
<b>Figura 2.4</b> Codificador convolucional de relación $\frac{1}{2}$ .....	24
<b>Figura 2.5</b> Codificador convolucional (2, 1, 3).....	28
<b>Figura 2.6</b> Diagrama del árbol para el codificador de la figura 2.5.....	30
<b>Figura 2.7</b> Diagrama de Trellis para la decodificación de Viterbi, primer nivel.....	31
<b>Figura 2.8</b> Diagrama de Trellis para la decodificación de Viterbi, segundo nivel.....	33
<b>Figura 2.9</b> Diagrama de Trellis para la decodificación de Viterbi, último nivel.....	34
<b>Figura 2.10</b> Diagrama de Trellis para la decodificación de Viterbi, menor distancia.....	34
<b>Figura 2.11</b> Funcionamiento del puncturing a una tasa de código $\frac{3}{4}$ .....	37
<b>Figura 3.1</b> Bloques de las etapas en la simulación.....	43
<b>Figura 3.2</b> Bloques que conforman la etapa de codificación externa.....	44
<b>Figura 3.3</b> Bloques que conforman la etapa de Interleaving.....	45
<b>Figura 3.4</b> Bloques que conforman la etapa de codificación interna.....	45
<b>Figura 3.5</b> Bloques que conforman la etapa de Puncturing.....	46
<b>Figura 3.6</b> Bloques que conforman la etapa de De-Puncturing.....	47

<b>Figura 3.7</b> Bloques que conforman la etapa de decodificador interno.....	47
<b>Figura 3.8</b> Bloques que conforman la etapa del De-Interleaving.....	48
<b>Figura 3.9</b> Bloques que conforman la etapa del decodificador externo.....	49
<b>Figura 3.10</b> Distribución de probabilidad de ruido Gaussiano.....	50
<b>Figura 3.11</b> Bloque del canal AWGN.....	51
<b>Figura 3.12</b> Máscara del bloque del canal AWGN.....	52
<b>Figura 3.13</b> Bloque del codificador de Reed-Solomon.....	53
<b>Figura 3.14</b> Máscara del bloque del codificador de Reed-Solomon.....	55
<b>Figura 3.15</b> Bloque del interleaving.....	56
<b>Figura 3.16</b> Máscara del bloque interleaving.....	56
<b>Figura 3.17</b> Bloque del codificador convolucional.....	57
<b>Figura 3.18</b> Máscara del bloque del codificador convolucional.....	58
<b>Figura 3.19</b> Bloque de puncturing.....	58
<b>Figura 3.20</b> Máscara del bloque de puncturing.....	59
<b>Figura 3.21</b> Bloque de De-puncturing.....	60
<b>Figura 3.22</b> Máscara del bloque de De-puncturing.....	60
<b>Figura 3.23</b> Bloque del decodificador de Viterbi.....	61
<b>Figura 3.24</b> Máscara del bloque del decodificador de Viterbi.....	62
<b>Figura 3.25</b> Bloque del De-interleaver.....	63
<b>Figura 3.26</b> Máscara del bloque del De-interleaver.....	64
<b>Figura 3.27</b> Bloque del decodificador de Reed-Solomon.....	65
<b>Figura 3.28</b> Máscara del bloque del decodificador de Reed-Solomon.....	66
<b>Figura 4.1</b> Señal de información (superior) y señal habilitadora o enable (inferior) en la entrada del codificador.....	68
<b>Figura 4.2</b> Señal de información (superior) y señal habilitadora o enable (inferior) en la salida del decodificador, con SNR=30dB.....	70

<b>Figura 4.3</b> Señal de información (superior) y señal habilitadora o enable (inferior) en la salida del decodificador, con SNR=5dB.....	71
<b>Figura 4.4</b> Señal de información (superior) y señal habilitadora o enable (inferior) en la salida del decodificador, con SNR=1dB.....	72
<b>Figura 4.5</b> Señal <i>din_1</i> a la entrada del canal (superior) y señal <i>dout_1</i> a la salida del canal (inferior), con SNR=30dB.....	74
<b>Figura 4.6</b> Señal <i>din_2</i> a la entrada del canal (superior) y señal <i>dout_2</i> a la salida del canal (inferior), con SNR=30dB.....	75
<b>Figura 4.7</b> Señal <i>din_1</i> a la entrada del canal (superior) y señal <i>dout_1</i> a la salida del canal (inferior), con SNR=5dB.....	76
<b>Figura 4.8</b> Señal <i>din_2</i> a la entrada del canal (superior) y señal <i>dout_2</i> a la salida del canal (inferior), con SNR=5dB.....	77
<b>Figura 4.9</b> Señal <i>din_1</i> a la entrada del canal (superior) y señal <i>dout_1</i> a la salida del canal (inferior), con SNR=1dB.....	78
<b>Figura 4.10</b> Señal <i>din_2</i> a la entrada del canal (superior) y señal <i>dout_2</i> a la salida del canal (inferior), con SNR=1dB.....	79

## INTRODUCCIÓN

El desarrollo tecnológico y las investigaciones avanzan, y la transmisión de señal de televisión atraviesa por su proceso evolutivo hacia la era digital. La digitalización de la señal no es lo nuevo, sino la forma en la que se transmite dicha señal y todo el entorno tecnológico que lleva a cabo dicho proceso. El estándar DVB (Digital Video Broadcasting) europeo para la transmisión de televisión digital está definido por varias reglas y normas que logran satisfactoriamente la transmisión de la señal, y una de esas normas es la codificación del canal que este estándar plantea. En este proyecto se realizará un esquema de simulación de esta codificación. Llevándose a cabo en el programa System Generator que usa como plataforma a Simulink en MATLAB.

Entre los objetivos generales de este proyecto se destaca el establecer y simular un esquema de codificación del canal o FEC en base al estándar europeo DVB. La forma en la que se llevará a cabo es estudiando el estándar e investigando sobre las diferentes etapas que este presente para así implementarlas en la simulación.

En el capítulo primero se describirán los diferentes impactos (ambiental, ético, económico y social) debido al cambio de estándar en la transmisión de señales de televisión. Luego se detallará una introducción al estándar y al sistema a simular, y finalmente los propósitos de un sistema de FEC (Forward Error Correction). La bibliografía a utilizar en este capítulo es (1).

En el capítulo segundo se describirán las diferentes etapas que conforman el esquema de FEC que se simulará, junto al orden y características establecidos en el estándar. Cabe recalcar que la bibliografía a utilizar en este capítulo es (2).

En el capítulo tercero se realizará la descripción del programa a usar y como se llevará a cabo la simulación de las diferentes etapas descritas anteriormente en el capítulo segundo. Se detallará también las señales de entrada y salida de las etapas en la simulación.

Finalmente en el capítulo cuatro de este informe se detalla un análisis de los resultados modificando los valores del SNR del canal que para efectos prácticos será AWGN.



## **1 FUNDAMENTOS TEÓRICOS**

En el subcapítulo 1.1 se analizan los diferentes impactos (ambientales, económicos, éticos y sociales) como consecuencia del cambio de estándar en la transmisión de señales de televisión. En el subcapítulo 1.2 se describe una introducción al estándar DVB (Digital Video Broadcasting) y finalmente en el subcapítulo 1.3 se detallan los diferentes propósitos de un sistema de FEC (Forward Error Correction).

### **1.1 Análisis de los diferentes impactos debido al cambio de estándar en la transmisión de señales de televisión**

La era de la televisión digital ya es un hecho, la transmisión de imágenes de alta definición por medio de enlaces digitales también. Pero todo esto genera consecuencias que pueden ser analizadas desde el punto de vista ambiental, económico, ético y social. Es importante analizar estos impactos en los diferentes ámbitos para proyectar la conformidad o inconformidad de este cambio de estándar y así comprender cómo afecta la migración a una nueva tecnología digital.

A continuación se detalla y analiza los diferentes impactos que se producen debido al cambio de estándar en la transmisión de señales de televisión.

### **1.1.1 Impacto Ambiental**

Es complicado encontrar cómo la radiación electromagnética puede alterar el medio ambiente, cuando ni siquiera hay estudios certeros sobre su exposición en los seres humanos. Sin embargo la ubicación de las torres nuevas con los equipos para acoger este estándar pueden ocasionar un gran impacto ambiental si no se lo controla y supervisa con responsabilidad, es decir sin control cualquier canal de televisión podría levantar torres, incluso en zonas restringidas o parques protegidos por el gobierno (por su gran contenido de fauna y flora), ocasionando una migración y disturbio en el medio donde habita una gran riqueza animal, solo por conveniencia geográfica para dicha institución.

El impacto ambiental no solo lo vemos desde cómo afecta la implementación de nueva infraestructura en el sector, sino también la emisión de radiación. Para la elaboración del estándar DVB (Digital Video Broadcasting) se tomo en cuenta que debe acogerse a las normas ya establecidas para televisión analógica, como por ejemplo el ancho de banda, con el objetivo de no

interferir con el sistema anterior analógico. Los transmisores para transmisión de televisión digital consumen menos potencia para una misma cobertura que los transmisores de televisión analógica, y por consiguiente consumen menos energía, lo cual es un aspecto positivo en un país con problemas de generación de energía eléctrica (1).

### **1.1.2 Impacto Económico**

Desde el punto de vista económico es muy interesante analizar el hecho de que la gente o público televidente prioriza la calidad, es decir el telespectador no tiene reparo en invertir en receptores televisivos si está garantizada una mejor calidad entre otros beneficios en lo que verá en su televisor.

Como toda tecnología nueva en el mercado y de punta, implica una gran inversión sobre todo en un país que no desarrolla sino que importa tecnología, pero el producto que se entrega al consumidor final es de calidad y contiene nuevos beneficios, los cuales atraerán a los telespectadores a invertir en su beneficio y confort.

Aunque la llegada del “boom” digital implica gran inversión, para las instituciones televisivas y los consumidores finales, éste presenta una gama

de beneficios, simplicidad y eficiencia que hacen que el sistema analógico deje mucho que desear (1).

### **1.1.3 Impacto Ético**

El cambio de estándar hacia uno digital, implica una mejora en la calidad del video y audio transmitidos al público televidente, y esto a su vez representa un cambio en la costumbre de los consumidores finales, ya que será un espectador más exigente en el momento de elegir el canal de recepción, simplemente por la calidad.

Este proceso lleva tiempo, y hasta que el público televidente adquiera los receptores y comience a deleitar la vista y la programación de alta definición, las instituciones que invirtieron primero en esta nueva tecnología no tendrán mayor rentabilidad pues no abarcarán gran mercado inicialmente.

### **1.1.4 Impacto Social**

En el ámbito social, la migración a una mejor tecnología televisiva, socialmente causa gran conmoción y a la vez incertidumbre por el temor de

la gente, sobre todo la de escasos recursos, a invertir en nuevos equipos de recepción televisiva.

Una vez superado el proceso de transición, el auge que tendrá la televisión digital solo se compara con la popularidad que tendrán sus diferentes beneficios, entre los cuales se destacan una mejor calidad de video con un mejor aspecto, con la posibilidad de seleccionar la programación a gusto del usuario y por si fuera poco la interacción con el sistema televisivo es lo que sellará el pasado analógico. Esto sin mencionar la posibilidad de conectarse a la red de internet, entre otros.

## **1.2 Introducción al estándar DVB (Digital Video Broadcasting)**

El estándar DVB para la transmisión de televisión digital, es el estándar acogido por Europa, se podría decir que es la versión digital de PAL (Phase Alternating Line).

Este estándar fue elaborado respetando las normas básicas del estándar analógico PAL, es decir, cada canal de ocupar 8MHz de ancho de banda y cumplir con ciertos criterios de potencia de transmisión y cobertura; y la composición de la señal de video debe hacerse bajo ciertos parámetros

como una relación de aspecto u otra, dependiendo si se desea video de alta definición o definición estándar, etc.

El objetivo de crear un estándar para la transmisión digital de señal de televisión es la de usar más eficientemente el espectro radioeléctrico de tal forma que se pueda implementar mejoras en el servicio de televisión gracias a los avances en la tecnología digital.

Dentro del estándar se encuentran ciertas especificaciones, y de todas estas se estudiará a fondo una, la codificación del canal que plantea este estándar. El detalle y funcionalidad de la codificación del canal para DVB se describe en capítulos posteriores (Capítulos 2 y 3).

### **1.3 Descripción general del sistema DVB (Digital Video Broadcasting)**

El estándar prácticamente se lo podría descomponer en tres etapas muy generales que son: la codificación de la fuente, la codificación del canal y finalmente la transmisión/Recepción.

El estándar especifica como codificar la información captada, luego prepara este torrente de unos y ceros en información codificada para enfrentarse a

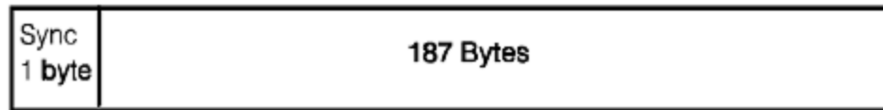
las asperezas del canal para así finalmente adecuarse a la portadora o sistema de portadoras para su transmisión.

Una vez que la señal es recibida por el receptor, básicamente sufre un proceso inverso al anterior mencionado. Siendo recibida la señal debe decodificarse, quitándole la redundancia que permitirá corregir en caso de ser necesario la información contenida en unos y ceros para luego así ser decodificada una vez más en la información final que vera el usuario final (1).

### **1.3.1 Codificación de la fuente**

La codificación de la fuente es muy importante en toda transmisión digital, pues permite la interpretación de diferentes símbolos en un lenguaje digital, es decir en unos ceros, para su posterior transmisión.

La codificación de fuente que se usa en este estándar es MPEG (en sus diferentes versiones), permitiendo incluso la codificación de un formato de alta definición. Una vez obtenida la información de la fuente, se debe armar la trama de datos que según el formato MPEG-2, debe ser de 1 byte de sincronismo y 187 bytes restantes de información, según como se muestra en la figura 1.1 debe que luego ingresan a la parte de aleatorización o scrambler.(2)



**Figura 1.1** Trama de 188 bytes de formato MPEG-2.

El proceso de scrambler consiste en reordenar bajo un orden conocido los bits de cada trama para darle un orden aleatorio, con el objetivo de asegurar la dispersión de energía (1). Una vez que los bits salen de la etapa de scrambler, están listos para ingresar a la siguiente fase, conocida como codificación del canal. En la figura 1.2 se puede observar un pequeño diagrama de bloques de lo descrito anteriormente.



**Figura 1.2** Diagrama de bloque general de la codificación de la fuente.

Cuando los bits salen de la etapa del scrambler, su destino es la codificación del canal que se detalla a continuación.

### 1.3.2 Codificación del canal

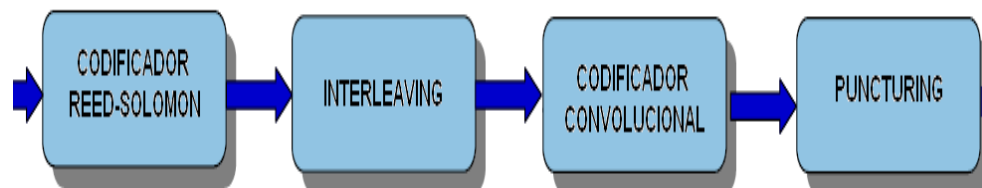


Una vez que los bits fueron generados según los símbolos de entrada, compuestos en una trama y aleatorizados para la distribución de energía, esta preparados para ingresar a la codificación del canal. Esta etapa se encarga de preparar a los bits de información para su salida al medio o canal.

El canal puede presentar diferentes altibajos que imposibilitan la llegada correcta de los bits generándose errores en el receptor. La codificación del canal está compuesta por varias etapas que son:

- Codificador externo (Reed-Solomon).
- Interleaving.
- Codificador interno (Codificador Convolutacional y el puncturing).

Cada una de las cuatro etapas que conforman la codificación del canal descrito por el estándar DVB para la transmisión de señal de televisión digital, contiene un propósito para que la información si fue afectada durante su paso por el canal sea corregida y bien interpretada en el receptor.



**Figura 1.3** Diagrama de bloque general de la codificación del canal.

Las características de las diferentes etapas de la codificación del canal serán explicadas más a detalle en posteriores capítulos. En la figura 1.3 se puede apreciar el orden de las etapas del codificador del canal.

### **1.3.3 Transmisión/Recepción**

El estándar DVB para la transmisión de señales de televisión digital utiliza OFDM que es un sistema de modulación en múltiples portadoras ortogonales entre si, por división de frecuencia.

La implementación de la modulación OFDM era muy complicada ya que requería gran precisión para lograr la ortogonalización entre las múltiples portadoras. Y finalmente el sistema no era muy estable, pero con la actual tecnología e investigaciones, se ha logrado implementar OFDM por medio de la FFT (Fast Fourier Transform).

Previo a la transmisión se debe realizar un mapeo de la información codificada de acuerdo a la modulación a usar QAM, QPSK, etc.. Luego se lleva a cabo la inserción de portadoras piloto, cuya función es sincronizar al receptor en frecuencia y fase. Luego la información ya mapeada ingresa a la etapa de la IFFT (Inverse Fast Fourier Transform) la cual descompone la

señal en una sumatoria de portadoras ya moduladas por la información mapeada, donde cada frecuencia de portadora es múltiplo en enteros naturales consecutivos de una frecuencia base.

Teniendo lista la señal a transmitir se le añade un intervalo de guarda, es decir, un intervalo de tiempo en el que se repite una porción de la señal, que ayudara a eliminar el problema de distorsión por multicamino (1).



Figura 1.4 Etapa previa a la transmisión.

En resumen la figura 1.4 muestra el orden a seguir de las etapas de la transmisión de la señal según el estándar DVB.

#### 1.4 Propósitos de un sistema de FEC (Forward Error Correction)

Se entiende por un sistema FEC, aun sistema capaz de recibir la información de la salida del canal y determinar la validez de la información, es decir si esta no presenta errores.

De presentar errores la información, este sistema deberá reconocerlos y corregirlos de ser posible. En caso de no haber errores este aceptara la información como fue recibida.

En cuanto en el transmisor el sistema de FEC debe adecuar a la información binaria para que sea posible la detección de posibles errores producidos por las inclemencias del canal. Para tal efecto en el transmisor se debe agregar redundancia a la información y proveerla de la robustez necesaria para reducir el impacto de las adversidades del canal sobre la transmisión de la información.

El propósito de un sistema de FEC es la de reducir la probabilidad de error en la transmisión de información por un determinado canal. Logrando su detección y corrección una vez recibida la información, para su posterior interpretación (1).

## **2 ETAPAS DEL ESQUEMA DE SIMULACIÓN DE FEC**

En el subcapítulo 2.1 se describe el funcionamiento y características de cada etapa del codificador y decodificador según el estándar DVB (Digital Video Broadcasting). En el subcapítulo 2.2 se detalla el orden a mantener tanto en el codificador como en el decodificador del sistema a simular.

### **2.1 Etapas del Codificador/Decodificador**

El esquema de FEC no solo es codificación, también se requiere adecuar la señal para minimizar la probabilidad de error. Las etapas en el codificador se disponen en cascada y cada etapa es independiente de la anterior.

El orden de las etapas será la predispuesta en el estándar, junto con su configuración.

#### **2.1.1 Codificador/Decodificador Exterior (Reed-Solomon)**

Es un código cíclico no binario y constituye una subclase de los códigos BCH. Los códigos cíclicos son una subclase de los códigos de bloque estándar de detección y corrección de errores que protege la información contra errores en los datos transmitidos sobre un canal de comunicaciones. Este tipo de código pertenece a la categoría FEC (Forward Error Correction), es decir, corrige los datos alterados en el receptor y para ello utiliza unos bits adicionales que permiten esta recuperación a posteriori (2).

Los códigos Reed-Solomon se basan en un área especialista de la Matemática llamada campos Galois o campos finitos. Un campo finito tiene la propiedad de que las operaciones aritméticas (+,-,x,/,etc.) en elementos del campo siempre tienen un resultado en el campo. Un codificador o decodificador Reed-Solomon debe ser capaz de realizar estas operaciones aritméticas (2).

El codificador Reed-Solomon toma un bloque de información digital y añade bits redundantes. Los errores pueden ocurrir durante la transmisión o almacenamiento de información por varios motivos como Ruido o interferencia, etc. El decodificador Reed-Solomon procesa cada bloque e intenta corregir los errores y recuperar la información original. El número y tipo de errores que pueden ser corregidos depende de las características del código Reed-Solomon (2).

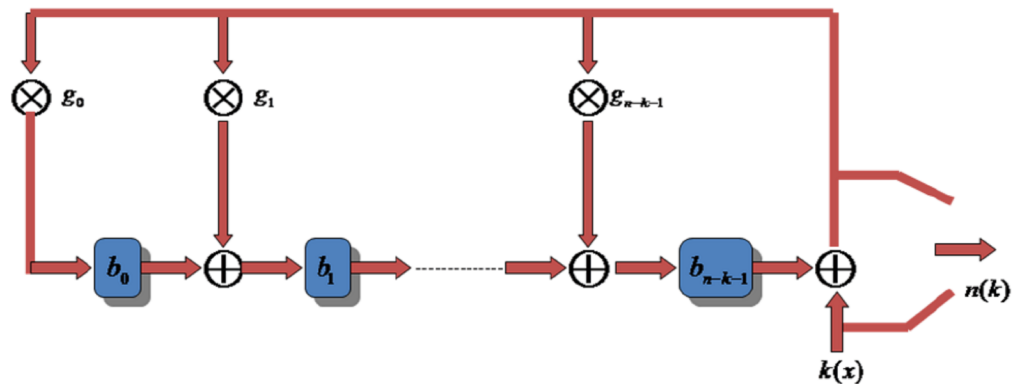
**Tabla 2.1** Tabla de símbolos, codificador Reed-Solomon.

<b>SIMBOLO</b>	<b>DESCRIPCIÓN</b>	<b>RANGO</b>
s	Numero de bits por simbolo	Entero entre 3 y 16
n	Número de simbolos por palabra código Mensaje Total (Inicial + Paridad)	Entero entre 3 y $(2^s)-1$
k	Numero de simbolos por mensaje Mensaje Inicial	Entero menor que n
t	Capacidad de corrección de errores	$(n-k)/2$

Como se muestra en la tabla 2.1 el total de Bytes de paridad es igual al Mensaje Total menos Mensaje Inicial  $(n-k)$ .

Los procedimientos algebraicos de decodificación de Reed-Solomon pueden corregir bytes errados o perdidos. El decodificador puede corregir hasta  $t$  errores consecutivos.

Un mejor esquema sobre el funcionamiento operativo del codificador de Reed-Solomon es el que se muestra en la figura 2.1, donde se pueden apreciar a los registros denotados por  $b_0, b_1, \dots, b_{n-k-1}$ . los valores  $g_0, g_1, g_{n-k-1}$ , son lógicos y si el estado de  $g_i$  ( $i=0,1,\dots,n-k-1$ ) es "1" implica que ese ramal se encuentra habilitado, caso contrario se encuentra deshabilitado y no pasa información por dicho ramal.



**Figura 2.1** Diagrama de bloques de el codificador de Reed-Solomon.

$k(x)$ , se denomina a la señal de información que ingresa a ser codificada, y  $n(x)$  a la señal de salida codificada. En el caso de DVB, el único coeficiente  $g_i$  que se encuentra habilitado es el  $g_{14}$  según el estándar (2).

### 2.1.1.1 Análisis descriptivo y propósito del Codificador de Reed-Solomon

La codificación de Reed-Solomon, intenta proteger la información a transmitir, permitiéndose corregir hasta un máximo de 't' errores consecutivos. La codificación de la fuente envía paquetes de 188 bytes, los cuales entran a la etapa de codificación del canal, específicamente al codificador de Reed-Solomon en primera instancia. Como ya se mencionó anteriormente, este codificador aumenta bytes a la trama, bytes redundantes



de información que según el estándar deben ser 16 bytes, para lograr así una trama o palabra codificada de una longitud de 204 bytes.

El codificador externo tiene como entrada de principal de datos paquetes de 188 bytes, y en su salida observamos un total de 204 bytes, por lo tanto según la tabla 2.1, la cantidad de bytes consecutivos que se pueden corregir será de 8 bytes consecutivos.

Cabe resaltar que, teniendo en cuenta que la transmisión será bajo modulación OFDM, según el estándar DVB, se transmitirán múltiples portadoras con información. Uno de los problemas muy frecuentes es el desvanecimiento selectivo del canal, el cual se lo analizara posteriormente.

#### **2.1.1.2 Análisis descriptivo y propósito del Decodificador Reed-Solomon**

En el decodificador de Reed-Solomon se encuentra la tarea final de detectar y corregir los errores en caso de haberlos. Pero Reed-Solomon tiene una limitante, sólo permite corregir hasta 8 bytes consecutivos, de ser más, no podría corregirlos.

La información de salida del decodificador de Reed-Solomon, es la información final que saldrá de la etapa de decodificación del canal en el extremo del receptor. Es decir que la entrada al decodificador de Reed-Solomon es la salida de los demás bloques que conforman el esquema de FEC según el estándar DVB.

### 2.1.2 Interleaving/De-Interleaving convolucional

El proceso de entrelazado, “*interleaving*”, se aplica a los paquetes ya codificados (Reed-Solomon) con objeto de segmentar y repartir las ráfagas prolongadas de errores, facilitando así su posterior detección y corrección en recepción, tal y como se ilustra en la figura 2.2 (2).

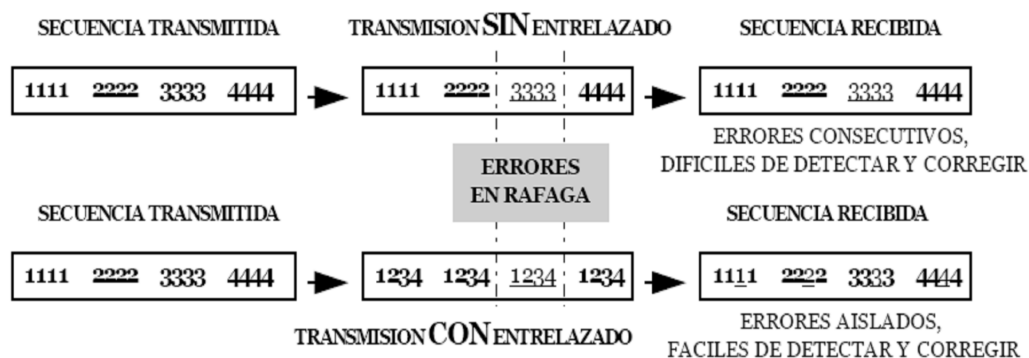


Figura 2.2 Funcionalidad del Entrelazado o interleaving.

Como se observa en la figura 2.3, los símbolos (octetos) entrantes son alojados, secuencialmente, en un banco de 'l' registros, proporcionando cada registro 'M' símbolos más de almacenamiento que el registro precedente, y comportándose cada registro como una cola-FIFO ("First In First Out"). Con cada nuevo símbolo (octeto) el conmutador pasa a un nuevo registro, repitiéndose el proceso cada 'l' símbolos (2).

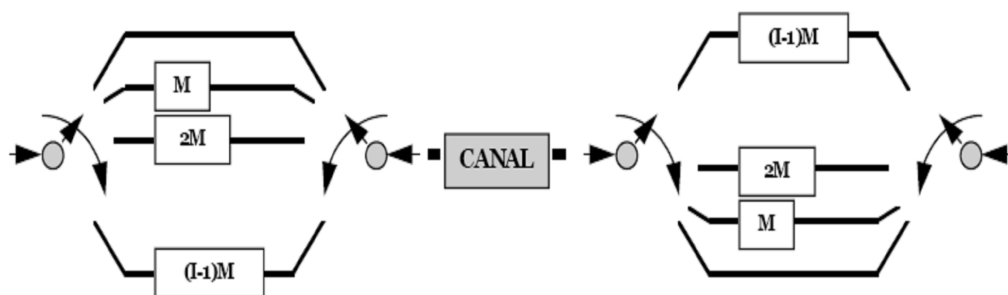


Figura 2.3 Diagrama del interleaving y De-interleaving.

### 2.1.2.1 Análisis descriptivo y propósito del Interleaving

En la figura 2.2 se puede observar como en una secuencia no entrelazada se pueden producir errores en ráfaga que exceda la capacidad de corrección de Reed-Solomon. De ahí la importancia del interleaving, pues permite dispersar los errores de ráfaga, facilitando la corrección en el receptor.

Los bytes de datos entrelazados, y que previamente fueron agregados redundancia por el codificador de Reed-Solomon, están delimitados por los bytes de sincronización MPEG-2, que no sufren alteración alguna en su posición durante la etapa de interleaving. El entrelazado preserva, por tanto, la periodicidad de 204 bytes de la trama de datos.

Todo este proceso reduce los errores a ráfagas introducidos por el canal de transmisión, ya que después de la reordenación de los datos en el receptor, estos errores se habrán distribuido entre paquetes sucesivos, lo que favorecerá que no se excedan los límites en los que la codificación Reed-Solomon puede recuperar la información original (recordemos que puede corregir hasta 8 bytes erróneos consecutivos).

#### **2.1.2.2 Análisis descriptivo y propósito del De-Interleaving**

El entrelazador o interleaving presenta una ayuda muy eficiente a la codificación de Reed Solomon, maximizando sus características de FEC.

Nada de lo anterior mencionado, serviría sin su complemento en el receptor. El De-interleaving se compone de un grupo de registros de forma inversa que en el interleaving, según como se muestra en la figura 2.3.

la salida de información desentrelazada ingresa al decodificador de Reed-Solomon esparciendo las ráfagas sucesivas y facilitando la labor de corrección en el receptor.

### **2.1.3 Codificador/Decodificador Interior (C. Convolutacional y Decodificador de Viterbi)**

Los códigos convolutacionales son adecuados para usar sobre canales con mucho ruido (alta probabilidad de error). Los códigos convolutacionales son códigos lineales, donde la suma de dos palabras de código cualesquiera también es una palabra de código. Y al contrario que con los códigos lineales, se prefieren los códigos no sistemáticos.

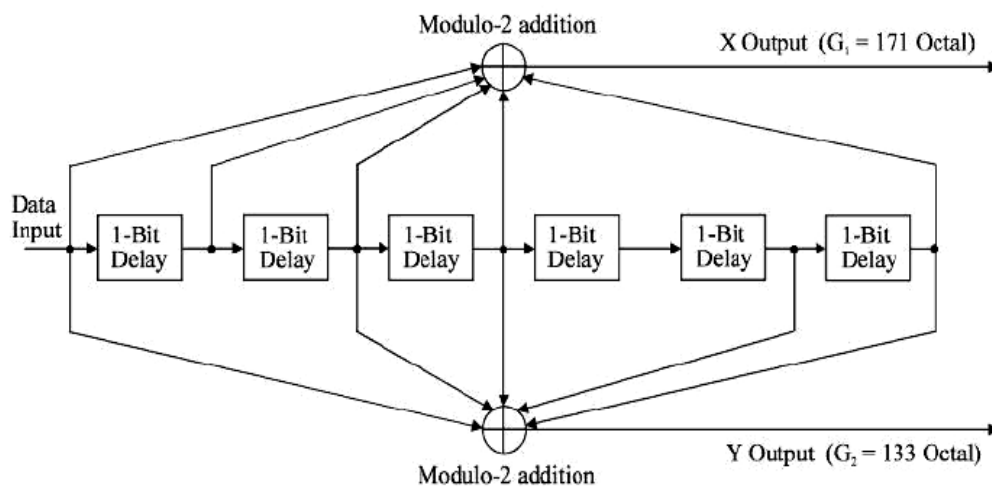
El sistema tiene memoria: la codificación actual depende de los datos que se envían ahora y que se enviaron en el pasado.

Un código convolutacional queda especificado por tres parámetros (n,k,m):

- **n** es el número de bits de la palabra codificada.
- **k** es el número de bits de la palabra de datos.
- **m** es la memoria del código o longitud restringida.

Después del codificador externo y el entrelazado, la información se somete a un nuevo proceso de codificación, denominados “internos”. La codificación interna es del tipo convolucional y es complementada con un proceso de perforado o puncturing.

Los datos que provienen del interleaving deben ser codificados con un codificador convolucional de tasa  $R_c = 1/2, 2/3, 3/4, 5/6$  ó  $7/8$ , en función de la elección del usuario. Los polinomios generadores utilizados son:  $G_1=171_{OCT}$  y  $G_2=133_{OCT}$  para la tasa  $R_c = 1/2$ , el resto de tasas más altas derivan de ésta utilizando puncturing. La Figura 2.4 muestra el esquema del codificador convolucional de relación 1/2 con 64 estados (2 elevado a la 6, debido a 6 registros).



**Figura 2.4** Codificador convolucional de relación  $1/2$ .

Este codificador está orientado al bit y distribuye en dos salidas (X e Y) el flujo de datos original a base de combinar (sumas módulo-2) los datos de entrada con los obtenidos en las tomas situadas detrás de una serie de registros de desplazamiento. Se suma a los datos de entrada el dato de la toma correspondiente cuando el valor del polinomio generador (expresado en binario) en el registro en cuestión corresponde a "1" y no se usa el dato del registro cuando el valor es "0".

Para la tasa de codificación  $R_c = 1/2$ , se logra una potente protección contra errores aleatorios, pero se baja a la mitad la capacidad del canal. Para no limitar tanto la capacidad del canal, el sistema permite seleccionar para la transmisión sólo algunos de los datos obtenidos en las salidas X e Y, los cuales son posteriormente convertidos a secuencia en serie; es el proceso de puncturing.

Un método de fuerza bruta de decodificar una secuencia utilizando el principio de máxima verosimilitud es calcular la distancia entre la secuencia recibida y todas las posibles secuencias transmitidas, seleccionado entonces la de mínima distancia. Es decir, si se reciben palabras codificadas de N bits de longitud, entonces habrá que hacer  $2^N$  cálculos de distancia. Esto implica que a medida que N aumenta se hace impráctica la carga computacional de tal método.

El algoritmo de Viterbi esencialmente lleva a cabo el proceso de decodificación según el principio de máxima verosimilitud; sin embargo reduce la carga de código, pero tomando ventaja del árbol de código.

Se basa en el principio de calcular la distancia entre la señal recibida en el tiempo  $t_i$  y todas las trayectorias o caminos del esquema del enrejado de Trellis en cada tiempo  $t_i$ , desechando aquellos caminos que no son candidatos posibles para escoger los de máxima probabilidad. Cuando 2 caminos entran al mismo estado, se escoge el que tenga mayor métrica, el cual se llama camino superviviente.

La selección de caminos supervivientes se efectúa por todos los estados. El decodificador continúa de esta forma avanzando en profundidad en el enrejado ejecutando decisiones que eliminan los caminos menos probables.

### **2.1.3.1 Análisis descriptivo y propósito del Codificador Convolutivo**

La codificación convolutiva representa una gran ayuda a la corrección de errores, es una codificación que emplea una estrategia diferente a la de Reed-Solomon. Este no aumenta redundancia a los bits de información, sino



que cambia los bits de entrada de información por otros producto de sumas modulo-2 y combinados con registros.

Esto cambia por completo la palabra de código de entrada en una nueva palabra de código en la salida. Lo interesante de los códigos convolucionales está en su método de decodificación, por medio del algoritmo de Viterbi.

El objetivo de tener una segunda y última codificación es la de lograr obtener la mínima probabilidad de error de bit, y con la codificación convolucional bajo los parámetros que indica el estándar DVB se logra lo propuesto.

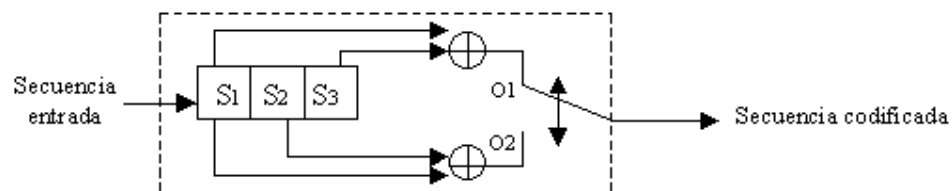
#### **2.1.3.2 Análisis descriptivo y propósito del Decodificador de Viterbi**

El decodificador de Viterbi proporciona una gran herramienta en la corrección de errores pues su método por aproximación es altamente eficiente y se presta para minimizar los errores en caso de no corregirlos completamente, dejando una tarea más liviana al decodificador de Reed-Solomon.

El algoritmo de Viterbi se realiza con la ayuda del árbol de Trellis el cual no es más que una mejor visualización del diagrama de estados del codificador convolucional usado.

El decodificador de Viterbi es el primer bloque decodificador en el receptor, y prácticamente es el responsable de minimizar los errores para las siguientes etapas de decodificación.

Para comprender mejor el funcionamiento del algoritmo de viterbi, se lo describirá con un ejemplo. Sea el codificador convolucional (2,1,3) es decir una entrada, 2 salidas y 3 registros, como se muestra en la figura 2.5.



**Figura 2.5** Codificador convolucional (2, 1, 3).

Donde S1, S2, S3 son los 3 registros. O1 y O2 son las salidas. Bajo estas condiciones el codificador tendrá las siguientes salidas que se muestran en la tabla 2.2.

**Tabla 2.2** Tabla de salidas del codificador de la figura 2.5.

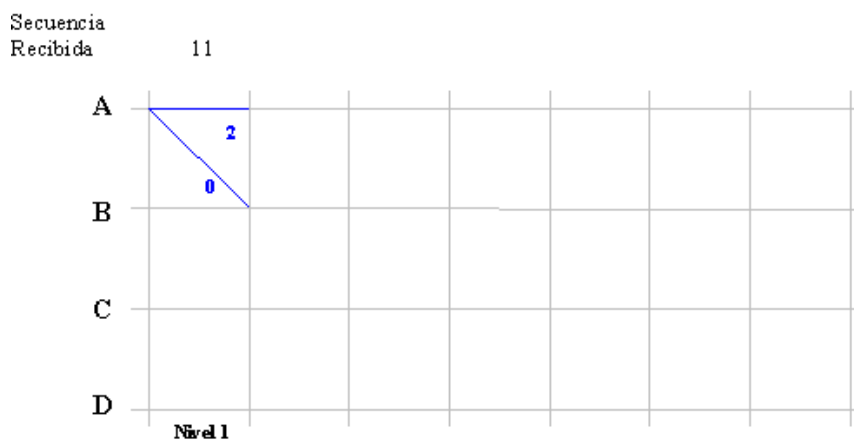
Entrada (S3,S2,S1)	Salida (O1,O2)
000	00
001	11
010	01
011	10
100	10
101	01
110	11
111	00

Basándose en la tabla 2.2 y en el funcionamiento del codificador convolucional como se muestra en la figura 2.5 se puede establecer entonces el siguiente árbol de código que describe de otra manera el funcionamiento del codificador que se muestra en la figura 2.6.



se debe dirigir por el ramal inferior del árbol al siguiente estado, y si la entrada es "0" se debe dirigir al siguiente estado por el ramal superior. Y se obtendrán para cada caso las salidas correspondientes al código binario de dos dígitos mostrado en la figura 2.6.

En base al árbol que describe al codificador se puede plantear un decodificador con el diagrama de Trellis que consiste en crear una cuadrícula donde en el margen izquierdo se colocarán los diferentes estados del codificador y en el margen superior se colocaran las entradas al decodificador en grupos de dos dígitos conforme van ingresando. En la figura 2.7 se puede apreciar lo antes mencionado.



**Figura 2.7** Diagrama de Trellis para la decodificación de Viterbi, primer nivel.

En la figura 2.7 se describe el comienzo para la decodificación de Viterbi, para lo cual se considera que la entrada a decodificar es 11010011110011,

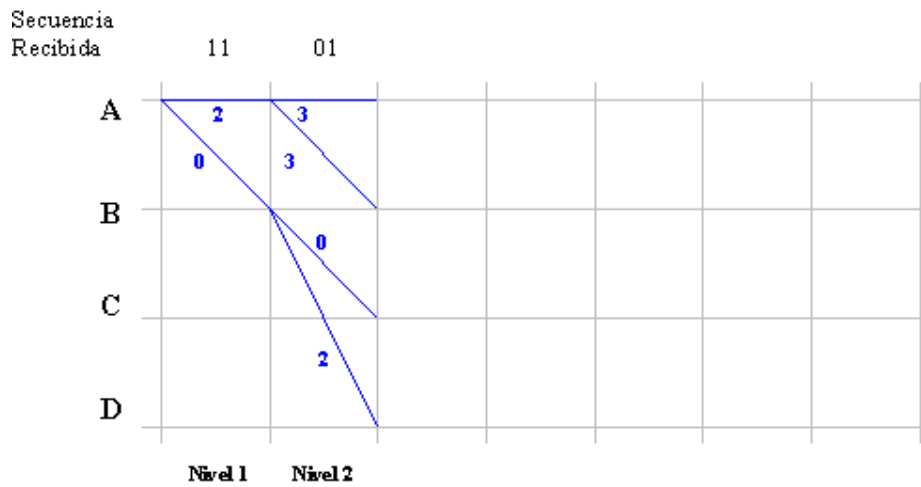
ingresando los bits de izquierda a derecha, y la secuencia binaria que genera la palabra de código es 1001110.

Para comenzar la decodificación se asume siempre que se empieza desde el estado inicial 'A' y se calcula la distancia de los estados siguientes posibles a la primera dupla de bits que ingresa al decodificador, escogiéndose el de menor distancia. La distancia se calcula como el número de cambios que hay que hacer sobre los bits originales para llegar a los bits finales entre dos secuencias dadas. Estas distancias se las coloca debajo de cada línea que se dibuja en el diagrama hacia el siguiente estado como se muestra en la figura 2.7 y se encuentra con azul.

Desde el estado inicial se puede ir por el ramal superior o por el inferior cuyo código es "00" el superior y "11" el inferior. Y se calculan las distancias de cada uno de estos estados a la secuencia "11" que es la primer que ingresa. Siendo las distancias de "00" a "11" equivalente a '2' y la distancia de "11" a "11" equivalente a '0' por el numero de cambios que se deberían de realizar, colocándose estos números debajo de las líneas azules que indican el avance en el estado.

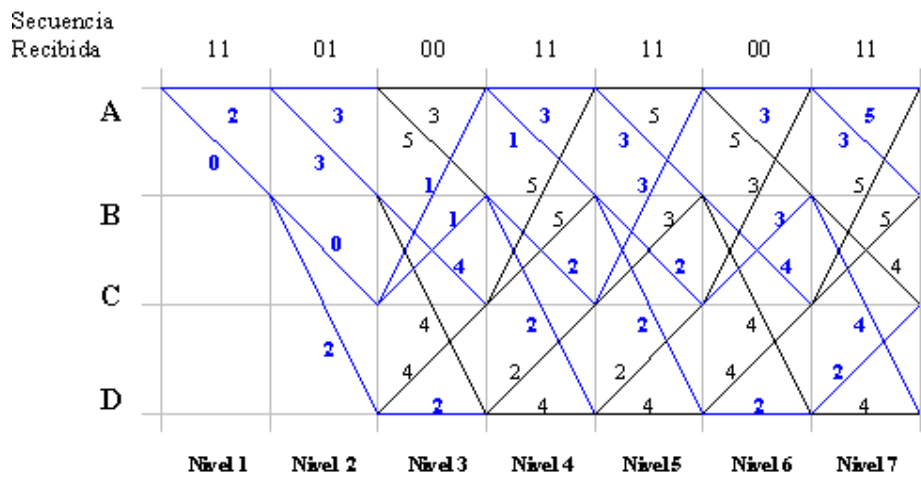
En la figura 2.8 se observa el segundo paso que ya es iterativo, desde el estado 'A' y 'B' se realizan los mismos procedimientos anteriores, calculando

distancias y ubicándolas debajo de las líneas de transición escogiendo siempre la de menor distancia total. El ejemplo se lo muestra en la figura 2.8.



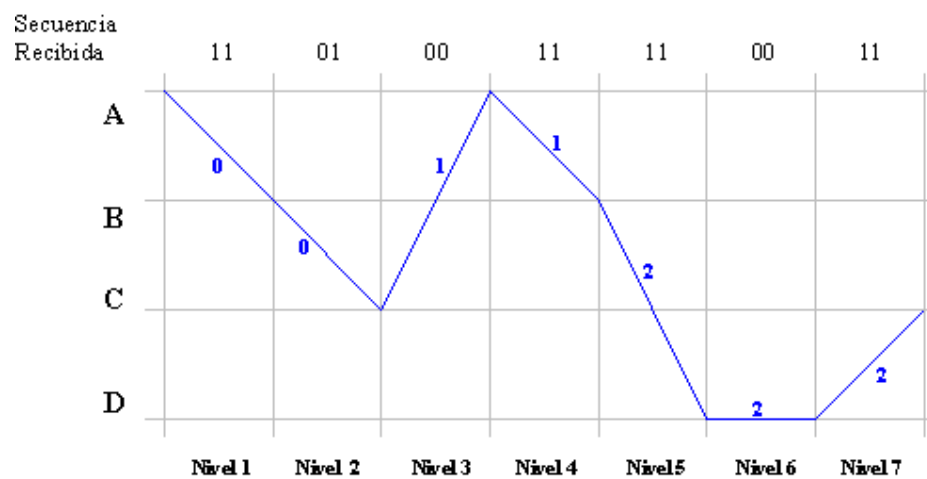
**Figura 2.8** Diagrama de Trellis para la decodificación de Viterbi, segundo nivel.

Este proceso se lo realiza hasta culminar la trama a decodificar, que para el ejemplo se lo muestra en la figura 2.9.



**Figura 2.9** Diagrama de Trellis para la decodificación de Viterbi, último nivel.

Una vez culminada la trama y desarrollado el diagrama de Trellis, se separa el camino con menor distancia para una mejor visualización, como se muestra en la figura 2.10.



**Figura 2.10** Diagrama de Trellis para la decodificación de Viterbi, menor distancia.



Finalmente se seleccionan los bits que generarían este camino de menor distancia, siendo esta secuencia la decodificación del código. Para el ejemplo, que generan las salidas en el diagrama de la figura 2.9 se detallan en la tabla 2.3.

**Tabla 2.3** Solución al ejemplo de la figura 2.5.

Nivel	bit
1	1
2	0
3	0
4	1
5	1
6	1
7	0

Estos bits son obtenidos analizando el árbol de codificación que se muestra en la figura 2.6. Finalizando el ejemplo con la secuencia 1001110 que se detalló desde un comienzo.

#### **2.1.4 Puncturing/Depuncturing**

El Puncturing o perforado es la última etapa en el esquema de codificador de FEC. Esta última etapa es sólo un complemento del codificador

convolucional, que como base tenía una tasa de codificación de  $\frac{1}{2}$  lo cual disminuye a la mitad la capacidad del canal (2).

El perforado, permite la supresión de ciertos bits ya codificados en la salida del codificador convolucional. El estándar propone que bits deben suprimirse, lo que indica en la tabla 2.4.

**Tabla 2.4** Tabla de puncturing y tasas de código.

Code Rates $r$	Puncturing pattern	Transmitted sequence (after parallel-to-serial conversion)
1/2	X: 1 Y: 1	$X_1 Y_1$
2/3	X: 1 0 Y: 1 1	$X_1 Y_1 Y_2$
3/4	X: 1 0 1 Y: 1 1 0	$X_1 Y_1 Y_2 X_3$
5/6	X: 1 0 1 0 1 Y: 1 1 0 1 0	$X_1 Y_1 Y_2 X_3 Y_4 X_5$
7/8	X: 1 0 0 0 1 0 1 Y: 1 1 1 1 0 1 0	$X_1 Y_1 Y_2 Y_3 Y_4 X_5 Y_6 X_7$

Donde 'X' y 'Y' son las salidas del codificador. También se puede apreciar el perforado a los bits necesarios para lograr diferentes tasas de código.

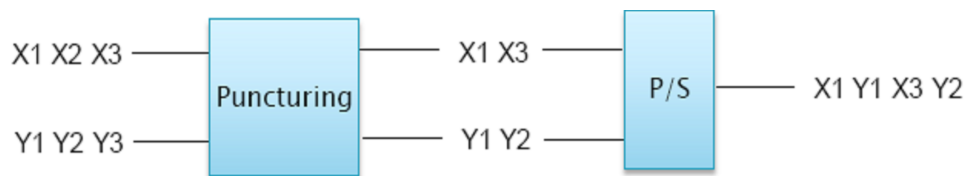
#### 2.1.4.1 Análisis descriptivo y propósito del Puncturing

El objetivo del puncturing o perforado es el de alterar la tasa de codificación con el objetivo de no disminuir en gran magnitud la capacidad del canal, en

DVB existen 5 tasas de código (ver tabla 2.4) que serán escogidas según la necesidad en la transmisión.

El puncturing es muy importante pues reacomoda la capacidad del canal, suprimiendo el envío de ciertos bits codificados, lo cual se corrige en el extremo opuesto en el receptor.

En la figura 2.11 se puede apreciar la funcionalidad del puncturing con un ejemplo, donde la salida del codificador convolucional se dirige al proceso de puncturing.



**Figura 2.11** Funcionamiento del puncturing a una tasa de código 3/4.

Como se aprecia en la figura 2.11, el puncturing tiene 6 bits de entrada por cada 4 de salida por lo que su tasa sería 6/4, el codificador convolucional tiene una tasa de 1/2 (pues por cada bit que ingresa, se obtienen dos a la salida). Por lo que la capacidad del canal se reduce en el producto de estas tasas, es decir en 3/4.

#### **2.1.4.2 Análisis descriptivo y propósito del De-puncturing**

El De-Puncturing, es el proceso inverso en el receptor. Inserta un conjunto de bits predefinidos, completando la tasa necesaria para que el decodificador de Viterbi realice la decodificación convolucional.

El bloque de De-puncturing, es el primer bloque en el decodificador del canal en el receptor, y es de gran importancia pues permite que la decodificación se dé con el mínimo de errores. Así como el puncturing era un complemento necesario en el codificador interno, de igual forma el De-puncturing lo es para el decodificador.

### **2.2 Organización de las etapas según el estándar**

Una vez descritas las etapas, estas deben ir en algún orden. Ese orden debe proveer la mayor eficiencia en el esquema de FEC.

El orden que se lleve en el decodificador deberá ser el inverso que en el Codificador para mantener la armonía y el correcto funcionamiento de las etapas en cada extremo y así obtener la información inalterada que es el propósito de fondo (3).

Cabe destacar que el codificador (junto con todas sus etapas) se encuentra en la mitad de los procesos de la capa física, es decir en la capa física en primera instancia se encuentra la codificación de la fuente, para luego ser codificada para el canal y finalmente el proceso de transmisión (3).

En el decodificador, ocurre un proceso similar, la señal ingresa al proceso de recepción donde se la demodula y se extrae la señal mensaje codificada, para luego entrar a la decodificación del canal, y finalmente ser decodificada en la fuente y ser interpretada por el usuario.

### **2.2.1 Orden de etapas del Codificador**

Una vez recibida la trama de 188 bytes del codificador de la fuente, de los cuales el primero es de sincronismo. Esa trama se dirige a la entrada del codificador del canal. Cada etapa ya fue descrita de forma individual anteriormente, y el orden en el que se encuentra cada etapa es el siguiente:

1. Codificador de Reed-Solomon o codificador externo.
2. Interleaving o entrelazado.
3. Codificador convolucional o codificador interno.
4. Puncturing.

Este es el orden que demanda el estándar DVB para la codificación del canal. Una vez conocido el funcionamiento del codificador, es importante entender como se simulara cada etapa (1) (3).

### **2.2.2 Orden de etapas del Decodificador**

En el decodificador es importante colocar de manera simétrica cada etapa inversa a su Homóloga en el codificador, para garantizar una salida del decodificador igual a la entrada del codificador, es decir los 188 bytes correctamente decodificados.

El orden en cuestión para el decodificador sería el siguiente:

1. De-puncturing.
2. Decodificador de Viterbi.
3. De-interleaving.
4. Decodificador de Reed-Solomon.

De igual manera que en el codificador, una vez comprendido el funcionamiento de las etapas que decodifican la señal, es importante comprender como se enlazan unas con otras en la simulación (1) (3).

### **3 DISEÑO DE LA SIMULACIÓN DEL ESQUEMA DE FEC (FORWARD ERROR CORRECTION)**

En el subcapítulo 3.1 se realiza una descripción del sistema en general, mostrándose cada etapa y los bloques que la conforman en la simulación. En el subcapítulo 3.2 se describe el canal de comunicaciones que se usará en la simulación, y finalmente en el subcapítulo 3.3 se realizan descripciones de los bloques más importantes de cada etapa detallando sus señales de entrada y salida.

#### **3.1 Descripción del sistema general**

El esquema de FEC será simulado en System Generator programa perteneciente a la marca Xilinx. Este programa usa como plataforma a Simulink de MATLAB. Debido a que la interfaz es la de Simulink, la simulación será en diseño basado en modelo.

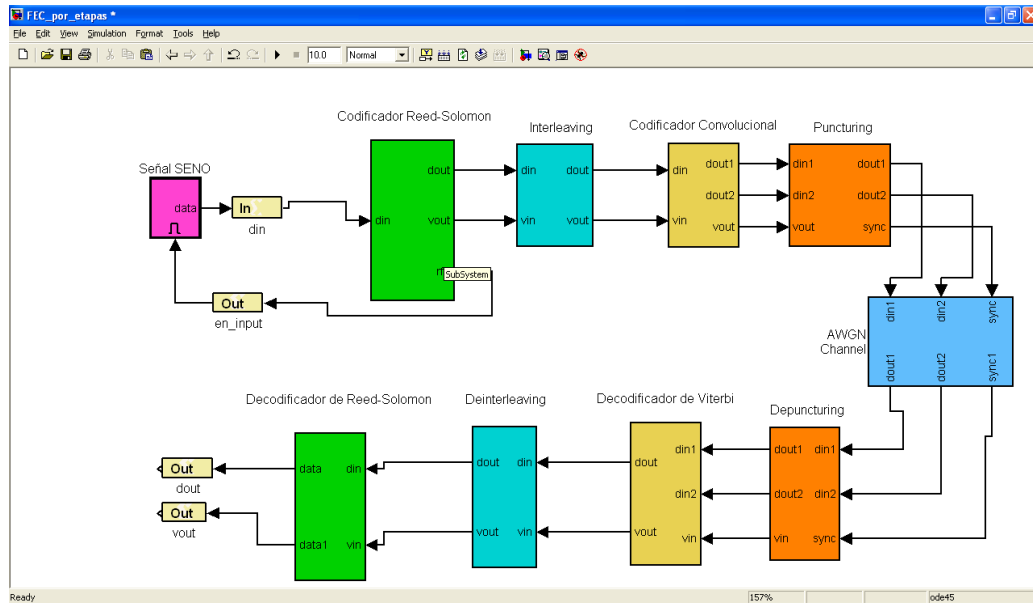
En síntesis, el esquema de FEC se lo realizará, simulando una entrada de datos binarios, que serán tomados de una señal seno a la entrada del

sistema. Estos bits ingresarán directamente a las etapas de codificación, y una vez atravesadas todas las etapas del mismo, pasarán por un bloque que simulara el medio o canal de transmisión el cual será AWGN (Additive White Gaussian Noise).

Cuando la señal codificada atraviesa el canal, ingresa al decodificador, y a la salida de este se deberá observar la señal tal cual estaba a la entrada del codificador.

En la figura 3.1 se observan los bloques que conforman las diferentes etapas en la simulación del esquema de FEC (Forward Error Correction), las mismas que se encuentran con colores diferentes en el codificador y mantienen el mismo color con su Contraparte correspondiente en el decodificador.

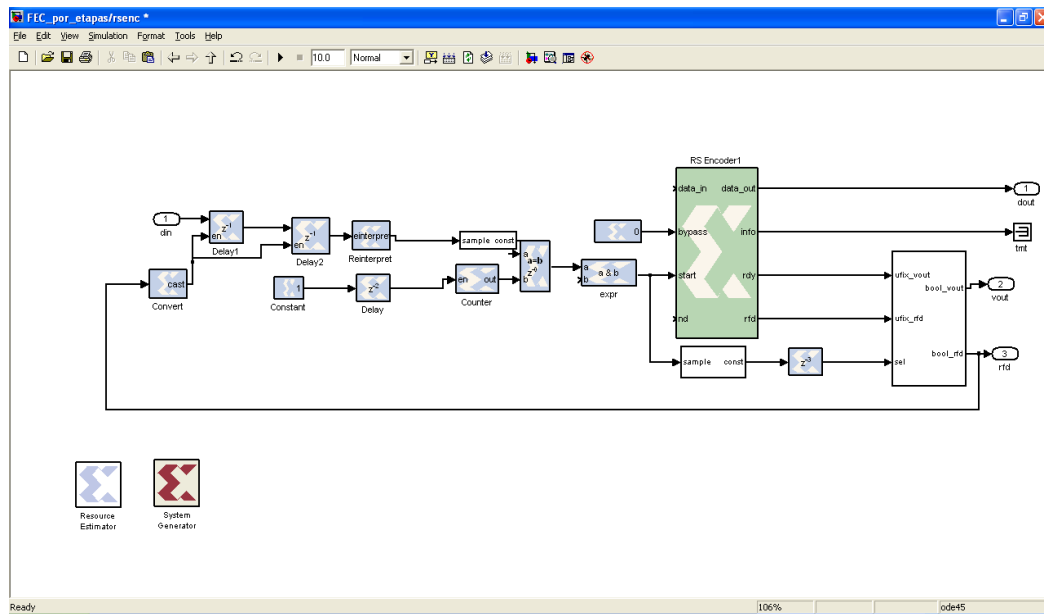




**Figura 3.1** Bloques de las etapas en la simulación.

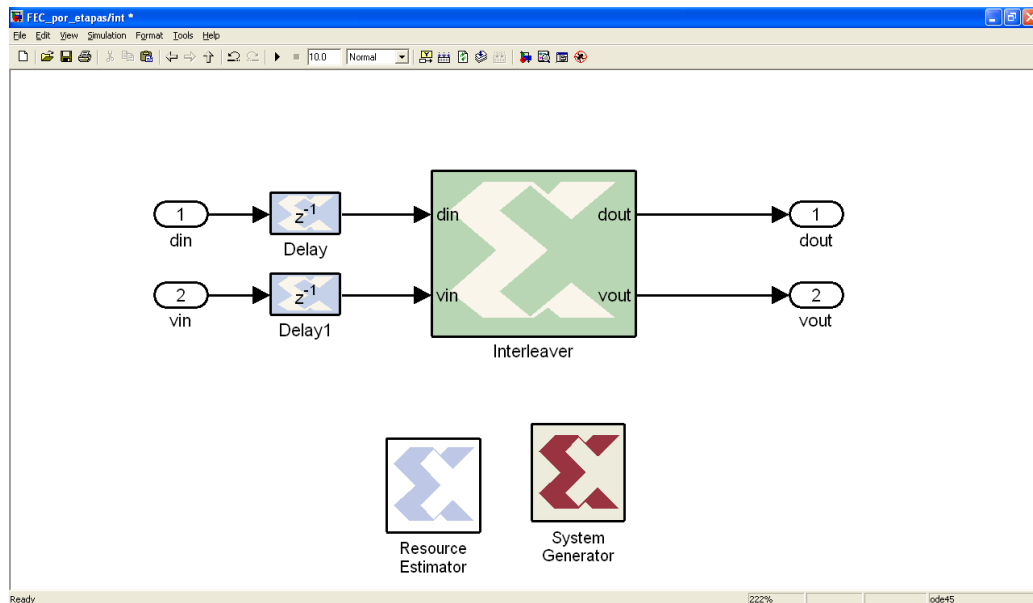
Dentro de cada bloque o subsistema como lo denomina Simulink, se encuentran un conjunto de bloques pertenecientes a la librería de Xilinx.

En la figura 3.2 se aprecian los bloques que se encuentran en el interior del bloque de codificación externa.



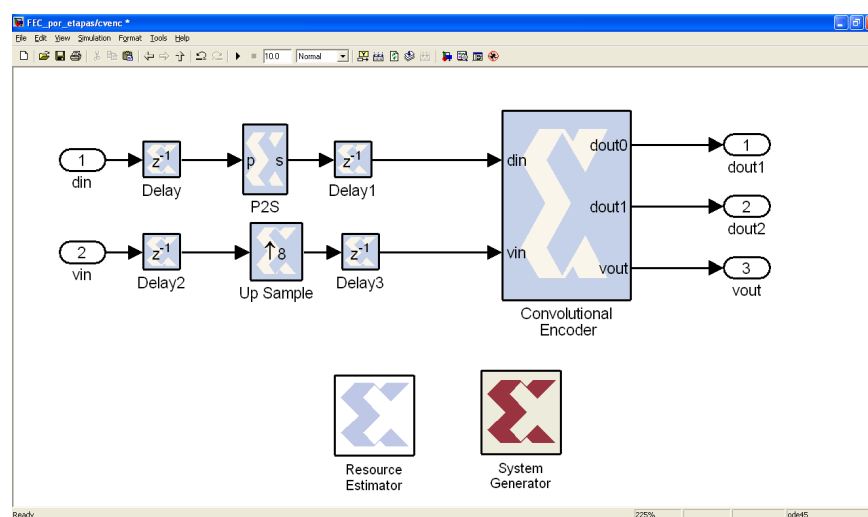
**Figura 3.2** Bloques que conforman la etapa de codificación externa.

Continuando con la siguiente etapa, en la figura 3.3 se observan los bloques que conforman la etapa de Interleaving.



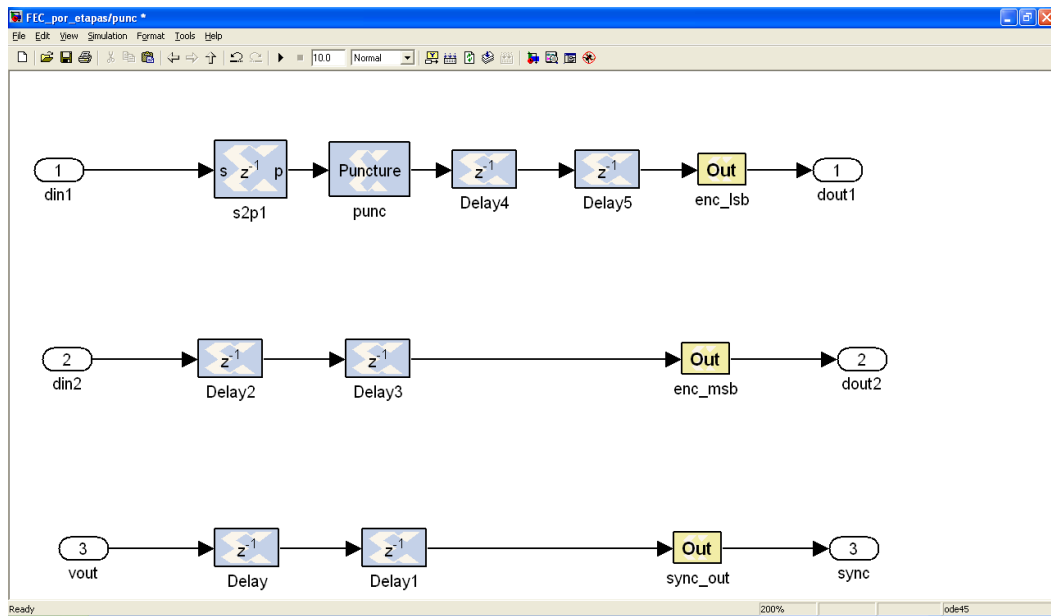
**Figura 3.3** Bloques que conforman la etapa de Interleaving.

Luego del Interleaving se encuentra el codificador convolucional, y en la figura 3.4 se observa los bloques que conforman la etapa de codificación interna.



**Figura 3.4** Bloques que conforman la etapa de codificación interna.

Finalmente en el codificador se encuentra la etapa de Puncturing, en la figura 3.5 se aprecia los bloques que la componen.



**Figura 3.5** Bloques que conforman la etapa de Puncturing.

En el decodificador luego de atravesar el canal de comunicación, la señal recibida atraviesa etapas que realizan el proceso inverso que las etapas del codificador. En la figura 3.6 se muestran los bloques que conforman la etapa de De-Puncturing.

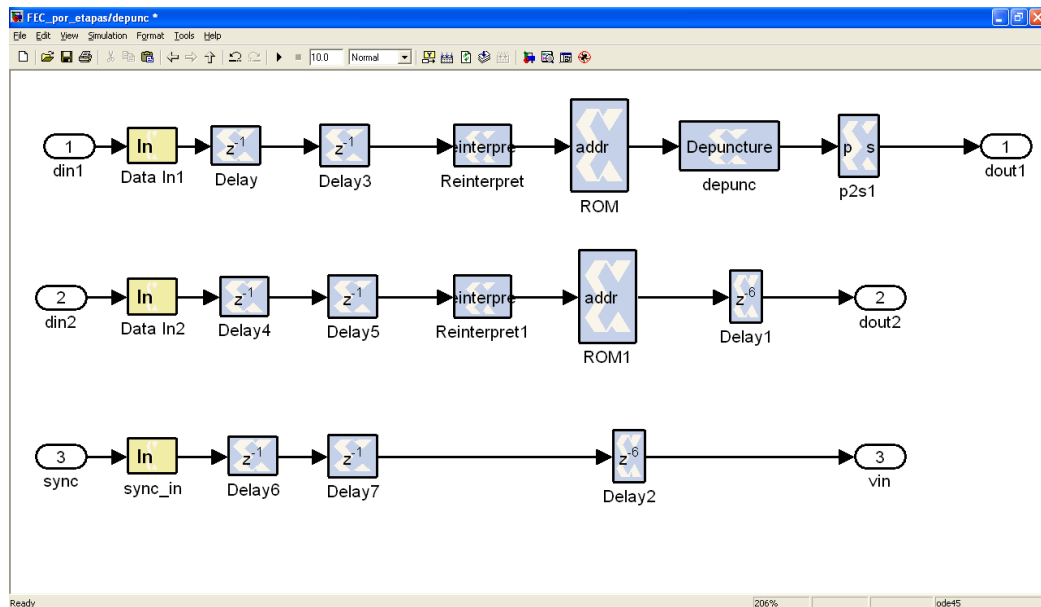


Figura 3.6 Bloques que conforman la etapa de De-Puncturing.

En la figura 3.7 se muestran los bloques que conforman la etapa del decodificador de Viterbi o decodificador interno.

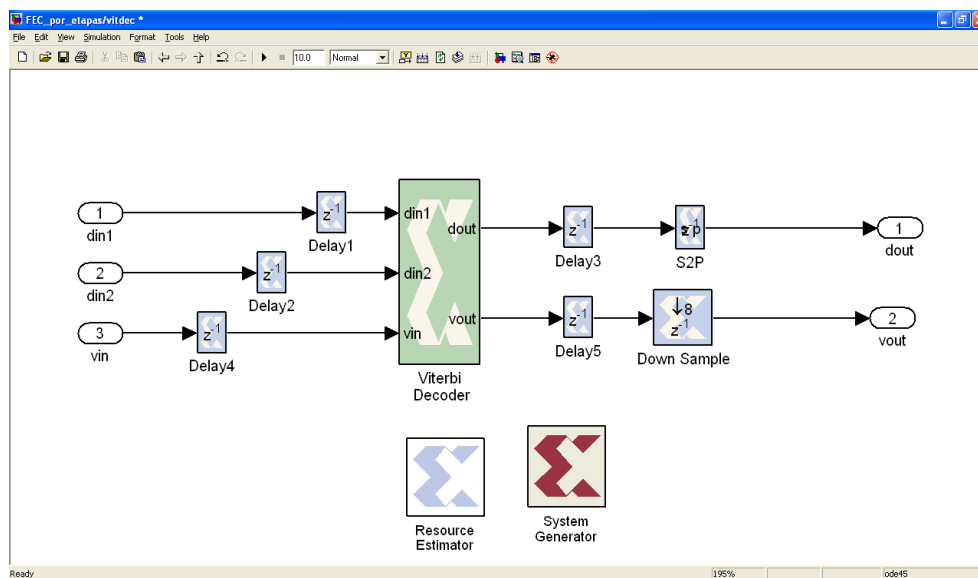
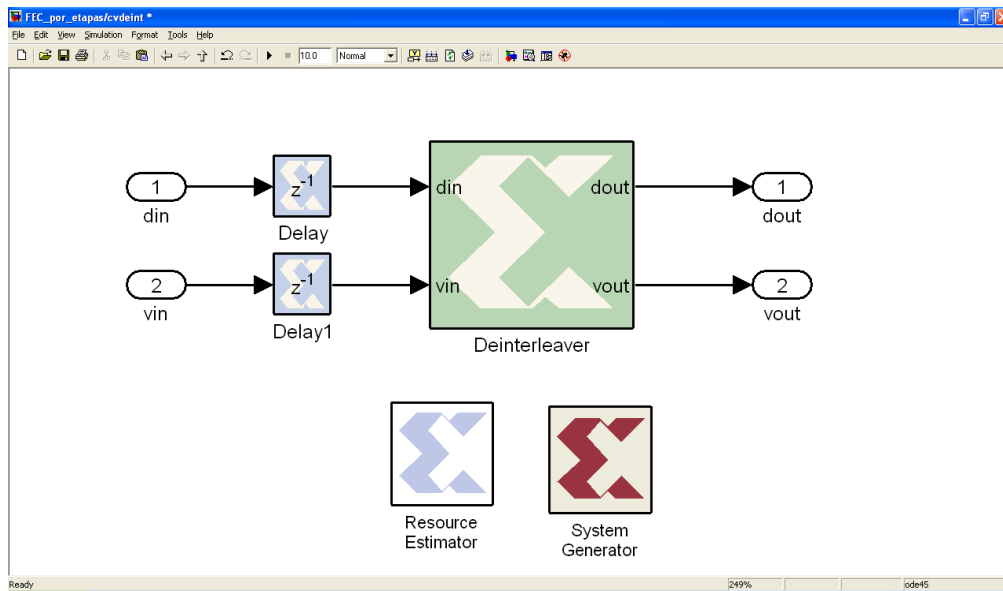


Figura 3.7 Bloques que conforman la etapa de decodificador interno.

Luego de la etapa de decodificación interna está la etapa de De-Interleaving, en la figura 3.8 se observan los bloques que la conforman.



**Figura 3.8** Bloques que conforman la etapa del De-Interleaving.

Finalmente en el decodificador se encuentra el decodificador externo, en la figura 3.9 se aprecian los bloques que conforman esta etapa.

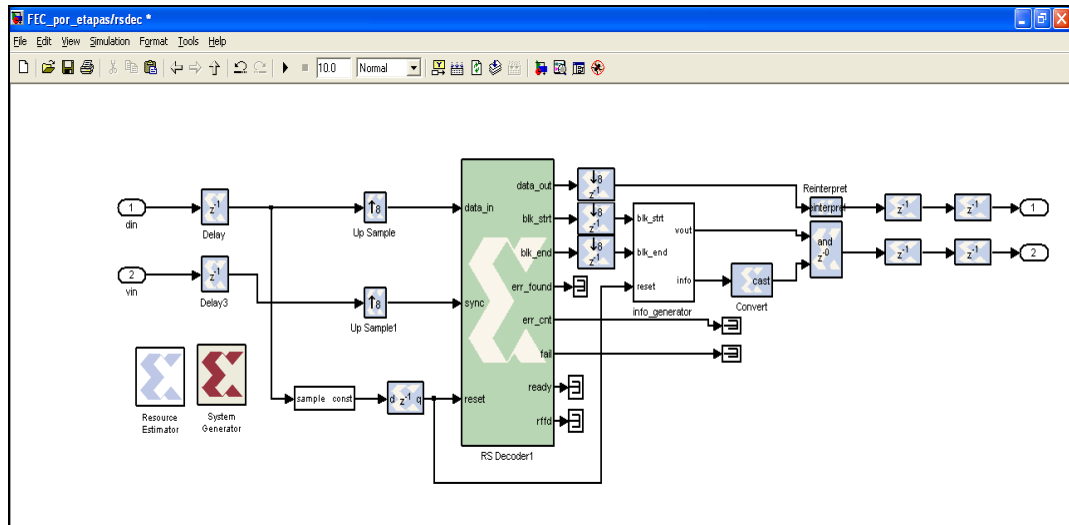


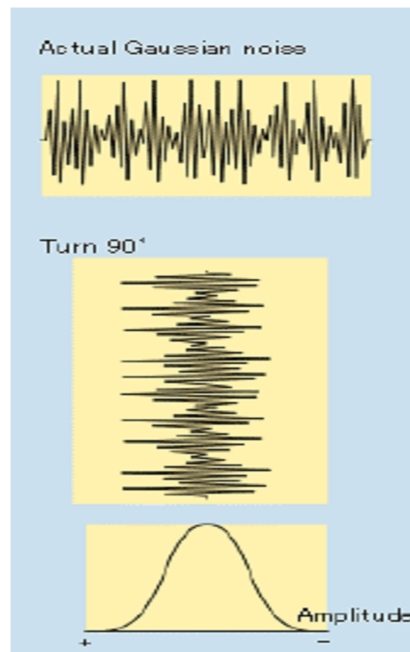
Figura 3.9 Bloques que conforman la etapa del decodificador externo.

### 3.2 Descripción de la simulación del canal AWGN

El ruido AWGN (Additive White Gaussian Noise), se compone de varias características que denominan su nombre. El ruido como tal, es una señal no deseada que interfiere con la señal de interés. El ruido blanco es aquel cuyo espectro es plano para el rango de frecuencias a tratar. Se denomina Gaussiano si su distribución de probabilidad es Gaussiana, simplificando cálculos por medio del uso del teorema del límite central, etc.

En la figura 3.10 se puede apreciar de una mejor manera a que se refiere la distribución Gaussiana. El ruido AWGN es aditivo, es decir altera o interfiere con la señal de interés sumándose a ella. Todas estas características

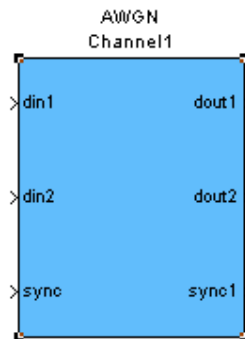
conforman el Ruido AWGN. Este tipo de ruido es el usado en el canal para la simulación del proyecto



**Figura 3.10** Distribución de probabilidad de ruido Gaussiano.

El bloque simulador del canal es el que se muestra en la figura 3.11 es el usado en el proyecto.





**Figura 3.11** Bloque del canal AWGN.

Las entradas `din1` y `din2` son las señales de entrada del bloque AWGN que se conectan con la salida del codificador. Debido a la codificación convolucional cuyas dos salidas codificadas ingresan al puncturing, obtenemos 2 entradas para el canal. Cabe recalcar que si se simulara la transmisión, sería necesario concatenar estas 2 salidas.

También tenemos una señal de entrada llamada `sync` que es la sincronización, la cual no se ve afectada en el canal y se mantiene a la salida como `sync1`.

En la salida del bloque tenemos `dout1` y `dout2`, que son las señales de entrada ya perturbadas por el ruido AWGN. Al bloque del canal se lo configura ingresando el valor SNR que se desee cuya máscara para introducción de este parámetro se puede observar en la figura 3.12.

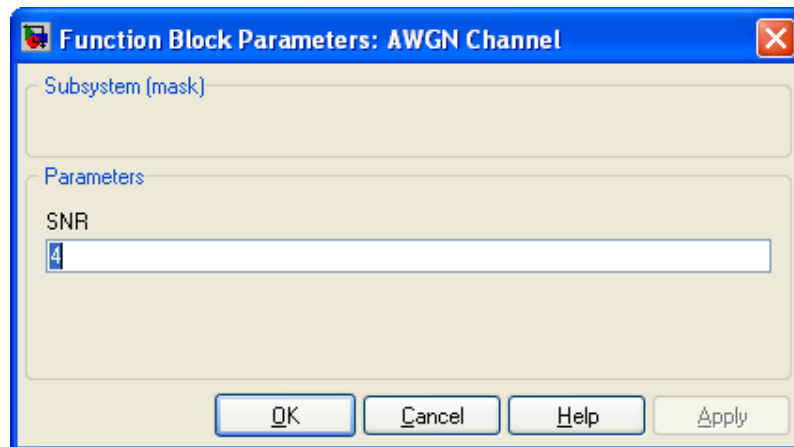


Figura 3.12 Máscara del bloque del canal AWGN.

### 3.3 Descripción del esquema de Codificador

En los bloques que presenta System Generator de Xilinx, encontramos las diferentes etapas del esquema de codificación de FEC. A continuación se detallará cada bloque con sus respectivas señales de entrada y salida.

#### 3.3.1 Descripción de las señales de entrada y salida de las etapas del codificador

Cada etapa del codificador será descrita en el mismo orden que se describe en el capítulo dos, es decir describiremos en primer lugar al bloque del codificador de Reed-Solomon.

En la figura 3.13 se presenta el bloque de codificación de Reed-Solomon, este bloque presenta cuatro señales de entrada que se describen a continuación:

***data\_in***, señal digital de símbolos información a ser codificada.

***bypass***, permite el paso de la señal *data\_in* a la salida sin codificar.

***Start***, inicia el proceso de codificación. Si *start* no está activa la señal *data\_in* no es tomada en cuenta.

***nd***, marca a cada símbolo de la entrada como un símbolo de información, para agregar redundancia.



**Figura 3.13** Bloque del codificador de Reed-Solomon.

A la salida del bloque de Reed-Solomon, tenemos las siguientes señales:

***data\_out***, señal de símbolos de información codificada, es decir ya agregada la redundancia.

***info***, señal que se activa o desactiva cuando la salida *data\_out* es señal de símbolos de información o redundancia respectivamente.

***rdy***, marca a cada símbolo de *data\_out* como valido o invalido.

***rfd***, se activa cuando el bloque de codificación está aceptando y produciendo símbolos de información a la salida. Y se desactiva cuando produce redundancia.

La máscara para configurar el codificador de Reed-Solomon es la que se muestra en la figura 3.14 y se encuentra con los parámetros que exige el estándar.

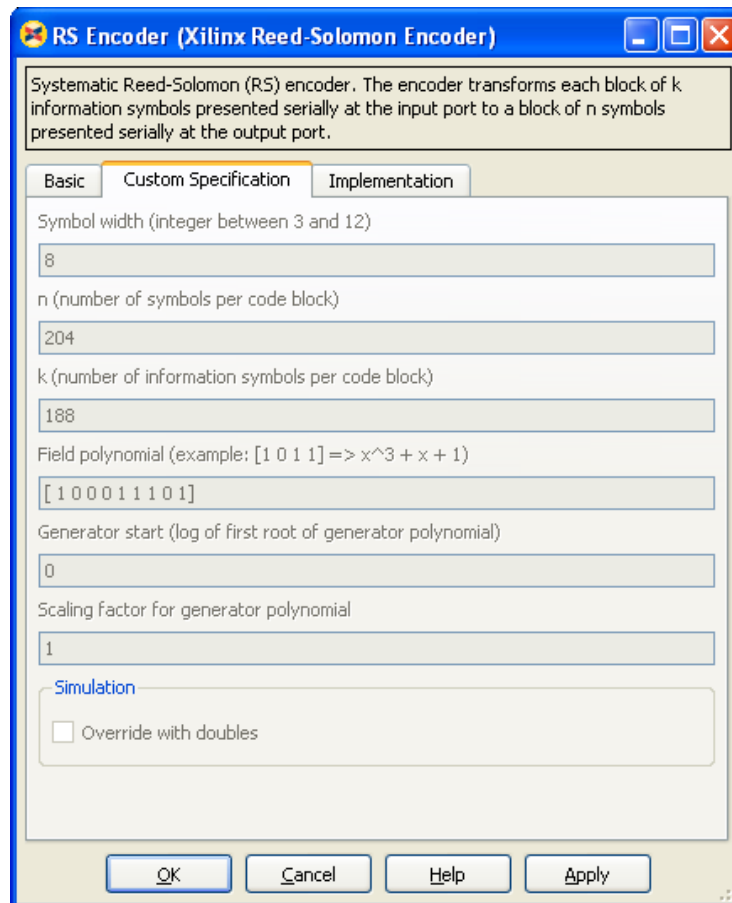
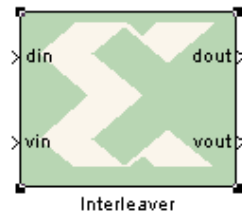


Figura 3.14 Máscara del bloque del codificador de Reed-Solomon.

La etapa siguiente es el interleaving, en la figura 3.15 podemos observar el bloque de esta etapa junto con sus señales de entrada y salida. A continuación se detallarán las de entrada:

***din***, señal de información que se desea *entrelazar*.

***vin***, cuando esta activa, indica que la señal en la entrada *din* es válida.



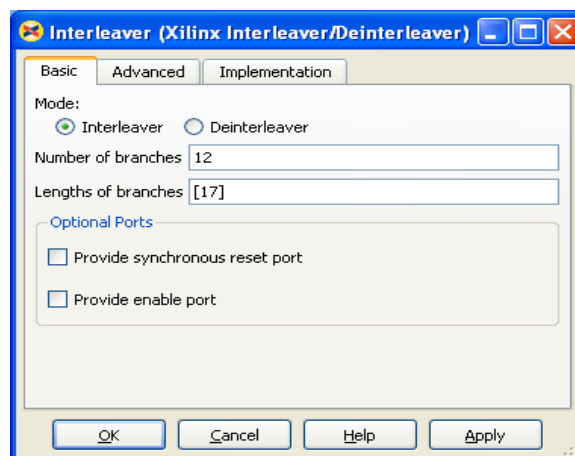
**Figura 3.15** Bloque del interleaving.

Las señales de salida de esta etapa son:

**dout**, muestra a la señal de entrada *din* entrelazada.

**vout**, indica que la señal en *dout* es válida.

La máscara para configurar el bloque de interleaving es la que se muestra en la figura 3.16 y se encuentra con los parámetros que exige el estándar.

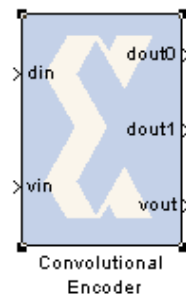


**Figura 3.16** Máscara del bloque interleaving.

Luego del interleaving, se encuentra la etapa del codificador convolucional. En la figura 3.17 podemos observar al bloque respectivo y a continuación se describen sus señales de entrada:

***din***, entrada de la señal a codificar.

***vin***, indica que la información presente en *din* es válida.



**Figura 3.17** Bloque del codificador convolucional.

Las señales de salida se describen a continuación:

***dout0***, señal de salida 'X' ( $171_{\text{OCT}}$ ) según la figura 2.4.

***dout1***, señal de salida 'Y' ( $133_{\text{OCT}}$ ) según la figura 2.4.

***vout***, indica que las señales de salida *dout0* y *dout1* son válidas.

La máscara para configurar el codificador convolucional es la que se muestra en la figura 3.18 y se encuentra con los parámetros que exige el estándar.

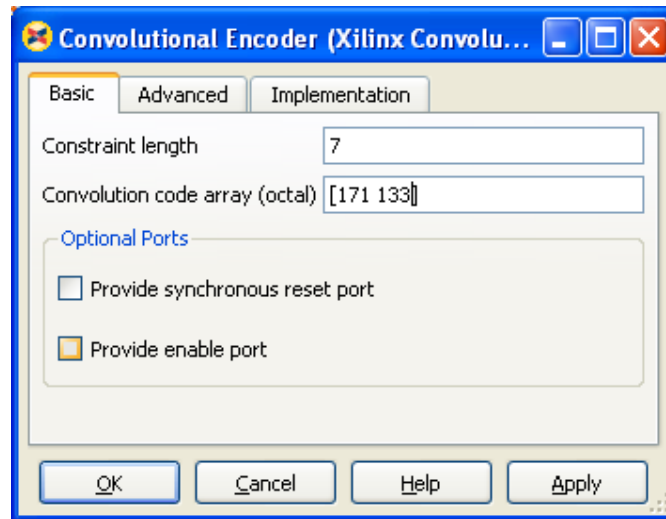


Figura 3.18 Máscara del bloque del codificador convolucional.

Finalmente la etapa de puncturing se muestra a continuación en la figura 3.19. Y se detallan su única entrada que es la señal a “perforar” y su única salida que es la señal ya “perforada”.

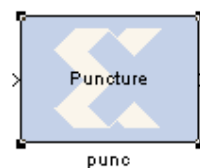


Figura 3.19 Bloque de puncturing.



La máscara para configurar el bloque de puncturing es la que se muestra en la figura 3.20 y se encuentra con los parámetros que exige el estándar.

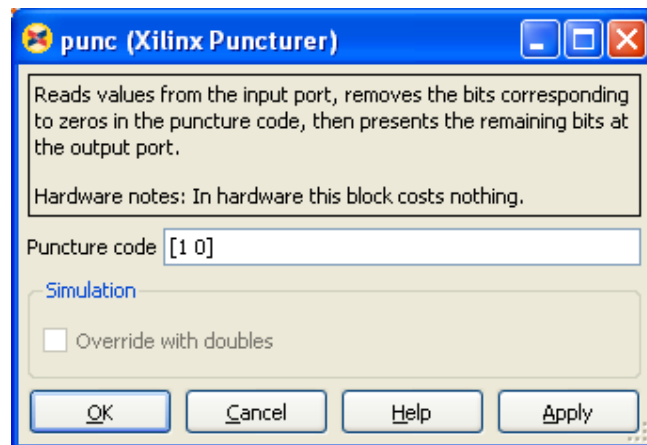


Figura 3.20 Máscara del bloque de puncturing.

### 3.3.2 Descripción de las señales de entrada y salida de las etapas del decodificador

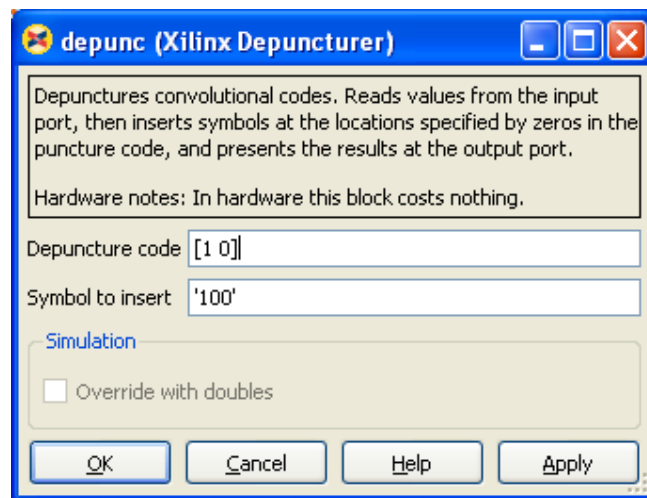
De igual manera que en el codificador, mencionaremos a las etapas del decodificador y sus diferentes señales en el orden en que la señal recibida los atravesaría. Empezando por el De-puncturing y terminando en el decodificador de Reed-Solomon.

En la figura 3.21 se aprecia el bloque de De-puncturing con la única entrada donde entra la señal recibida por el receptor y se “desperfora” desperfora mostrándose en la única salida.



**Figura 3.21** Bloque de De-puncturing.

La máscara para configurar el bloque de De-puncturing es la que se muestra en la figura 3.22 y se encuentra con los parámetros que exige el estándar.



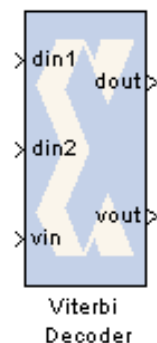
**Figura 3.22** Máscara del bloque del De-puncturing.

Luego de que los datos han sido “desperforados”, y recuperan su tasa de codificación de  $\frac{1}{2}$ , ingresan al decodificador de Viterbi. En la figura 3.23 se muestra el bloque respectivo para la decodificación interior y a continuación mencionamos sus señales de entrada:

**din1**, señal codificada correspondiente a 'X' ( $171_{\text{OCT}}$ ) en el codificador.

**din2**, señal codificada correspondiente a 'Y' ( $133_{\text{OCT}}$ ) en el codificador.

**vin**, indica que los los datos en la entrada *din1* y *din2* son válidos.



**Figura 3.23** Bloque del decodificador de Viterbi.

Y las señales de salida son las siguientes:

**dout**, señal de decodificada mediante el algoritmo de Viterbi.

**vout**, indica que la señal de salida *dout* es válida.

Los parámetros de configuración para el bloque del decodificador de Viterbi se muestran en la figura 3.24. Esta configuración es la establecida por el estándar.

La salida del decodificador interior debe coincidir con los bits o símbolos que se obtienen a la salida del interleaving en el codificador. De no ser así se puede inferir en que la razón se debe a errores producidos por el canal AWGN.

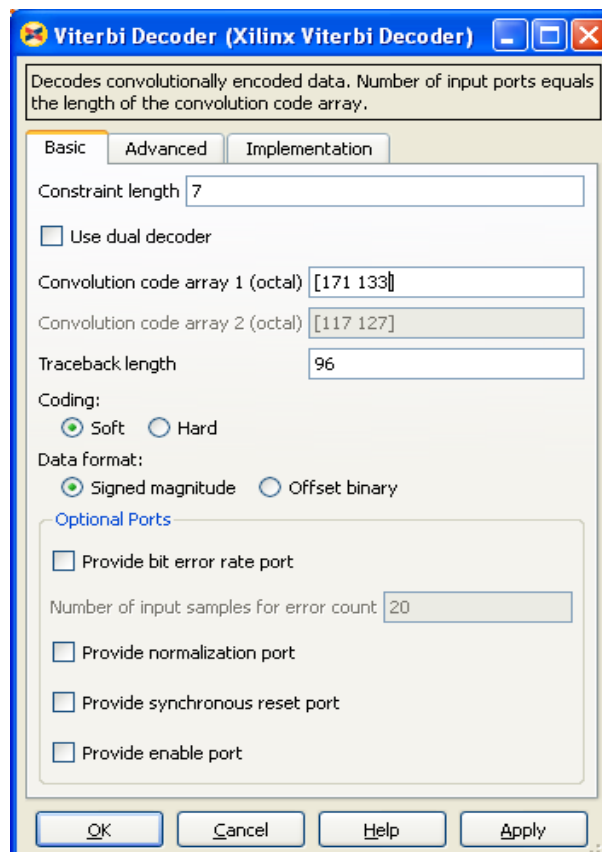
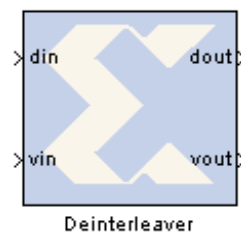


Figura 3.24 Máscara del bloque del decodificador de Viterbi.

Una vez que han sido decodificados por el algoritmo de viterbi, los símbolos de información ingresan a la etapa del De-interleaving. En la figura 3.25 se muestra el bloque de esta etapa, y sus señales de entrada son las siguientes:

***din***, señal de información a desentrelazar.

***vin***, indica que la señal a la entrada *din* es válida.



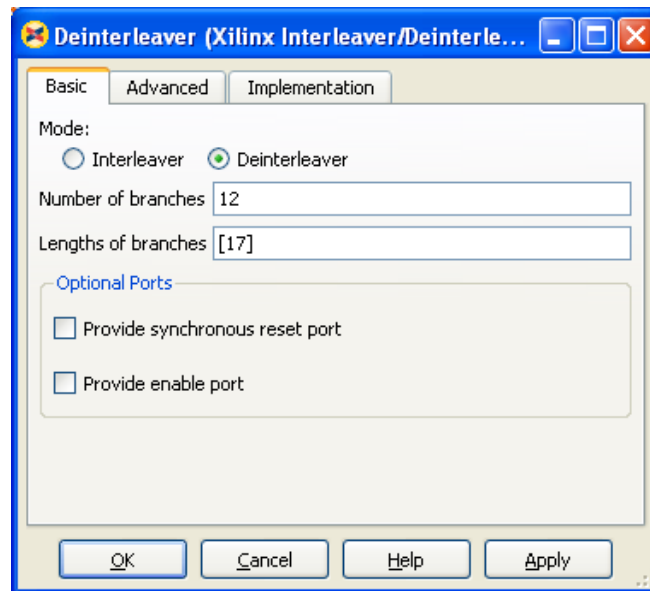
**Figura 3.25** Bloque del De-interleaver.

Las señales de salida son:

***dout***, salida de la señal desentrelazada.

***vout***, indica que la señal de salida *dout* es válida.

En la figura 3.26 se observa la configuración correspondiente al De-interleaving acorde al estándar DVB.



**Figura 3.26** Máscara del bloque del De-interleaver.

Finalmente la última etapa del decodificador es el decodificador de Reed-Solomon. En la figura 3.27 se aprecia el bloque de decodificación externa y a continuación se detallan sus señales de entrada:

***data\_in***, señal de entrada a decodificar.

***sync***, cuando se activa indica el comienzo del proceso de decodificación.

***reset***, reinicia el decodificador asíncronamente.



**Figura 3.27** Bloque del decodificador de Reed-Solomon.

Las señales de salida son:

***data\_out***, produce la redundancia y símbolos de información.

***blk\_strt***, se activa cuando *data\_out* muestra el primer símbolo a la salida.

***blk\_end***, se desactiva cuando *data\_out* muestra el último símbolo a la salida.

***err\_found***, se activa si encuentra algún error en la trama, y lo hace al mostrarse el último símbolo de esta en *data\_out*.

***err\_cnt***, muestra el número de errores encontrados en la trama, y lo hace al mostrarse el último símbolo de esta en *data\_out*.

***fail***, se activa si el decodificador no fue capaz de corregir algún error, y lo hace al mostrarse el último símbolo de esta en *data\_out*.

**ready**, se activa cuando el decodificador está listo para leer la entrada *data\_in*.

**rffd**, se active cuando el decodificador está listo para leer el primer símbolo de una trama en la entrada *data\_in*.

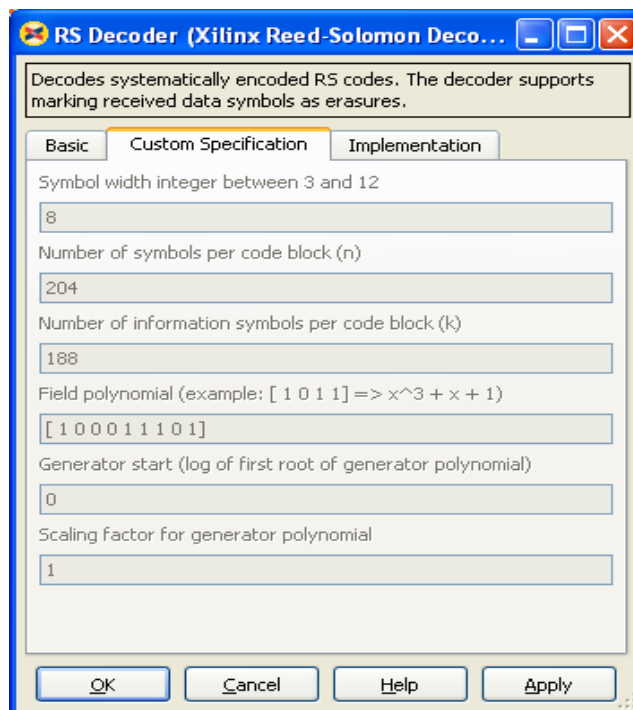


Figura 3.28 Máscara del bloque del decodificador de Reed-Solomon.

En la figura 3.28 se muestra la configuración respectiva para el bloque de decodificación de Reed-Solomon que exige el estándar DVB (Digital Video Broadcasting).



## **4 ANÁLISIS DE RESULTADOS**

En el subcapítulo 4.1 se realiza una comparación y análisis de entrada y de salida del sistema variando los valores de SNR en el canal de comunicaciones. Finalmente en el subcapítulo 4.2 se realiza una comparación y análisis de las señales de entrada y salida del canal de comunicaciones con diferentes valores de SNR.

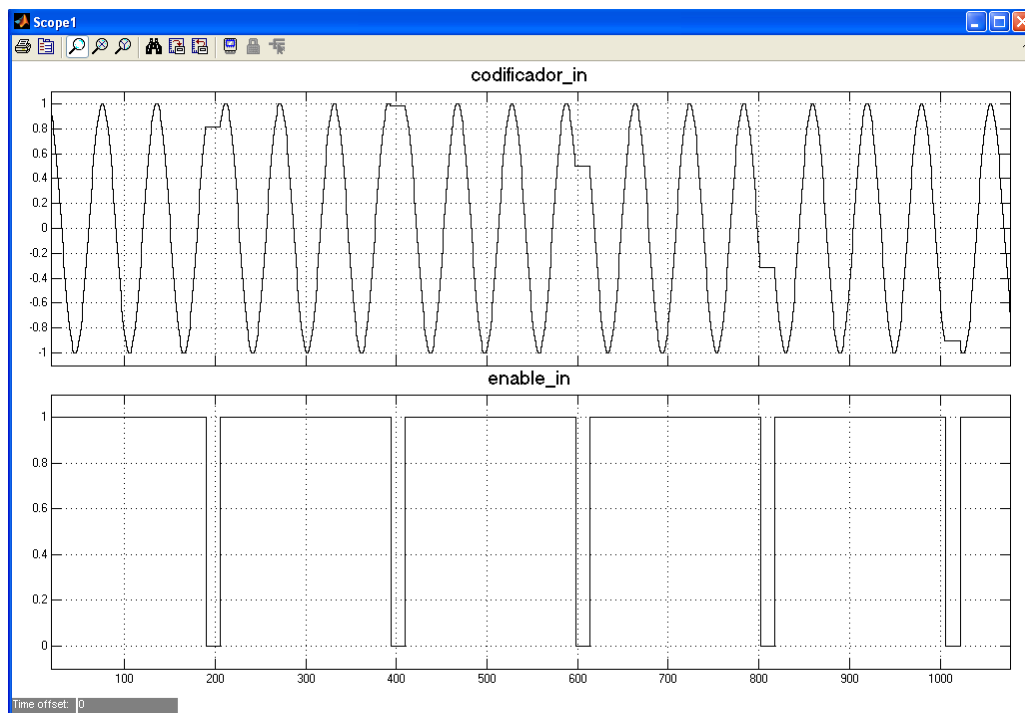
### **4.1 Análisis y comparación del gráfico de la señal de entrada al codificador y la señal de salida del decodificador**

Como resultado de la simulación se presentará y analizará gráficos, donde se compara la señal de entrada al codificador con la señal de salida del decodificador, las cuales deben coincidir.

La señal de entrada al sistema es una señal seno, que se muestrea para obtener una señal digital e iniciar el proceso de codificación, ya que este proceso es exclusivo de señales digitales. A esta señal codificada se le

añade ruido con el fin de simular el canal de comunicación y finalmente decodificarla y corregir los errores encontrados.

La señal que se ingresa al codificador es la que se muestra en la figura 4.1. También se aprecia la señal que habilita o permite el ingreso de la señal de entrada al codificador.



**Figura 4.1** Señal de información (superior) y señal habilitadora o enable (inferior).

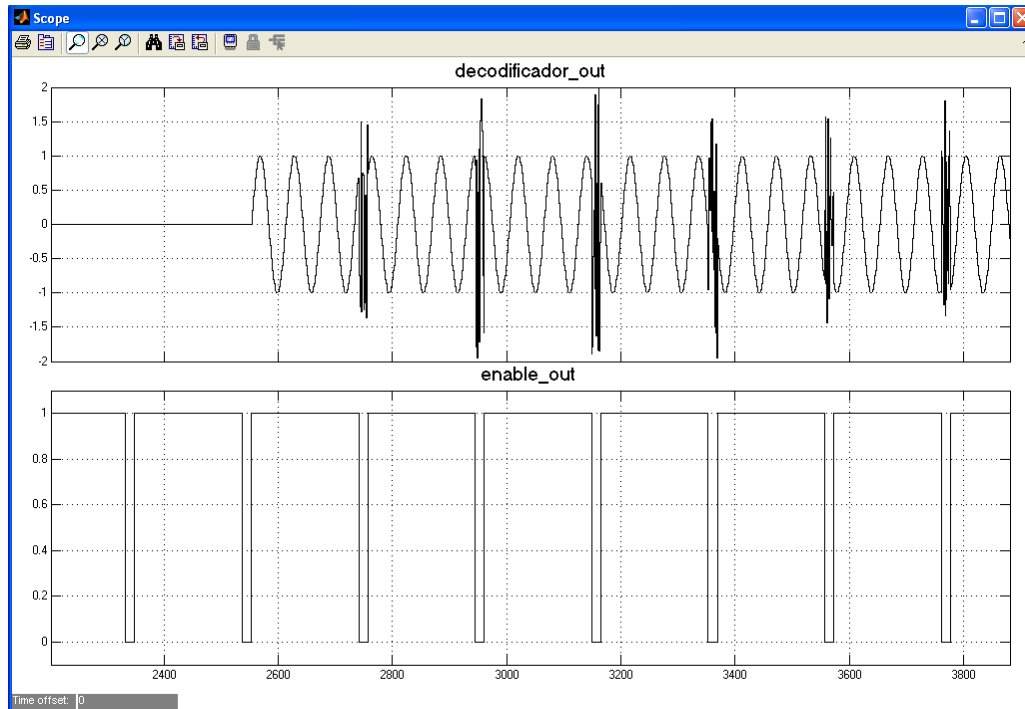
La gráfica superior es la señal seno que será muestreada para obtener una señal digital previa a la codificación, y la inferior es la señal habilitadora. Se observa también que mientras la señal habilitadora no está activa la señal

seno se mantiene en su último valor, y durante este intervalo de tiempo la señal seno no es muestreada.

#### **4.1.1 Resultados de los gráficos con valores extremos de SNR**

Para realizar una mejor comparación se fijará tres valores de SNR y se mostrarán las gráficas correspondientes de la señal de salida del decodificador.

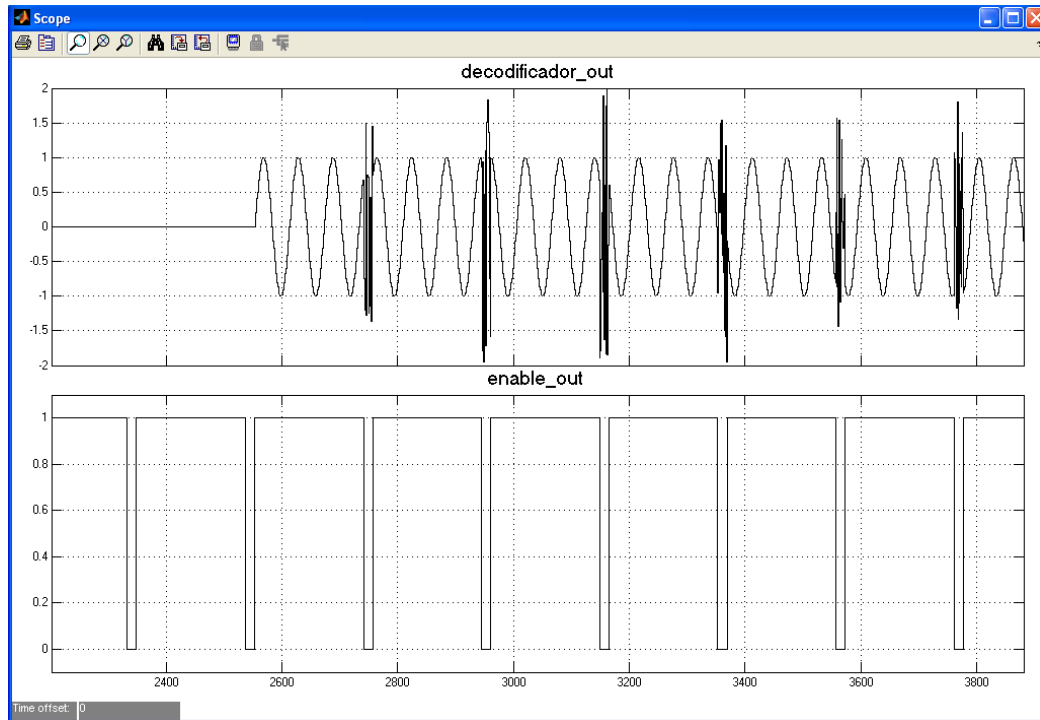
En la figura 4.2 se muestra la grafica de la señal de salida del decodificador junto con su señal de habilitadora, para un SNR=30dB.



**Figura 4.2** Señal de información (superior) y señal habilitadora o enable (inferior) en la salida del decodificador, con SNR=30dB.

La señal de salida del decodificador presenta distorsiones sólo cuando no está activa la señal habilitadora.

En la figura 4.3 se muestra la grafica de la señal de salida del decodificador junto con su señal de habilitadora, para un SNR=5dB.

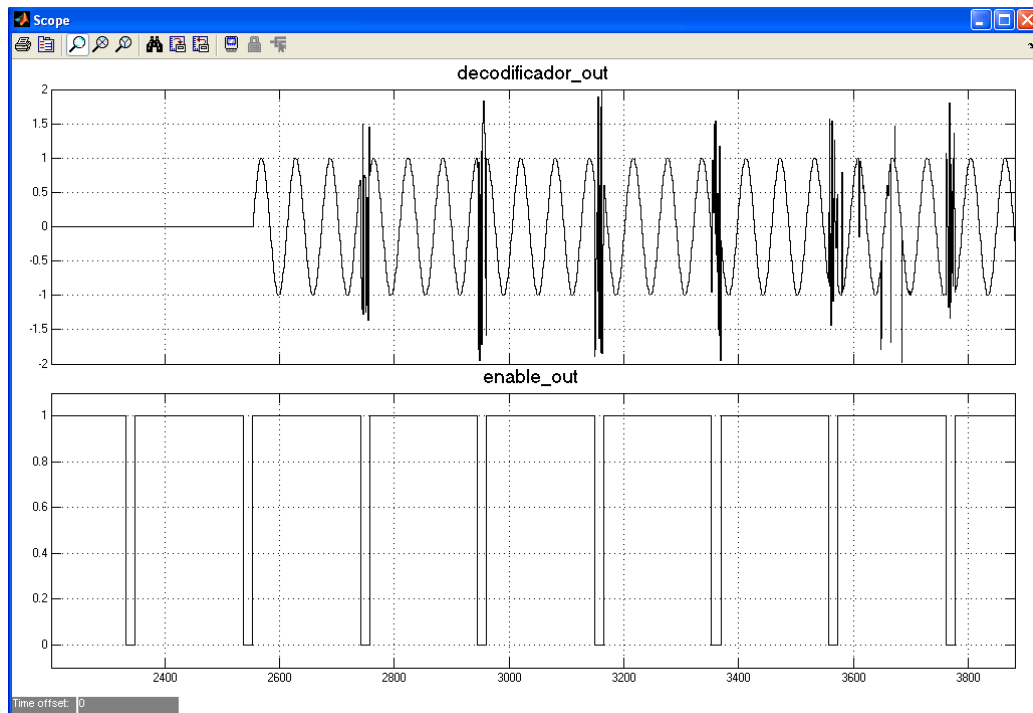


**Figura 4.3** Señal de información (superior) y señal habilitadora o enable (inferior) en la salida del decodificador, con SNR=5dB.

La señal de salida del decodificador presenta distorsiones sólo cuando no está activa la señal habilitadora.

En la figura 4.4 se muestra la grafica de la señal de salida del decodificador junto con su señal de habilitadora, para un SNR=1dB.

En las figuras 4.2 - 4.4, se observa la salida del decodificador diferenciándose en el valor de SNR establecido en el canal.



**Figura 4.4** Señal de información (superior) y señal habilitadora o enable (inferior) en la salida del decodificador, con SNR=1dB.

#### 4.1.2 Análisis de la comparación de los gráficos

La señal de entrada al codificador se muestra que en la figura 4.1, es la que debe coincidir con las señales de salida del decodificador que se observan en las figuras 4.2 - 4.4, pero se aprecia que realmente no es así. Para cuando el SNR=30dB (figura 4.2) implica que la potencia de la señal información es 1000 veces la potencia del ruido del canal, con lo que la señal no se ve muy afectada en el receptor y de haber errores serán seguramente corregidos por el esquema de FEC.

En la figura 4.3 se observa la señal de salida cuando el SNR que se configura en el bloque AWGN es 5 dB. Para este caso la potencia de la señal información es 3.1622 veces la potencia del ruido del canal, y es por esta razón que la señal se ve levemente afectada como se puede apreciar.

Finalmente para el caso en que el SNR=1dB (figura 4.4) se aprecia claramente que la señal está corrompida debido al ruido, esto se debe a que la potencia de la señal información es 1.2589 veces la potencia del ruido del canal, es decir casi son iguales los niveles de potencia lo que dificulta enormemente la tarea de corrección de errores en el receptor.

#### **4.2 Análisis y comparación del gráfico de la señal de salida del codificador y la señal de entrada al decodificador**

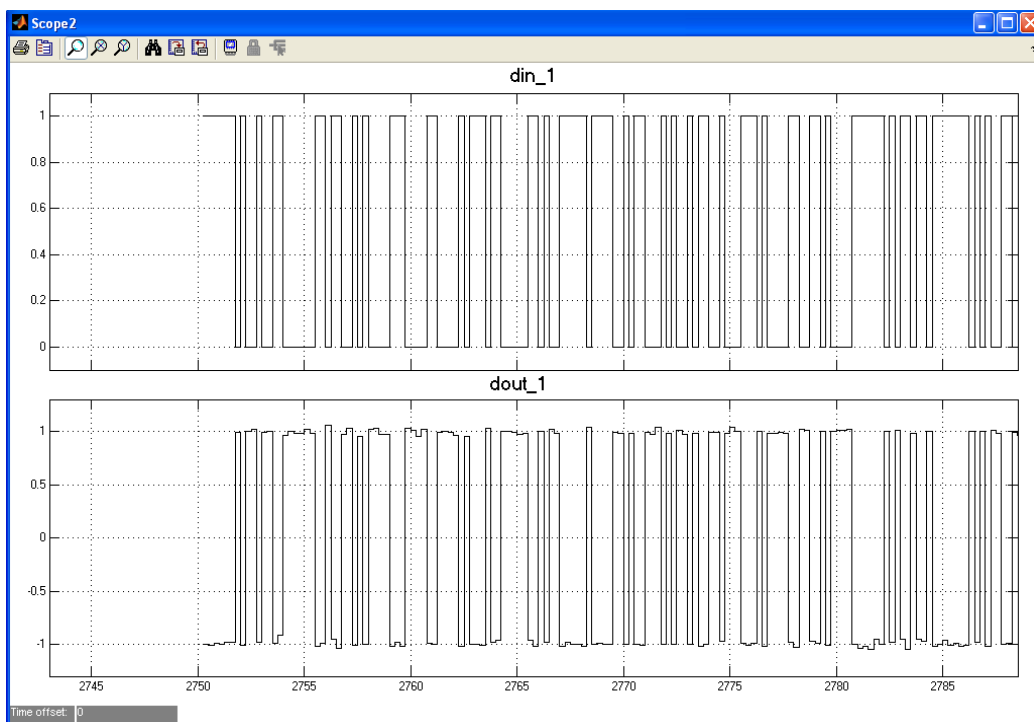
La comparación a realizar es entre la salida del codificador y la entrada del decodificador, o en síntesis se compararán las entradas con las salidas del bloque del canal AWGN. El propósito es de observar cuanto se degrada la señal a causa del ruido.

En este caso se obtienen dos señales de salida del codificador, debido a las 2 salidas del codificador convolucional denominando *din\_1* y *din\_2* a las dos

entradas del bloque del canal AWGN que corresponden a 'X' ( $171_{\text{OCT}}$ ) y a 'Y' ( $133_{\text{OCT}}$ ) respectivamente según la figura 2.3. y de igual manera se denomina  $dout_1$  y  $dout_2$  a las salidas del bloque del canal respectivamente.

#### 4.2.1 Resultados de los gráficos con valores extremos de SNR

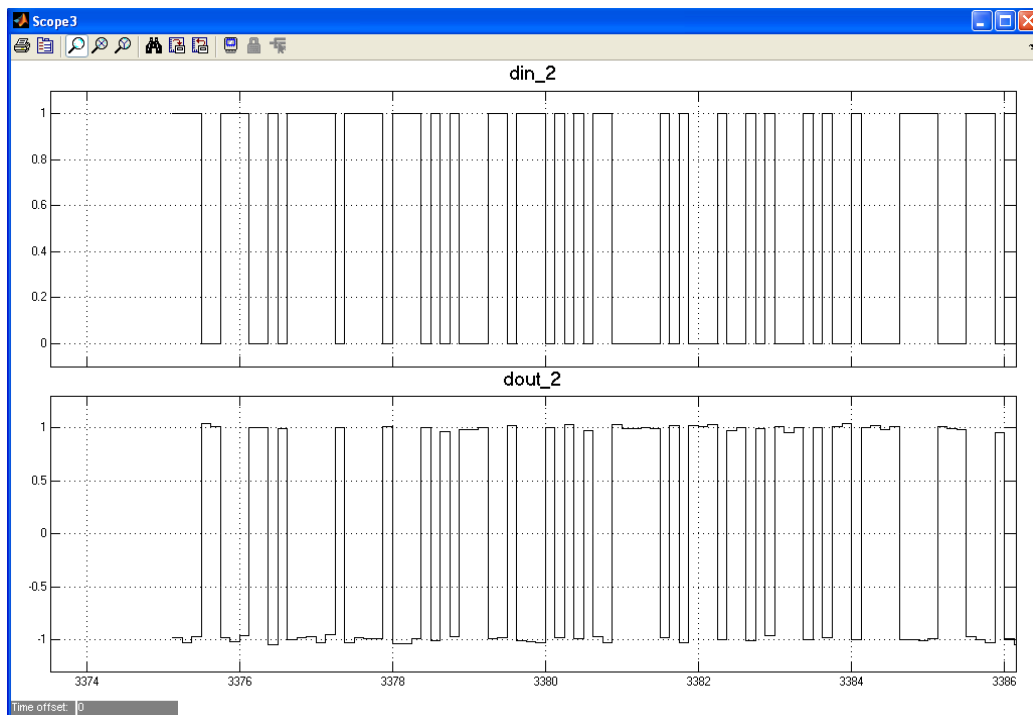
Se presenta en la figura 4.5 las gráficas de las señales  $din_1$  con  $dout_1$ , ubicándose la primera en la parte superior y la segunda en la parte inferior.



**Figura 4.5** Señal  $din_1$  a la entrada del canal (superior) y señal  $dout_1$  a la salida del canal (inferior), con SNR=30dB.



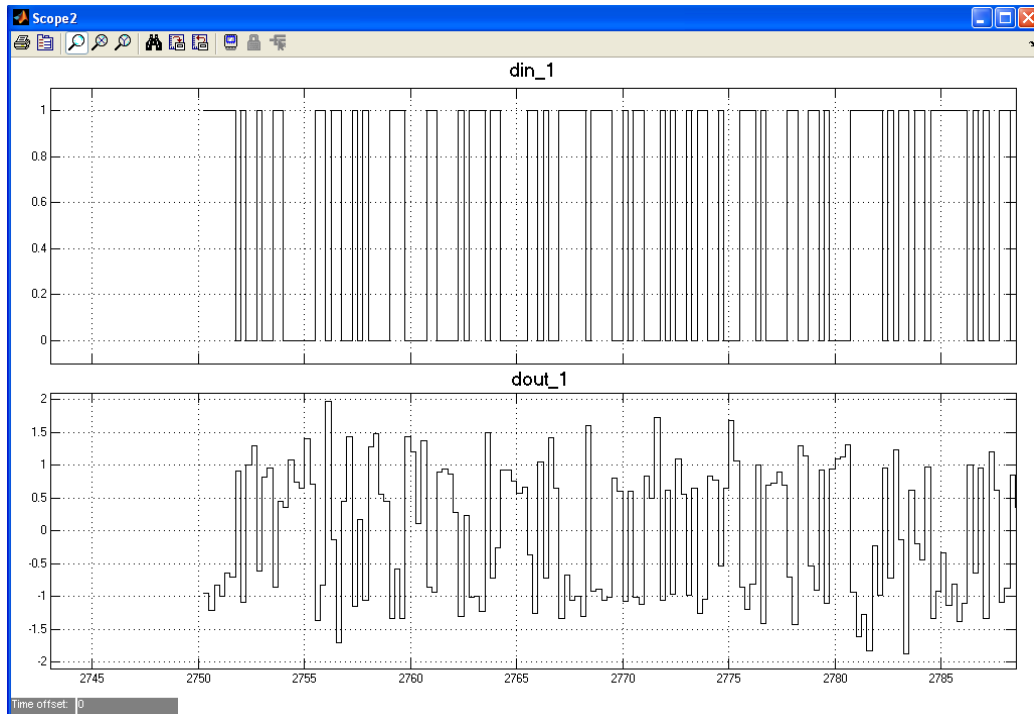
En la figura 4.6 se muestran las señales *din\_2* y *dout\_2*, ubicándose la primera en la parte superior y la segunda en la parte inferior.



**Figura 4.6** Señal *din\_2* a la entrada del canal (superior) y señal *dout\_2* a la salida del canal (inferior), con SNR=30dB.

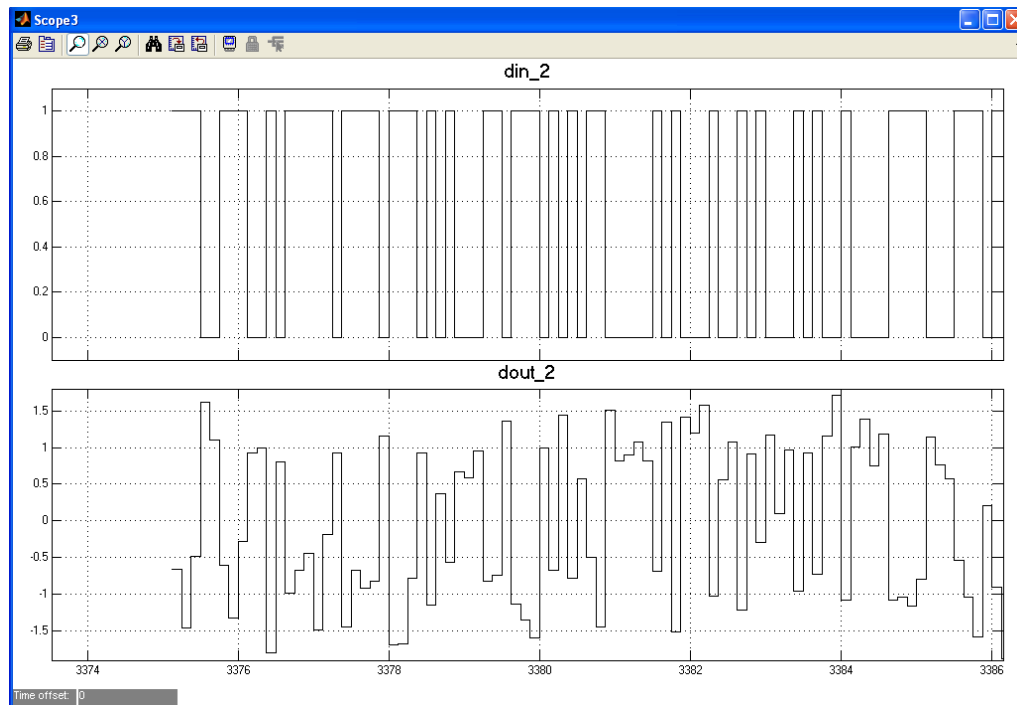
En las figuras 4.5 y 4.6 se ha configurado un valor SNR=30dB.

Se presenta en la figura 4.7 las gráficas de las señales *din\_1* con *dout\_1*, ubicándose la primera en la parte superior y la segunda en la parte inferior.



**Figura 4.7** Señal *din\_1* a la entrada del canal (superior) y señal *dout\_1* a la salida del canal (inferior), con SNR=5dB.

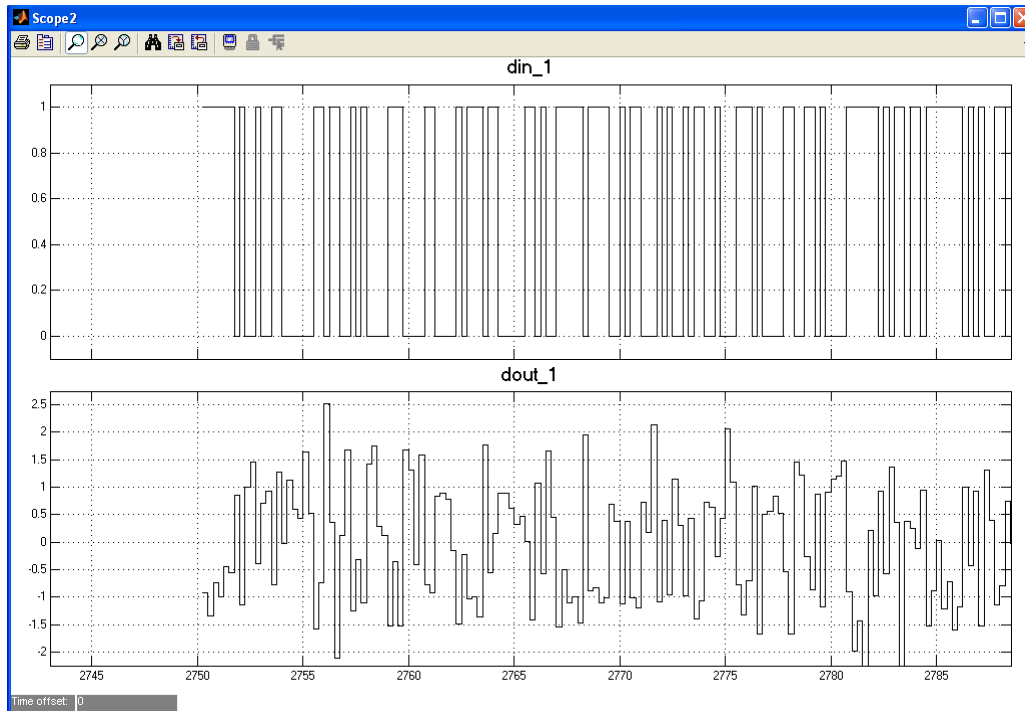
En la figura 4.8 se muestran las señales *din\_2* y *dout\_2*, ubicándose la primera en la parte superior y la segunda en la parte inferior.



**Figura 4.8** Señal *din\_2* a la entrada del canal (superior) y señal *dout\_2* a la salida del canal (inferior), con SNR=5dB.

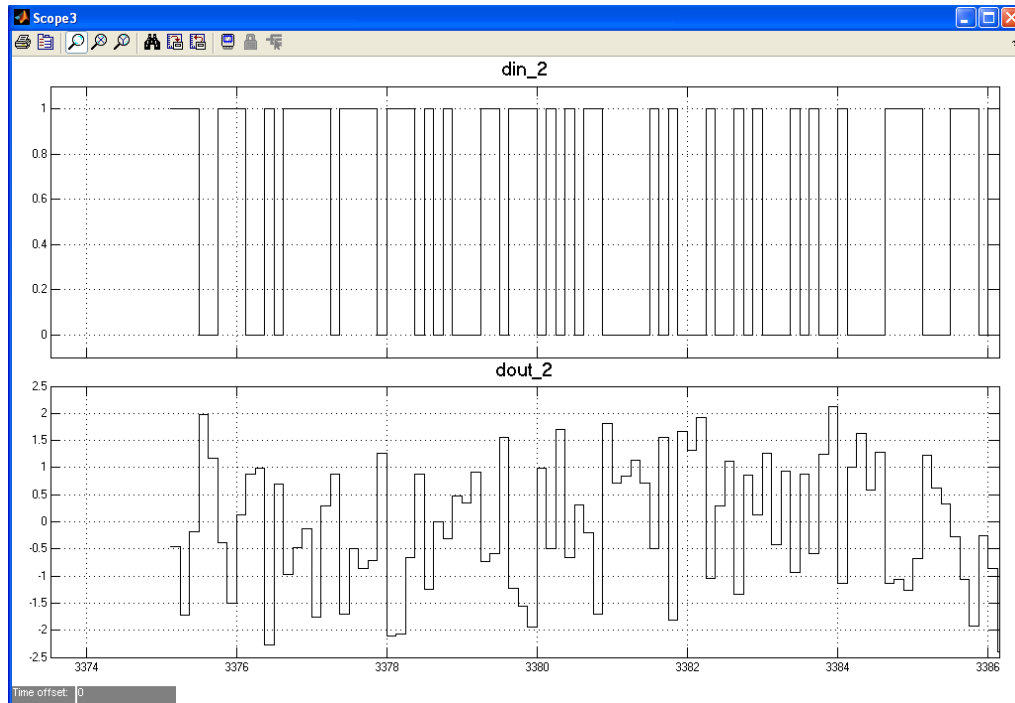
En las figuras 4.7 y 4.8 se ha configurado un valor SNR=5dB.

Se presenta en la figura 4.9 las gráficas de las señales *din\_1* con *dout\_1*, ubicándose la primera en la parte superior y la segunda en la parte inferior.



**Figura 4.9** Señal *din\_1* a la entrada del canal (superior) y señal *dout\_1* a la salida del canal (inferior), con SNR=1dB.

En la figura 4.10 se muestran las señales *din\_2* y *dout\_2*, ubicándose la primera en la parte superior y la segunda en la parte inferior.



**Figura 4.10** Señal *din\_2* a la entrada del canal (superior) y señal *dout\_2* a la salida del canal (inferior), con SNR=1dB.

En las figuras 4.9 y 4.10 se ha configurado un valor SNR=1dB.

#### 4.2.2 Análisis de la comparación de los gráficos

En el par de figuras 4.5 y 4.6 se observa una ligera diferencia entre la gráfica superior e inferior aun cuando el valor de SNR configurado es 30dB que significa que la potencia de la señal de información es 1000 veces la potencia del ruido AWGN. Considerándose una relación alta el SNR=30dB la señal de salida se ve levemente perturbada debido al ruido.

Al bajar el SNR al valor de 5 dB (figuras 4.7 y 4.8) se nota una distorsión bastante drástica pero aun notamos que la señal de salida sigue el esquema o patrón de la señal de entrada del bloque del canal.

Al ser las potencias de la señal de interés y ruido casi iguales como cuando el SNR=1dB, como se muestra en las figuras 4.9 y 4.10, se aprecia la inconcordancia visual entre las señales entrada y salida. Sin embargo si comparamos este gráfico con la señal de salida del decodificador que se muestra en la figura 4.4 que también fue configurado su canal con SNR=1dB, se puede apreciar que la corrección de errores fue muy optima y capaz de reconstruir la señal con un mínimo de imperfecciones.

## CONCLUSIONES Y RECOMENDACIONES

Con las simulaciones realizadas para este proyecto de tesis y observando las gráficas obtenidas en el capítulo IV, podemos concluir lo siguiente:

1. La modulación OFDM es muy robusta frente al multicamino (*multi-path*), que es muy habitual en los canales de radiodifusión, frente a las atenuaciones selectivas en frecuencia y frente a las interferencias de RF. Debido a las características de esta modulación, es capaz de recuperar la información de entre las distintas señales con distintos retardos y amplitudes (*fading*) que llegan al receptor, por lo que existe la posibilidad de crear redes de radiodifusión de frecuencia única sin que existan problemas de interferencia.
2. La simulación goza de fácil maniobrabilidad al estar elaborada en diseño basado en modelo. Y permite la implementación en hardware por estar diseñado por bloques de Xilinx de system Generator.

3. Se pudo corroborar que pese a las alteraciones que sufre la señal en el canal con SNR=1dB perdiendo casi completamente su forma. En el receptor la corrección de errores que realizan los dos decodificadores (interno y externo) es tan robusta capaz de reconstruir la señal con un mínimo de errores.
4. La característica principal de este esquema de FEC es la unión de estos dos tipos de codificación (interna y externa), pues el decodificador interno reconstruye la señal aproximando la señal recibida a la más cercana de las posibles correctas (Algoritmo de Viterbi). Este proceso “limpia” la señal y descarta gran parte de los errores, dejándole un trabajo menos riguroso al decodificador externo.
5. El decodificador externo tiene la particularidad de que solo puede corregir hasta 8 errores consecutivos, lo cual no es mucho, es por eso que se concatena a un bloque de entrelazado para dispersar los posibles errores de ráfaga del canal, aumentando las posibilidades de corrección en el decodificador externo.
6. El bloque de puncturing representa una gran ayuda al problema de la capacidad del canal que el codificador convolucional disminuye a la mitad debido a su tasa de codificación  $R_c=1/2$ . Al “perforar” los bits



de la salida del codificador interno esta tasa aumenta aproximando se cada vez a 1 siendo la más alta de  $7/8$ . Todas las etapas juntas trabajan en armonía proporcionando un alto rendimiento en la corrección de errores en el receptor. Disminuyendo significativamente la probabilidad de error de bit del sistema.

## BIBLIOGRAFÍA

1. ETSI EN 300 421: "Digital Video Broadcasting (DVB); Framing structure, channel coding and modulation."
2. Vargas, C; Vargas, F; Proyecto LaViCAD. Proyecto final de carrera desarrollado para el departamento de Teoría de la Señal y Comunicaciones de la Universidad Politécnica de Cataluña dirigido por Cabrera, M. Barcelona, diciembre 2007.
3. ERCEG, V., GREENSTAIN, L.J., TJANDRA, S.Y. y otros, *An Empirically Based Path Loss Model for Wireless Channels in Suburban Environments*, IEEE Journals in Selected Areas on Communications. Julio 1999. pp. 1205-1211.
4. *Orthogonal Frequency-Division Multiplexing*, Wikipedia: <http://en.wikipedia.org/wiki/OFDM>, Wikimedia Foundation. Mayo 30 del 2007.
5. *Xilinx: The Programmable Logic Company* <<http://www.xilinx.com>>, Xilinx Inc., San José, CA, EUA.
6. LINDNER, D.K., *Introduction to Signals and Systems*, WBC/McGraw-Hill, International Editions 1999, Singapur. Capítulos 7, 17, 19 y 20.
7. Proakis, J.G. *Communication systems engineering*. Ed. Prentice-Hall.
8. ELALI, T.S., *Discrete Systems and Digital Signal Processing with MATLAB*, CRC Press, 2000, Boca Ratón, FL, EUA.
9. Delgado, A; Transmisión de señales de tv digital en el estándar terreno DVB-T. Departamento de Electromagnetismo y Teoría de Circuitos. Universidad Politécnica de Madrid.