

621.3802  
A473  
C.3

ESCUELA SUPERIOR POLITÉCNICA DEL LITORAL

GENERADOR DIGITAL DE RUIDO .-- PARTE II

Complemento del diseño y construcción

TESIS DE GRADO

Que para obtener el Título de Ingeniero en  
Electrónica presenta:

HUGO ALFREDO ALVAREZ CARDENAS



GUAYAQUIL-ECUADOR



BIBLIOTECA

214

*El patrimonio intelectual de la misma, corresponde a la Escuela Superior Politécnica del Litoral.*

*(Art. 21 del Reglamento de Exámenes y Títulos Profesionales de la Escuela Superior Politécnica del Litoral).*



*La responsabilidad de los hechos, ideas y doctrinas expuestas en esta Tesis, corresponden exclusivamente al autor.*

*(Art. Sexto del Reglamento de Exámenes y Títulos Profesionales de la Escuela Superior Politécnica del Litoral).*

*Alvarez*  
H. ALFREDO ALVAREZ CARDENAS



BIBLIOTECA

GENERADOR DIGITAL DE RUIDO. - PARTE II  
Complemento del diseño y Construcción

AUTOR

---

A. ALFREDO ALVAREZ C.

DIRECTOR DE TESIS

---

Ing. CARLOS VALDIVIESO



NO AGRADECIMIENTO A:

DR. MALCOLM STEVARD

ING. PEDRO CARLO

A MIS PADRES

# CONTENIDO

	Pag.
<b>PORTE I .- INTRODUCCION</b>	<b>1</b>
Ruido Termico	3
Ruido Blanco y temperatura de Ruido	4
Ruido Blanco Filtrado	6
<b>PORTE II .- ELEMENTOS. UBICACION Y ARREGLOS</b>	<b>9</b>
Elementos necesarios	10
La Fuente de Poder	10
Circuitos Integrados y Zócalos	13
Arreglos de Zócalos	15
Planificación de Zócalos	17
<b>PORTE III .- DISEÑOS DEL FILTRO ANALOGICO Y DEL DIVISOR DE FRECUENCIA.</b>	<b>30</b>
Diseño del Filtro Analógico.- Especificaciones	31
Desarrollo de la Ecuación de Butterworth	32
Número de Polos del Filtro	48
Configuración del Circuito RLC	53
Valor de R	55
Efecto de la Tolerancia en $V_0$	61
Mediciones de corriente para secuencias de Bits	62
Diseño del Divisor de Frecuencia. El Oscilador de cristal	65
El Divisor para 12	69
Con el Código LCD (8421)	74
Con el Código 2421	80
Contador Binario en Paralelo	86



	Pag.
Frecuencia de Reloj para los 5 canales	89
Contador hasta 4	95
Contador hasta 24	97
Diseño del Conjunto	103
Diseño del Conversor más Filtro Analógico	105
Elección del Amplificador de la señal de Reloj	110

**PART E III .- PLANIFICACION PARA LA CONSTRUCCION  
DEL FILTRO DIGITAL Y DISEÑO DEL AM  
PLIFICADOR DE SALIDA**

Informaciones generales	118
Circuitos integrados a utilizarse	123
Lista de Conexiones del Filtro Digital	128
Diseño del Amplificador de salida	190
El Conversor Digital-Analógico	190
Especificaciones del Amplificador de Salida	195
Amplificadores con Salida Push-Pull	195
Amplificador Final para el Generador Digital	197

**PART E IV .- PRUEBAS**

Pruebas con Osciloscopio	217
Bloque de 45	219
Circuitos para Conexiones de Clear	227
Bloque de 44	231
Bloque de 43	243

**PART E V .- CONCLUSIONES Y RECOMENDACIONES**

259



PARTE I

INTRODUCCION



BIBLIOTECA

Es idea general que en la construcción de un equipo electrónico, no existirá nunca material suficiente de datos concretos, apuntes y palabras para llenar las páginas de un libro.

Sin embargo el tiempo invertido en éste nos hizo ver lo equivocados que estábamos. Tuve tal cantidad de páginas que nos vimos obligados a dividir los apuntes en diferentes partes, para lograr una más clara explicación de lo hecho.

En la Parte II hacemos un estudio de los elementos que necesitamos para su construcción al igual que el desarrollo de ideas para un trabajo ordenado.

Las Partes III y IV están dedicadas exclusivamente a los diseños del filtro analógico y el amplificador de salida respectivamente, cumpliendo exigencias puestas por el Laboratorio de Comunicaciones. Estas exigencias se las aplicamos por igual al diseño del divisor de frecuencia.

La Parte IV trata en su mayor detalle los diferentes pasos de la construcción del Generador Digital de Ruido, e incluye una lista de conexiones y además correcciones hechas cuando las pruebas previas ofrecían dificultad.

Para cerrar, la última Parte, llamada Conclusiones, provee al lector de variados cambios y consejos para futuras mejoras en base a mi experiencia alcanzada en esta construcción.

Además se hizo indispensable la impresión de fotografías, para proporcionar una mejor explicación del trabajo realizado. Las mismas se encuentran incluídas en diferentes pasajes del libro.

En esta Parte diremos algo sobre lo que voy a generar: el Ruido.

Son señales eléctricas no deseables.

Proviene de diferentes fuentes.

Una de ellas es la interferencia hecha por el hombre, o pueden venir de otros sistemas de comunicación, ignición o del trabajo por conmutadores.

Otra fuente puede ser las originadas naturalmente por disturbios atmosféricos, radiaciones extraterrestres o ruidos circuitales.

Estas señales pueden reducirse con un cuidadoso sistema de ingeniería, pero siempre habrá ruido en un circuito.

Existe otro tipo de ruido: el llamado Térmico.

Se produce por el movimiento de los electrones que originan la corriente eléctrica. Haremos una breve descripción de este ruido que inevitablemente nos llevará al estudio del Ruido Blanco.

### RUIDO TÉRMICO

Según la teoría cinética, la energía promedio de una partícula a una temperatura  $T$  es  $kT$  ( $k =$  constante de Boltzmann). Lo que quiere decir que tendremos potencia de ruido como función de la temperatura.

Cuando una resistencia metálica se encuentra a una temperatura  $T$ , un voltaje  $v(\xi)$  se produce en sus terminales a circuito abierto. Este ruido posee una distribución gaussiana.



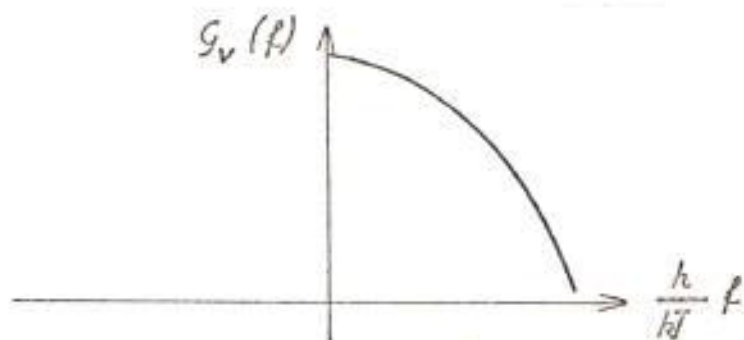


Fig. II Densidad espectral del  
Ruido Térmico.

Puede llegarse a deducir que para cualquier propósito la densidad espectral del Ruido Térmico  $G_v(f)$  es constante e igual a:

$$G_v(f) = 2kT \quad \text{V}^2/\text{Hz} \quad \text{Ec. (II)}$$

#### RUIDO BLANCO Y TEMPERATURA DEL RUIDO

Muchas otras fuentes de ruido son gaussianas, aparte de las resistencias térmicas, que poseen una densidad espectral que es plana en un rango ancho de frecuencia.

Tal espectro tiene todas sus componentes de frecuencia en igual proporción y es llamado Ruido Blanco por analogía con la luz blanca.

La densidad espectral  $G(f)$  del Ruido Blanco es en general:

$$G(f) = \frac{n}{2} \quad \text{Ec. (I2)}$$

en la cual el  $\frac{1}{2}$  expresa que la mitad de la potencia está asociada con la frecuencia positiva y la otra mitad con la frecuencia negativa.

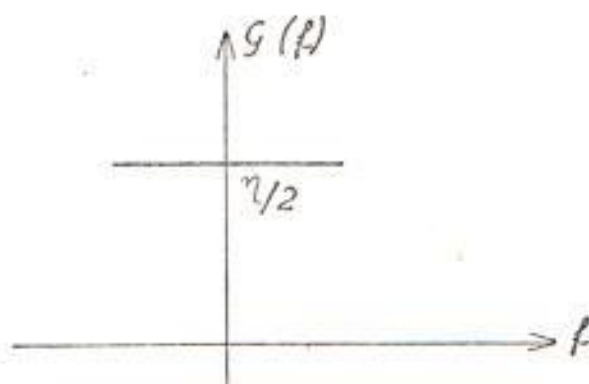


Fig. 12 Densidad espectral de Ruido Blanco.

Alternativamente,  $\mathcal{N}$  es la densidad de potencia de las frecuencias positivas. Siendo  $G(f)$  conocida, su autocorrelación tomada de la transformación de Fourier es:

$$R_c(\mathcal{T}) = \int_{-\infty}^{\infty} \frac{\mathcal{N}}{2} e^{j\omega\mathcal{T}} df = \frac{\mathcal{N}}{2} \delta(\mathcal{T}) \quad \text{Ec. (I3)}$$

y se lo representa gráficamente así:

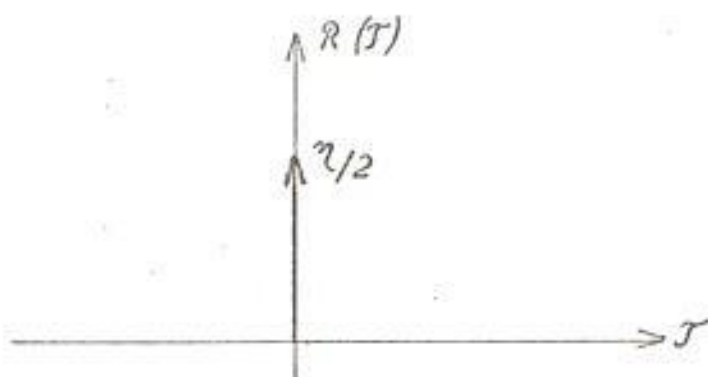


Fig. 13 Autocorrelación de la densidad espectral del Ruido Blanco.

De la ecuación de autocorrelación, Ec. (I3), deducimos que  $R_c = 0$  cuando  $\mathcal{T} \neq 0$ , lo que quiere decir que son "estáticamente independientes".

Esta observación, al igual que la del espectro de potencia constante, nos lleva a la conclusión de que si un Ruido Blanco es observado en un osciloscopio la forma de onda "lucirá" igual, sin importar el barrido que sea usado. Similarmente si un Ruido Blanco alimenta un parlante, sonará siempre lo mismo, tal como el sonido de las cataratas ....

J. R. Pierce dice en su libro "Symbols, Signals and Noise": el Ruido Blanco gaussiano es el ruido inesperado, el menos predecible, y el más original de todos los sonidos. Sin embargo al ser humano, todos los Ruidos Blancos le suenan igual. Se dice que es ruido tono y monótono.

### RUIDO BLANCO FILTRADO

El modelo del Ruido Blanco es razonable cuando se habla de la salida de un filtro y la densidad espectral de entrada es más o menos constante sobre la banda pasante, una situación muy común en sistema de comunicación.

Para el estudio de un Ruido Blanco Filtrado, una herramienta esencial es la relación espectro-potencia, de entrada-salida:

$$G_y(f) = |H(f)|^2 G_x(f) \quad \text{Ec. (14)}$$

...  $H(f)$  = función de transferencia del filtro.

Por lo tanto si la entrada a un sistema invariable en el tiempo es  $x(t)$ , la salida será  $y(t)$  con  $G_y(f)$  como en la Ec. 14, y

$$R_y(T) = \int_{-\infty}^{\infty} |H(f)|^2 G_x(f) e^{j\omega T} df \quad \text{Ec. (15)}$$

$$\bar{y}^2 = R_y(0) = \int_{-\infty}^{\infty} |H(f)|^2 G_x(f) df \quad \text{Ec. (16)}$$



BIBLIOTECA

Se asume por supuesto que  $x(t)$  viene de un proceso ergódico, en cuyo caso  $y(t)$  será también ergódico.

Para ilustración, si el ruido blanco es la entrada a un filtro pasa-bajo ideal de ganancia 1 y ancho de banda  $B$ , entonces:

$$G_y(f) = \frac{\eta}{2} \Pi\left(\frac{f}{2B}\right) \quad \text{Ec. (17)}$$

Y el espectro de potencia de salida será una función rectangular

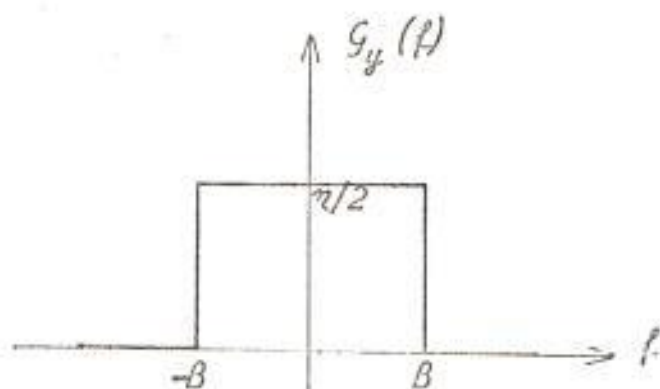


Fig. 14 Espectro de potencia de ruido blanco filtrado.



De igual manera la autocorrelación a la salida es una función sinc; más específicamente

$$R_y(\tau) = \eta B \text{sinc } 2B\tau \quad \text{Ec. (18)}$$

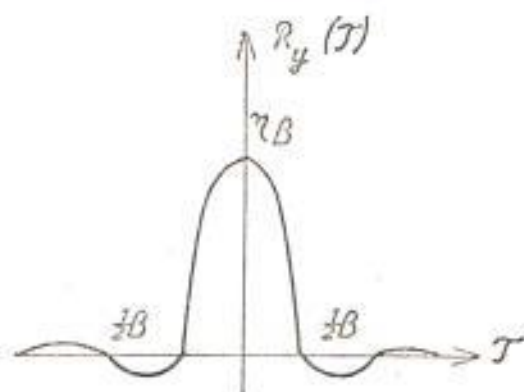


Fig. 15 Autocorrelación de ruido blanco filtrado.

Como se observa en las Figs. 14 y 15 el proceso de filtrado ha hecho tres cosas:

- 1) El espectro de potencia ya no es blanco a pesar de ser constante en un rango finito de frecuencias.
- 2) La potencia de salida es finita. De hecho  $\bar{y}^2 = \eta B$
- 3) La señal de salida es correlacionada sobre intervalos de tiempo de  $\frac{1}{B}$ .

A pesar de que las conclusiones hasta ahora obtenidas están basadas en un filtro pasa-bajo ideal, resultados similares pueden obtenerse con cualquier filtro real. Ya que el espectro no es más blanco, el ruido blanco suele llamarse "ruido coloreado".

También sería interesante conocer algo sobre la distribución probabilística de la señal filtrada. Existen dos casos: el desfavorable y el favorable. El desfavorable no tiene regla general que relacione entrada y salida de la señal filtrada, salvo por una excepción, que precisamente es el caso favorable; es decir, si la entrada a un sistema lineal no variante en el tiempo es gaussiana su salida será gaussiana.

Esto proviene del hecho de que cualquier transformación lineal de una gaussiana genera otra gaussiana.

Se considerará este caso como favorable, simplemente porque el modelo gaussiano es válido para una gran variedad de señales que se hallan en la ingeniería de las comunicaciones.

Tras este pequeño estudio sobre Ruido sólo resta afirmar el deseo de que el trabajo realizado llegue con claridad al lector, ya que ésta es la meta propuesta desde su inicio.





PARTE II  
ELEMENTOS, UBICACION  
Y ARREGLOS

## ELEMENTOS NECESARIOS

Es necesario como punto de partida para un conocimiento global del funcionamiento del generador, un diagrama de bloques del mismo ( Fig. III ) en el que se incluya las partes a construir y aquellas que, teniéndolas a disposición en diferentes almacenes de artefactos electrónicos, habrá que elegir de acuerdo a los requerimientos técnicos.

Para ello comenzaremos por elegir la Fuente de Poder que alimentará los diferentes circuitos digitales.

### LA FUENTE DE PODER

Motorola exige para sus circuitos digitales una alimentación de 5 voltios con una variación de sólo el  $\pm 5\%$ , lo que implica un rango de voltaje de 4.75 a 5.25 voltios. Para el peor caso de diseño, Motorola aconseja sumar los valores de  $I_{pdh}$  ( consumo de corriente de la Fuente de Poder con entrada lógica "0" ) o  $I_{pdl}$  ( consumo de corriente de la Fuente de Poder con entrada lógica "1" ) de los paquetes de circuitos en el sistema a determinar el consumo de corriente.

Es aconsejable además, que la fuente sea de baja impedancia y con una distribución a masa apropiada, pudiendo adoptar el uso de placas como la tierra, o en su defecto dejar tanto metal como sea posible para la línea de tierra.

La casa Powertec nos ofrece una Fuente de Poder que reúne las siguientes características:

Entrada:

105 a 125 VAC

47 - 63 Hz.

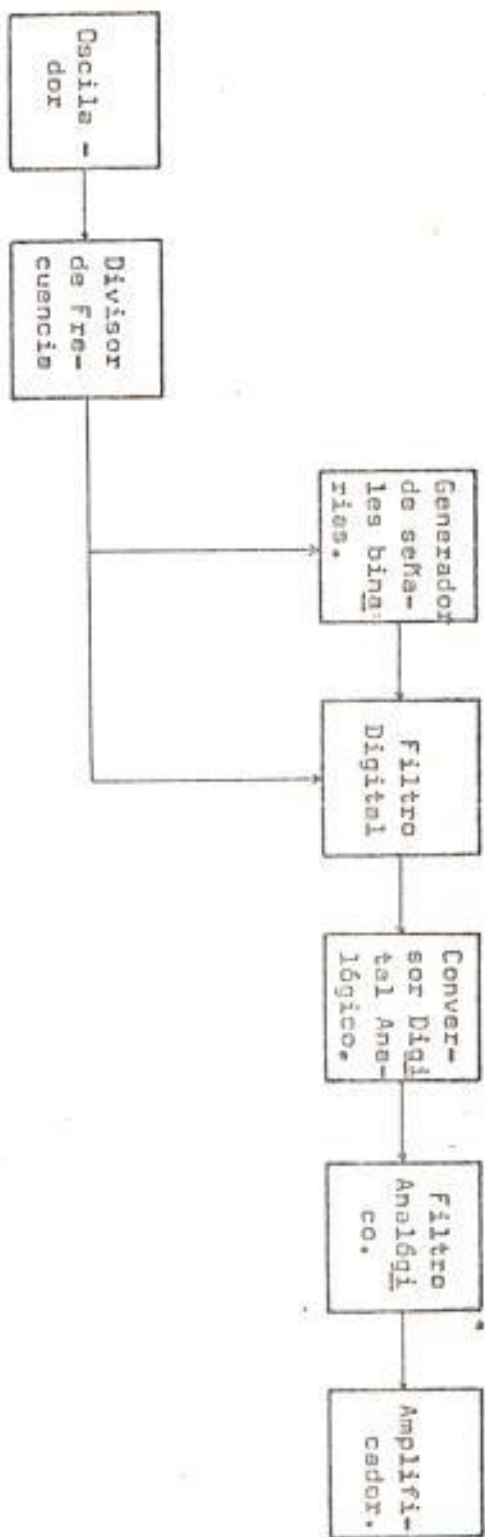


Fig. III Diagrama de Bloques

Salida:

4.5 a 6.3 VDC

5 VDC a 12 Amps.

Como se puede apreciar, esta fuente llena los requerimientos de alimentación de los paquetes de circuitos digitales, por lo que la elegiremos para la construcción. Su medida es satisfactoria y la representaremos ( en centímetros ) en la Fig. II2

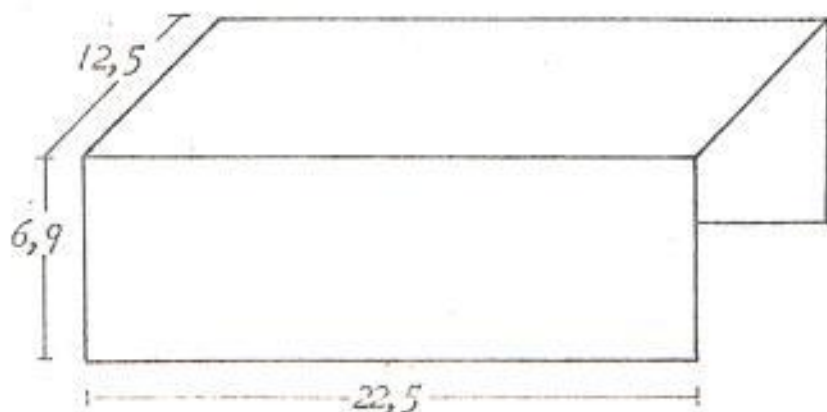
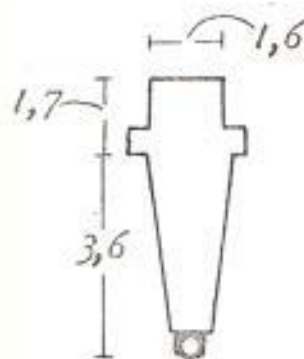
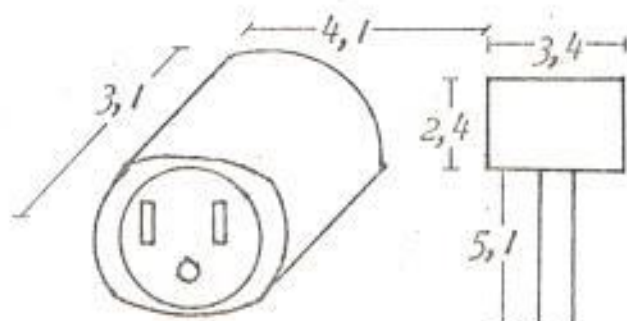


Fig. II2 Medidas de la Fuente de Poder

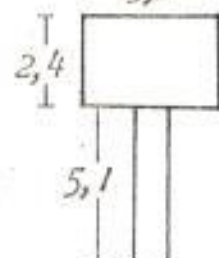
Pasaremos a especificar las dimensiones de los elementos de construcción que tendremos a nuestra disposición:



Portafusible



Empatador



Control Centralab  
(3 Polos, 5 Posiciones)

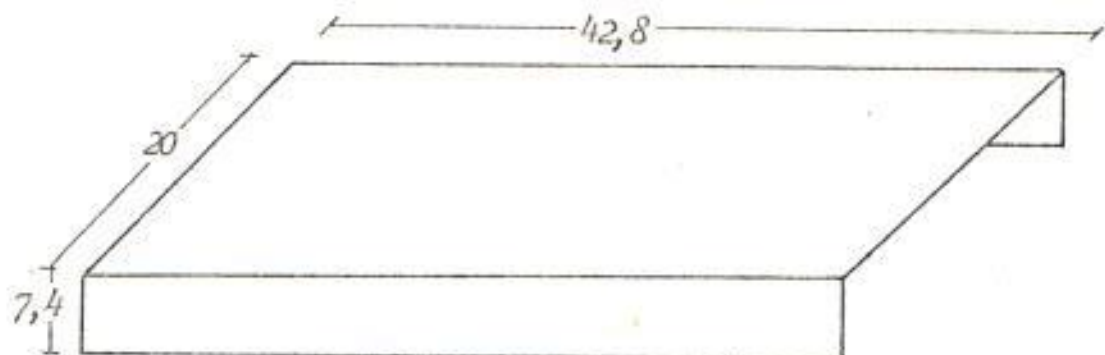


Fig. II 3 Medidas de elementos  
a utilizar en la construcción.

### CIRCUITOS INTEGRADOS Y ZOCALOS

Enumeraremos los circuitos integrados necesarios. Para ello nos referiremos al diagrama del Filtro Digital de la tesis del Ing. Mauricio Rehbein. Motorola y Signetics son marcas confiables que ofrecen gran variedad de estos productos.

El generador de señales binarias necesita los siguientes ci  
cuitos:

- 2 Puertas NAND con 8 entradas c/u.
- 4 Puertas O con 2 entradas c/u.
- 3 Puertas NAND con 2 entradas c/u.
- 15 Flip-Flops D.
- 4 Sumadores.

El Filtro Digital necesita:

- 314 Sumadores
- 44 Flip-Flops D ( 11 por cada registro  $y_2, y_3, y_4$  y  $y_5$  ).
- 41 Inversores ( para las salidas  $K_4|y_2$  y  $K_2|y_4$  ).

Sus respectivos números, en los diferentes catálogos de circuitos integrados son los siguientes:

Sumador	MC27482P
Inversor	9N04/7404
Flip-Flops D	7474N
Puerta NAND con 8 entradas	9N30/7430
Puerta NAND con 2 entradas	MC7400
Puerta 0 con 2 entradas	MC3003

TABLA 1

Contaremos ahora los zócalos que van a soportar estos circuitos integrados:

Circuito:	Unidades/paquete	# de Zócalos
318 Sumadores	2	159
59 Flip-Flops D	2	30
4 Puertas 0 (2 entradas c/u.)	4	1
3 Puertas NAND (2 entradas c/u.)	4	1
2 Puertas NAND (8 entradas c/u.)	1	2
Total:		193



La marca americana Elco nos ofrece los siguientes en colores blanco y negro, cuyas medidas son las siguientes: ( en centímetros )



Fig. II4 Medidas de los zócalos.

Tomamos 100 unidades de las de color negro y 125 de las blancas, es decir un total de 225 para mayor seguridad.

### ARREGLOS DE ZOCALOS

El primer paso que daremos es encontrar para los zócalos una configuración apropiada. Las conexiones más repetidas en el arreglo son las del transporte, la tierra y la de la fuente de poder, por lo que en base a ellas escogeremos un arreglo al azar, como el siguiente:

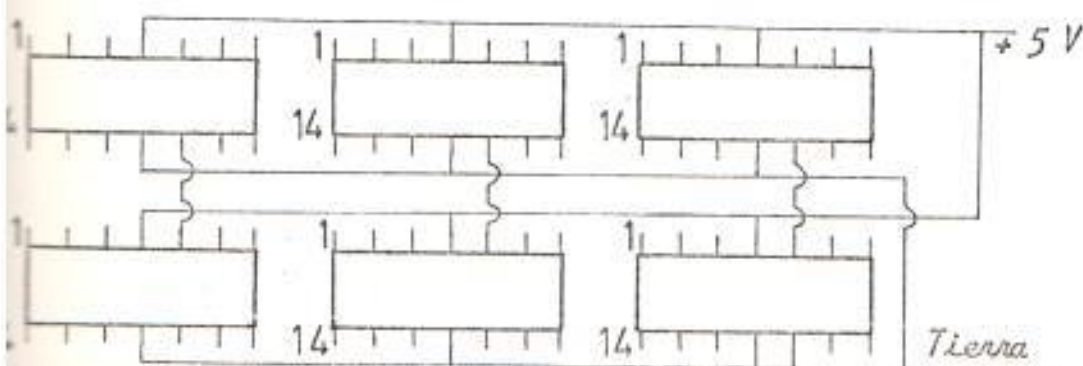


Fig. II5 Primer arreglo de zócalo.

Como se observa la longitud de las conexiones tiene una configuración bastante buena, pero su posición "acostada" hace sospechar la posibilidad de ocupar mucho espacio con respecto a su anchura.

Probaremos otra posición para evitarnos este problema; tomando como ejemplo, dos filas diferentes cualesquiera de sumadores pertenecientes al registro 42, llegamos al siguiente arreglo:

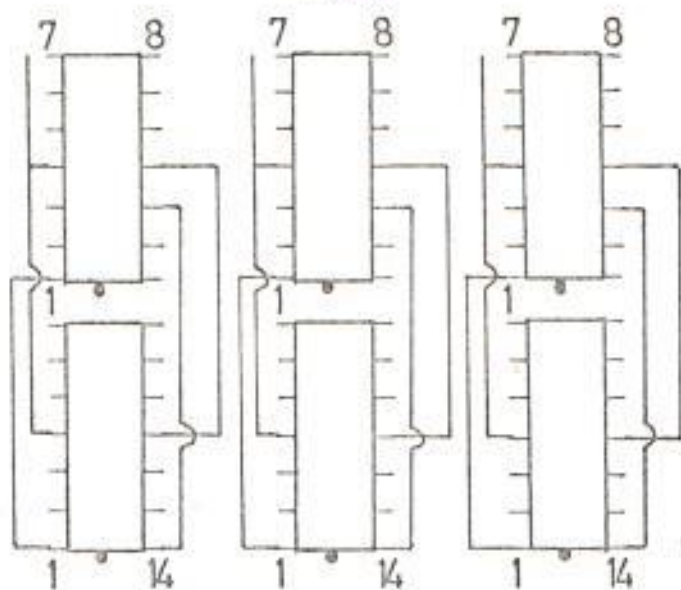


Fig. II6 Segundo arreglo de zócalos.

*Esta posición tiene el defecto de las conexiones de transporte muy largas, pudiéndose obviar de la siguiente manera:*

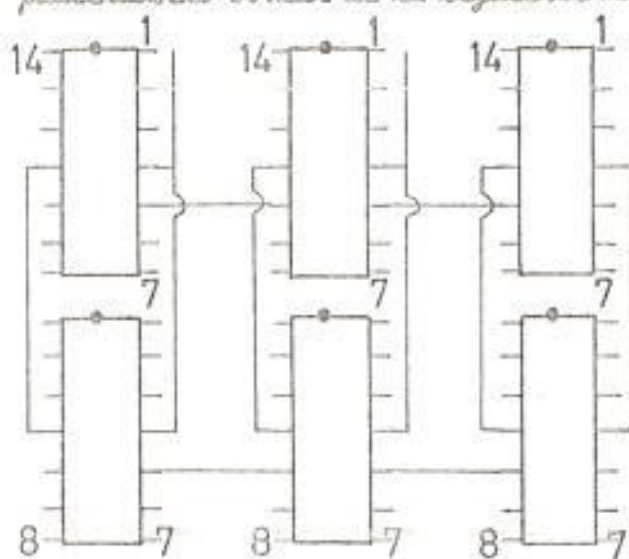


Fig. II7 Arreglo final de zócalos.

*Como se puede observar esta nueva configuración posee conexiones mucho más cortas siendo la más adecuada a su volumen, por lo que la elegiremos para la construcción.*



Necesitamos de una manera sencilla y práctica para reconocer rápidamente cualquier circuito del Filtro Digital, y esto es lo primero que llevaremos a cabo.

En nuestro diagrama del Filtro Digital existen tres grandes divisiones: los Registros, el Generador de Señales Binarias y los Sumadores, que realizan diferentes operaciones matemáticas.

Los dos primeros no sufrirán variación en su denominación, es decir los seguiremos llamando 42, 43, 44 y 45 a los registros, y GEN al Generador de Señales Binarias. Con los sumadores adoptaremos una denominación.

Ya que existen aproximadamente veinte bloques de ellos, los llamaremos por a, b, c, d, e ... etc. Omitiremos o, l y ll por semeñarse mucho a números. Cada bloque con su respectiva denominación se encuentra dibujado en la Fig. II.8.

### PLANIFICACION DE ZOCALOS

A continuación daremos los primeros pasos para la planificación de los zócalos tomando siempre en cuenta los siguientes detalles:

- 1) Cada sumador y registro tendrá su propia numeración para una rápida identificación.
- 2) Cada zócalo tendrá una identificación para columna. Escogeremos letras mayúsculas para ello.
- 3) Cada bloque del Filtro Digital lo representaremos con letras minúsculas. Representaremos con los sumadores del Generador de Señales Binarias. El primer resultado lo tendremos

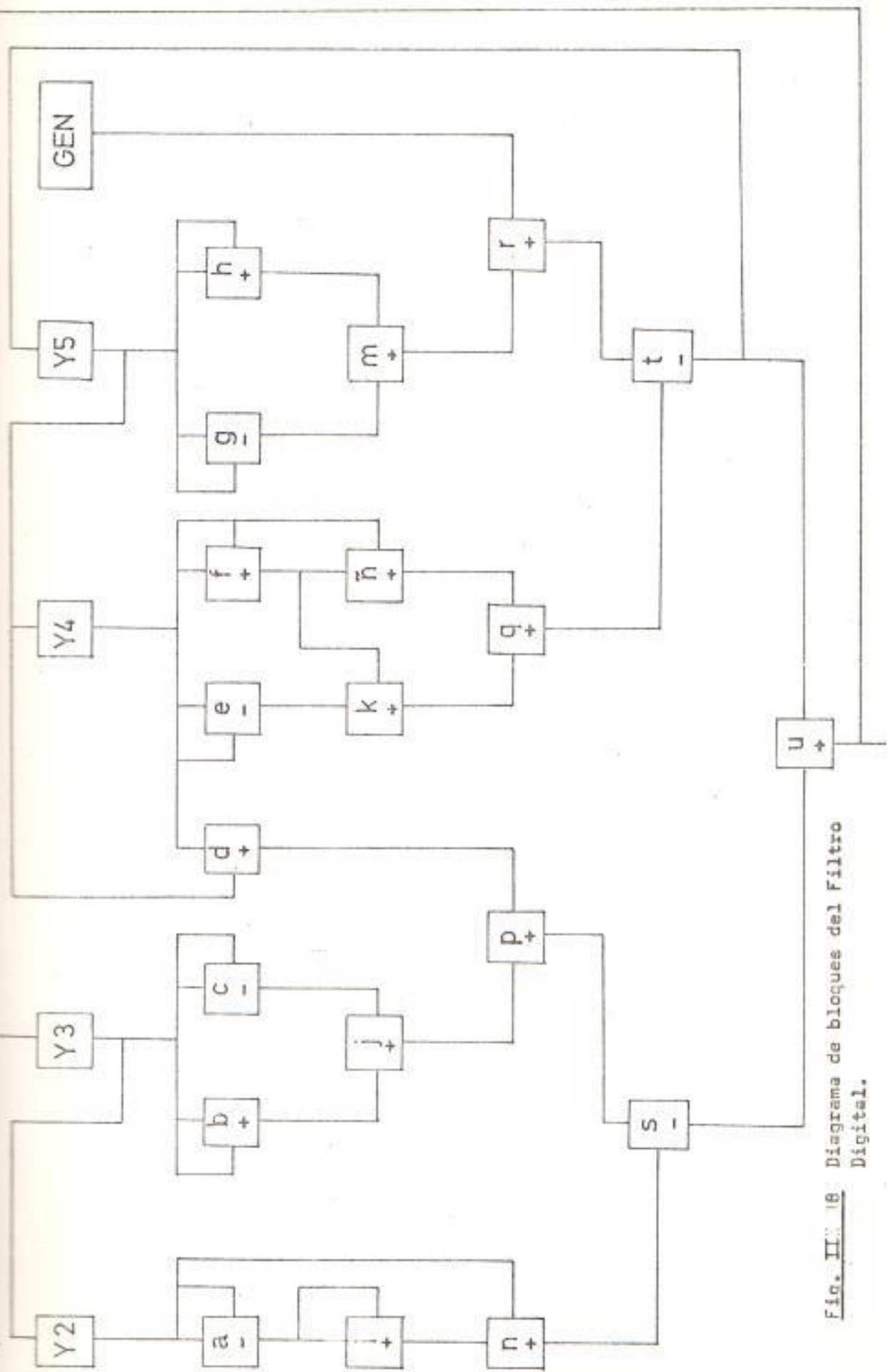


Fig. II. 16 Diagrama de bloques del Filtro Digital.

en la Fig. II9.

Analizándolo encontraremos los siguientes inconvenientes:

- a) Hemos omitido los flip-flops del Generador de Señales Binarias ( 15 en total ), a los cuales los llamaremos GEN.
- b) Los sumadores "n" son 18 en total y no 14.
- c) El registro 43 se podría correr uno ó dos espacios a la derecha, para que así 42 pueda correr también un espacio y estar exactamente debajo de los sumadores "a" que es adonde se dirige.
- d) Las letras mayúsculas para denominar las columnas no fueron suficientes por excederse el número de ellas. Además la letra Y no debe repetirse por llamar de esta forma a los registros; la letra O tampoco es aconsejable usarla por posibles confusiones con "cero".
- e) Hemos omitido las puertas del Generador de Señales Binarias; por semejanza con a) las llamaremos GEN.
- f) Y por último es aconsejable que dejando la estética a un lado coloquemos todos los sumadores pertenecientes a un bloque, juntos, a lo largo de una fila. Se nota que los bloques "t" y "u" van a ser un poco difícil hacerlos de esta manera; pero serán pocas las excepciones.

El segundo resultado lo tenemos en la Fig. II10.

Los nuevos inconvenientes que se presentan aquí son:

- a) Tendremos que cambiar la denominación de las puertas del Generador de Señales Binarias, representadas por GEN. Escogeremos

CENTROLEYS

	C	O	N	T	R	O	L	E	S
1	100	100	100	100	100	100	100	100	100
2	100	100	100	100	100	100	100	100	100
3	100	100	100	100	100	100	100	100	100
4	100	100	100	100	100	100	100	100	100
5	100	100	100	100	100	100	100	100	100
6	100	100	100	100	100	100	100	100	100
7	100	100	100	100	100	100	100	100	100
8	100	100	100	100	100	100	100	100	100
9	100	100	100	100	100	100	100	100	100
10	100	100	100	100	100	100	100	100	100
11	100	100	100	100	100	100	100	100	100
12	100	100	100	100	100	100	100	100	100
13	100	100	100	100	100	100	100	100	100
14	100	100	100	100	100	100	100	100	100
15	100	100	100	100	100	100	100	100	100
16	100	100	100	100	100	100	100	100	100
17	100	100	100	100	100	100	100	100	100
18	100	100	100	100	100	100	100	100	100
19	100	100	100	100	100	100	100	100	100
20	100	100	100	100	100	100	100	100	100
21	100	100	100	100	100	100	100	100	100
22	100	100	100	100	100	100	100	100	100
23	100	100	100	100	100	100	100	100	100
24	100	100	100	100	100	100	100	100	100
25	100	100	100	100	100	100	100	100	100
26	100	100	100	100	100	100	100	100	100
27	100	100	100	100	100	100	100	100	100
28	100	100	100	100	100	100	100	100	100
29	100	100	100	100	100	100	100	100	100
30	100	100	100	100	100	100	100	100	100
31	100	100	100	100	100	100	100	100	100
32	100	100	100	100	100	100	100	100	100
33	100	100	100	100	100	100	100	100	100
34	100	100	100	100	100	100	100	100	100
35	100	100	100	100	100	100	100	100	100
36	100	100	100	100	100	100	100	100	100
37	100	100	100	100	100	100	100	100	100
38	100	100	100	100	100	100	100	100	100
39	100	100	100	100	100	100	100	100	100
40	100	100	100	100	100	100	100	100	100
41	100	100	100	100	100	100	100	100	100
42	100	100	100	100	100	100	100	100	100
43	100	100	100	100	100	100	100	100	100
44	100	100	100	100	100	100	100	100	100
45	100	100	100	100	100	100	100	100	100
46	100	100	100	100	100	100	100	100	100
47	100	100	100	100	100	100	100	100	100
48	100	100	100	100	100	100	100	100	100
49	100	100	100	100	100	100	100	100	100
50	100	100	100	100	100	100	100	100	100

FIG. 11 9

100



la letra "G" para ello.

b) Habrá necesidad de separar el bloque "L" para distinguir la parte redondeada de la sin redondeo. Se nos ocurre hacer, no precisamente una separación de bloques, sino de las letras. Llamaremos "T" a la parte redondeada y "l" a la parte sin redondeo. De igual manera haremos con la "u", llamando "U" a la parte redondeada y "u" a la sin redondeo.

c) Esta parte b) trae consigo una nueva variación. Los sumadores ahora denominados "T" se dirigen al registro 45, por lo que incuestionablemente deberán estar cerca de éste. En la Fig. 119 podemos correr el registro 44 un bloque hacia la izquierda y ubicar en ese espacio los cinco "paquetes" de circuitos de sumadores T.

En igual forma sucede con los sumadores U. Estos se dirigen al registro 43. Encontramos espacio suficiente al rededor de 43 por lo que haremos lo siguiente: correremos 43 un espacio a la izquierda para que así se encuentre exactamente debajo de los sumadores "b", y los sumadores "U" los acomodaremos debajo de este registro.

e) Los inversores ubicados a las salidas de los sumadores "n" y "q", poseen la misma denominación, es decir "I". Tendremos que distinguirlo de alguna manera, y la más sencilla es llamar N a los que se encuentran a la salida de los sumadores "n", e IQ a los de las salidas de los sumadores "q".

Podemos aprovechar esos espacios que se hallan por encima de los registros. Además se prevee que las conexiones tendrán tal número que se formarán volúmenes apreciables de cables entre las

patas de los zócalos por lo que nos parece apropiado dejar dos o tres milímetros entre zócalos para esta finalidad.

g) La numeración dada a cada uno de los sumadores y registros tendremos que variarla. En la Fig. II9 se encuentran numerados de izquierda a derecha. Pero resulta que en el Filtro Digital el bit menos significativo es el primero de la derecha, en cualquiera de los bloques de sumadores, o en los registros. Por lo que es razonable que este bit, tenga la numeración baja para una rápida identificación, lo que implica numerar los sumadores de izquierda a derecha. Todas estas indicaciones se encuentran registradas en la Fig. III1.

(Con este nuevo arreglo podemos realizar las siguientes mejoras:

a) Otorgar una identificación tanto a las filas como a las columnas. Escogemos las letras mayúsculas para las filas y los números romanos para las columnas, para diferenciarlas de la numeración de cada sumador o registro.

b) Los sumadores  $G_1$  y  $G_2$ , pertenecientes al Generador de Señales Binarias, se encuentran ubicados muy lejos de los sumadores "n", que es adonde se dirigen; tendremos entonces que acercarlos un poco más.

c) Subir el registro  $Y_4$  y los sumadores "T" una fila. Para esto tendremos que recorrer el registro  $Y_4$  un bloque a la derecha y hacer descender cualquiera de los paquetes de circuitos de "T".

Así obtenemos el nuevo arreglo en la Fig. III2. El primer inconveniente que salta a la vista en este diseño es que los números romanos de las columnas de la derecha se tornan muy abultados como para imprimirlos; por lo que ésta será la primera variación.

4 II 07

## C O N T R O L L E S

	01	02	03	04	05	06	07	08	09	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36				
F				Y2	Y2	Y2	Y2	Y2	Y2	Y3	Y3	Y3	Y3	Y3	Y3	Y3	Y3	Y4	Y4	Y4	Y4	Y4	Y4	Y4	Y4	Y4	Y4	Y4	Y5	Y5	Y5	Y5	Y5	Y5	Y5	Y5	Y5			
B																																								
C																																								
D																																								
E																																								
F																																								

FNCHUFE  
Y

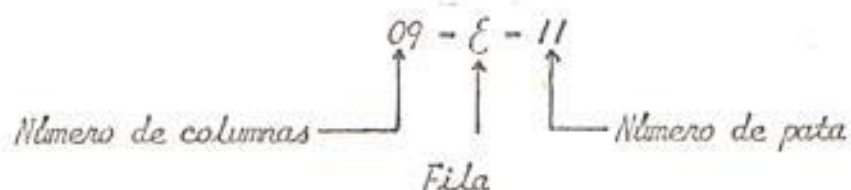
FUSIBLES  
H

FIG 1111





a) Utilizaremos números arábigos para llamar las columnas, estableciendo desde ya una regla para identificar una pata cualquiera de cualquier zócalo. Por ejemplo:



Este ejemplo identifica al sumador "p", 14 y 15, siendo su número de pata 11, la tierra.

b) Podemos mejorar aún más la identificación de los sumadores "U" dándoles a estos una nueva numeración, es decir volver los a numerar desde 1, 2, 3, ... etc. y no continuar con U22, 23, 24, ... etc. De igual forma haremos con los sumadores "T".

A todo esto se nos presenta un nuevo problema, cual es el diseño del Divisor de Frecuencia, el cual no lo realizamos sino en el siguiente capítulo.

Este diseño nos presenta los siguientes nuevos elementos a los cuales de una vez les daremos designación:

Circuito	Cantidad	Letra
Oscilador	1	E
Flip-flop	12	D
Puerta NAND 7473; 2 entradas	4	A
Puerta O; 2 entradas	2	D
Puerta Y; 3 entradas	1	D

TABLA 2

Estos circuitos del Divisor de Frecuencia deben estar cerca de los registros y los flip-flops del Generador de Señales Binarias. Es decir, que el Divisor de Frecuencia deberá estar ubicado en la fila A y tendremos que llevar los flip-flops GEN también a esa fila. Otra razón por la que el divisor debe estar en la fila A es que debe estar lo más cerca posible de los controles.

Todo esto va a hacer que los registros 44 y 45 y los sumadores "T" desciendan a la fila B, en lo que no habra ningún inconveniente.

Todos estos cambios se encuentran hechos en la Fig. III.3.

Este nuevo diseño presenta uno que otro detalle que ocasionaría molestias cuando se hagan las conexiones. Lo podremos perfeccionar una vez más, tomando en cuenta las siguientes variaciones:

- a) El flip-flop GEN15 se encuentra demasiado lejos de GEN14 y ya que sobra un flip-flop en la columna 29, fila B, lo ubicaremos en ese lugar.
- b) En igual forma podemos correr todos los números de 1 a 11 del registro 42 hacia la izquierda y ubicar el flip-flop 11 de 43 en el espacio libre que habrá en la columna 09, fila A, ahorrándonos un zócalo de esta manera. Al mismo tiempo subo una fila a la puerta NAND "G" de 8 entradas.
- c) Lo que podemos hacer con los flip-flops no es posible hacer lo con los sumadores. Un circuito integrado sumador contiene 2 de estos con transporte interno entre sí, aparte de los transportes exteriores, lo que quiere decir que no son independientes como en el caso de los flip-flops. Los sumadores que se encuentran en este problema son:

FIG. 113  
II

C O N T R O L L E S . -

	Y2	Y2	Y2	Y2	U	Y3	Y3	Y3	Y3	Y3	Y3	U	U	U	U	Y5	Y5	Y5	Y5	Y5	Y5	G:	
	11-10-0-1	6-5	4-3	2-1	2-2	11-10-9	8-7	6-5	4-3	2-1	21-20-15-14	23-22				11	10-9	8-7	6-5	4-3	2-1		
a	a	a	a	a	U	b	b	b	b	e	e	e	e	Y4	Y4	T	T	T	T	T	T	G:	
4-3	2-11	10-9	8-7	6-5	4-3	2-1	20-19-11-10-9-8	7-6	5-4	3-2	1-11	13-12	11-10	9-8	7-6	5-4	3-2	1-11	10-9	8-7	6-5	4-3	G:
z	z	z	z	z	U	c	c	c	c	e	e	e	e	Y4	Y4	T	T	T	T	T	T	G:	
4-3	2-11	10-9	8-7	6-5	4-3	2-1	33-32-14-13-12-11-10-9	8-7	6-5	4-3	2-1	9-8	7-6	5-4	3-2	1-11	10-9	8-7	6-5	4-3	2-1	10-9	G:
m	m	m	m	m	U	d	d	d	d	e	e	e	e	Y4	Y4	T	T	T	T	T	T	G:	
8-7	6-5	4-3	2-1	10-9	8-7	6-5	15-14-13-12-11-10-9	8-7	6-5	4-3	2-1	10-9	8-7	6-5	4-3	2-1	10-9	8-7	6-5	4-3	2-1	10-9	G:
IN	IN	IN	IN	IN	U	f	f	f	f	e	e	e	e	Y4	Y4	T	T	T	T	T	T	G:	
20-19	18-17	16-15	14-13	12-11	10-9	8-7	15-14-13-12-11-10-9	8-7	6-5	4-3	2-1	9-8	7-6	5-4	3-2	1-11	10-9	8-7	6-5	4-3	2-1	10-9	G:

ENCLOSURE  
Y  
FUSIBLE

FIG. 113

Sumador	Ubicación
hl y gl3	columna 29, fila C
jl y fl1	columna 17, fila D
ml3 y T1	columna 29, fila D
pl y kl1	columna 16, fila E
dl1 y kl3	columna 17, fila E

d) Los sumadores  $G_1 - G_2$  del Generador de Señales Binarias los podemos ubicar al lado derecho de los inversores  $I_0$ , y aprovechar los espacios que van a dejar para separar un par de sumadores que se encuentran en el problema mencionado en el inciso anterior, más exactamente "T1" - "ml3" y "dl1" - "kl3". Al mismo tiempo corremos los sumadores "s" un zócalo a la izquierda para separar los sumadores "pl" - "kl4".

Los sumadores "gl3" - "hl" se pueden separar corriendo todos los sumadores "g" un zócalo a la derecha aprovechando el zócalo vacío que deja la unión de los registros 11 de  $Y_3$  y 1 de  $Y_2$ , previo al correr toda la fila A un zócalo a la izquierda.

e) Por último, no es necesario que la columna 01 empiece donde no existe ningún circuito. Podemos comenzar a numerarla desde la actual columna 02.

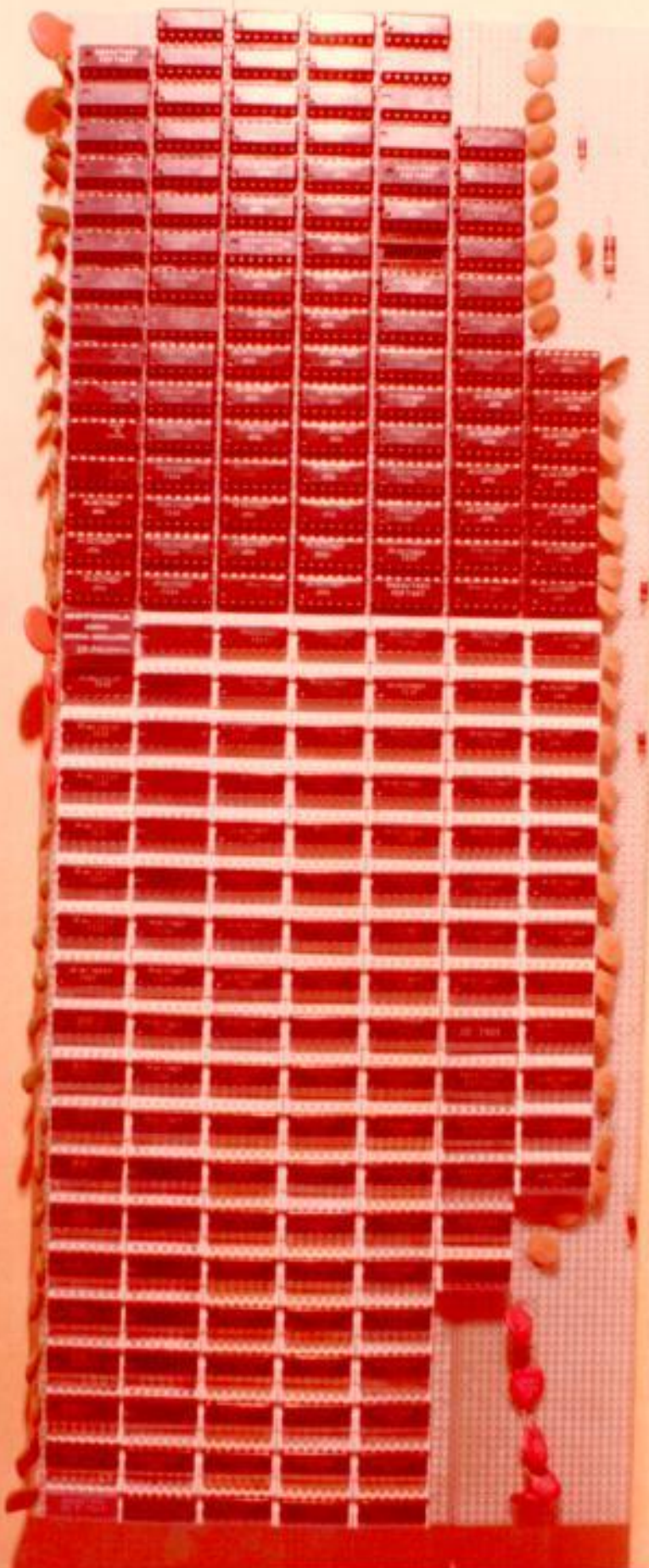
El nuevo diseño se encuentra hecho en la Fig. II 14 y será el que usemos en la construcción y al que llamaremos el "arreglo final".

Cualquier cambio posterior que pueda presentarse lo haremos sobre este mismo diseño.

C O N T R O L L E S

	01	02	03	04	05	06	07	08	09	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34				
A	IB	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y3	Y3	Y3	Y3	Y3	Y3	U	U	U	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D		
B	IB	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y3	Y3	Y3	Y3	Y3	Y3	U	U	U	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	
C	IB	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y3	Y3	Y3	Y3	Y3	Y3	U	U	U	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
D	IB	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y3	Y3	Y3	Y3	Y3	Y3	U	U	U	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
E	IB	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y3	Y3	Y3	Y3	Y3	Y3	U	U	U	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
F	IB	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y3	Y3	Y3	Y3	Y3	Y3	U	U	U	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
G	IB	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y3	Y3	Y3	Y3	Y3	Y3	U	U	U	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

FIG. III 14



## DISEÑO DEL FILTRO ANALÓGICO

### ESPECIFICACIONES

Repetiremos en este numeral las especificaciones deseadas para el diseño del Filtro analógico, que se encuentran en el libro de Tesis de Grado del Ing. Mauricio Rehbein. Estas son:

- a) Permitir el paso completo de la banda completa del Filtro Digital.
- b) Hacer la frecuencia de corte menor o igual a  $(f_c - 2f_0)$ , en donde:

$f_c$  = frecuencia de la señal de reloj

$f_0$  = frecuencia de corte del Filtro Digital

- c) Que el espectro a la salida del filtro analógico tenga un rizado no mayor de  $\pm 0,3$  dB.

Además explica que cada una de estas condiciones es una limitación necesaria ya que si no se cumple a), se está reduciendo la banda de frecuencia y omitiendo las especificaciones dadas por el Laboratorio de Comunicaciones. (con b) sucede algo semejante ya que al no cumplirlo se está dejando pasar nuevamente frecuencias superiores; y si no se cumple con c), no se cumple las especificaciones.

Sigue el Ing. Rehbein diciendo: " nos basaremos en la tercera de ellas, ya que las dos primeras no nos dan un punto básico de decisión. No deseamos entonces tener un rizado mayor de  $\pm 0,3$  dB; para ello elegiremos un filtro analógico que no nos aumente el ri



gado obtenido hasta ahora y ello sólo lo cumple el Filtro de Butterworth".

Otro dato que se nos proporciona es el de la elección de un punto que determine el rechazo de las frecuencias superiores. Este es el de  $-30$  dB a la frecuencia de  $1,4$  MHz. Las razones son las siguientes:

- a) El nivel en  $-30$  dB dado que está bajo el nivel del Filtro Digital.
- b) En una frecuencia de  $1,4$  MHz para evitar que cualquier tolerancia en los valores de los componentes nos haga quedar en una frecuencia superior a  $(f_c - 2f_0)$ .

Sólo nos resta buscar el número de polos de este filtro con la condición de que a  $50$  KHz el nivel total no esté bajo el valor en  $-0,3$  dB.

### DESARROLLO DE LA ECUACION DEL FILTRO DE BUTTERWORTH

Como la condición que queremos cumplir es la de que el espectro a la salida del filtro analógico tenga un rizado no mayor de  $\pm 0,3$  dB traducido a números esto nos indica lo siguiente:

$$\text{dB} = -0,3 \text{ dB} = 10 \log X$$

$$X = 0,93325 \quad (\text{Ec. III 1})$$

... siendo  $X$  en este caso  $|F(j\omega)|^2$  a la frecuencia,  $f_0$ , igual a  $50$  KHz.

Desarrollemos entonces la ecuación del Filtro de Butterworth, primi

mero con una gran variedad de valores escogidos al azar, y luego usando los elegidos para el filtro. Solo de esta manera tendremos una idea general del asunto para poder más tarde cumplir las condiciones.

El filtro Butterworth queda especificado por la ecuación:

$$|F(j\omega)|^2 = \frac{1}{1 + \left(\frac{\omega}{\omega_c}\right)^{2n}} \quad (\text{Ec. III 2})$$

... siendo

$F(j\omega)$  = función de transferencia del filtro  
 $\omega_c/2\pi$  = frecuencia de -3 dB

Hacemos  $n = 1$  y  $\omega_c/2\pi = 1$  MHz

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{\omega^2}{10^{12}}}$$

Damos ahora diferentes valores a  $\omega/2\pi = 1$  MHz

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{10^{12}}{10^{12}}}$$

$$|F(j\omega)|^2 = 0,5$$

Hacemos ahora  $\omega/2\pi = 1,4$  MHz

$$|F(j\omega)|^2 = \frac{1}{1 + (1,4)^2 \times 10^{12} \times 10^{-12}}$$

Ahora con  $\omega/2\pi = 50 \text{ KHz}$ :

$$\begin{aligned} |F(j\omega)|^2 &= \frac{1}{1 + (50)^2 \times 10^6 \times 10^{-12}} \\ &= 0.9975 \end{aligned}$$

Con  $\omega/2\pi = 0,5 \text{ MHz}$ :

$$\begin{aligned} |F(j\omega)|^2 &= \frac{1}{1 + (0,5)^2 \times 10^{12} \times 10^{-12}} \\ &= 0.8 \end{aligned}$$

Representamos estos valores gráficamente en la Fig. III 1

En la ecuación III 2, ecuación del filtro de Butterworth, asignamos los siguientes valores:

$$n = 1$$

$$\omega_c/2\pi = 500 \text{ KHz}$$

con lo que nos queda:

$$\begin{aligned} F(j\omega)^2 &= \frac{1}{1 + \frac{\omega^2}{(500 \times 10^3)^2}} \\ &= \frac{1}{1 + \frac{\omega^2}{25 \times 10^{10}}} \end{aligned}$$

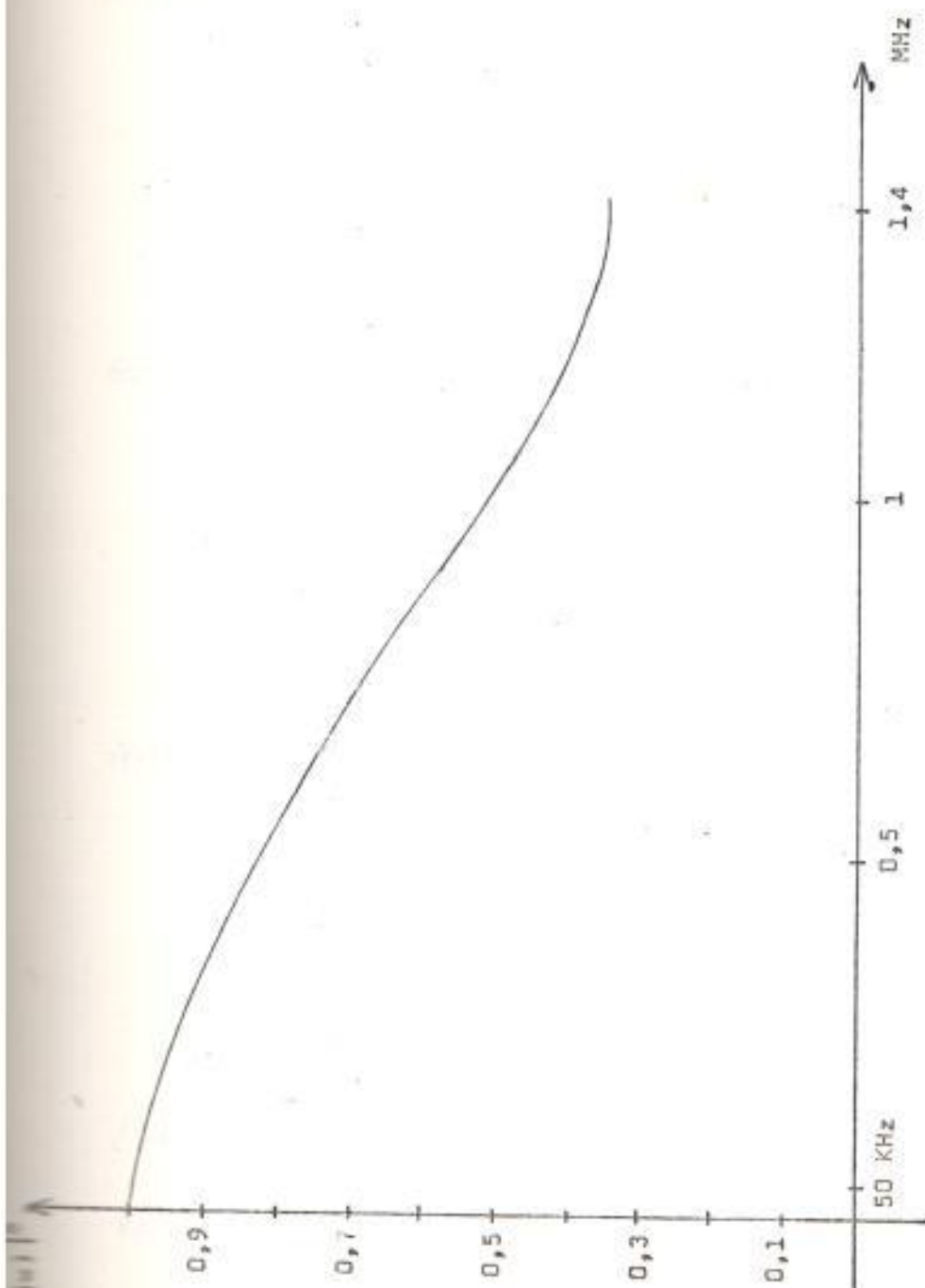


Fig. III.1 Representación gráfica de la ecuación del filtro de Butterworth para  $n=1$  y  $\omega_c/2\pi = 1$  MHz

De igual manera damos valores a  $\omega$ ; hacemos primero  $\omega/2\pi = 1 \text{ MHz}$

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{10^{12}}{25 \times 10^{10}}}$$
$$= 0,2$$

Hacemos ahora  $\omega/2\pi = 1,4 \text{ MHz}$ :

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{(1,4)^2 \times 10^{12}}{25 \times 10^{10}}}$$
$$= 0,1131$$

Ahora con  $\omega/2\pi = 50 \text{ KHz}$ :

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{(50)^2 \times 10^6}{25 \times 10^{10}}}$$
$$= 0,99909$$

Estos valores los representamos gráficamente en la Fig. III 2.

Volviendo a la Ec. III 2, hacemos en esta oportunidad:

$$n = 1$$

$$\omega_n/2\pi = 100 \text{ KHz}$$

y se nos transforma a:

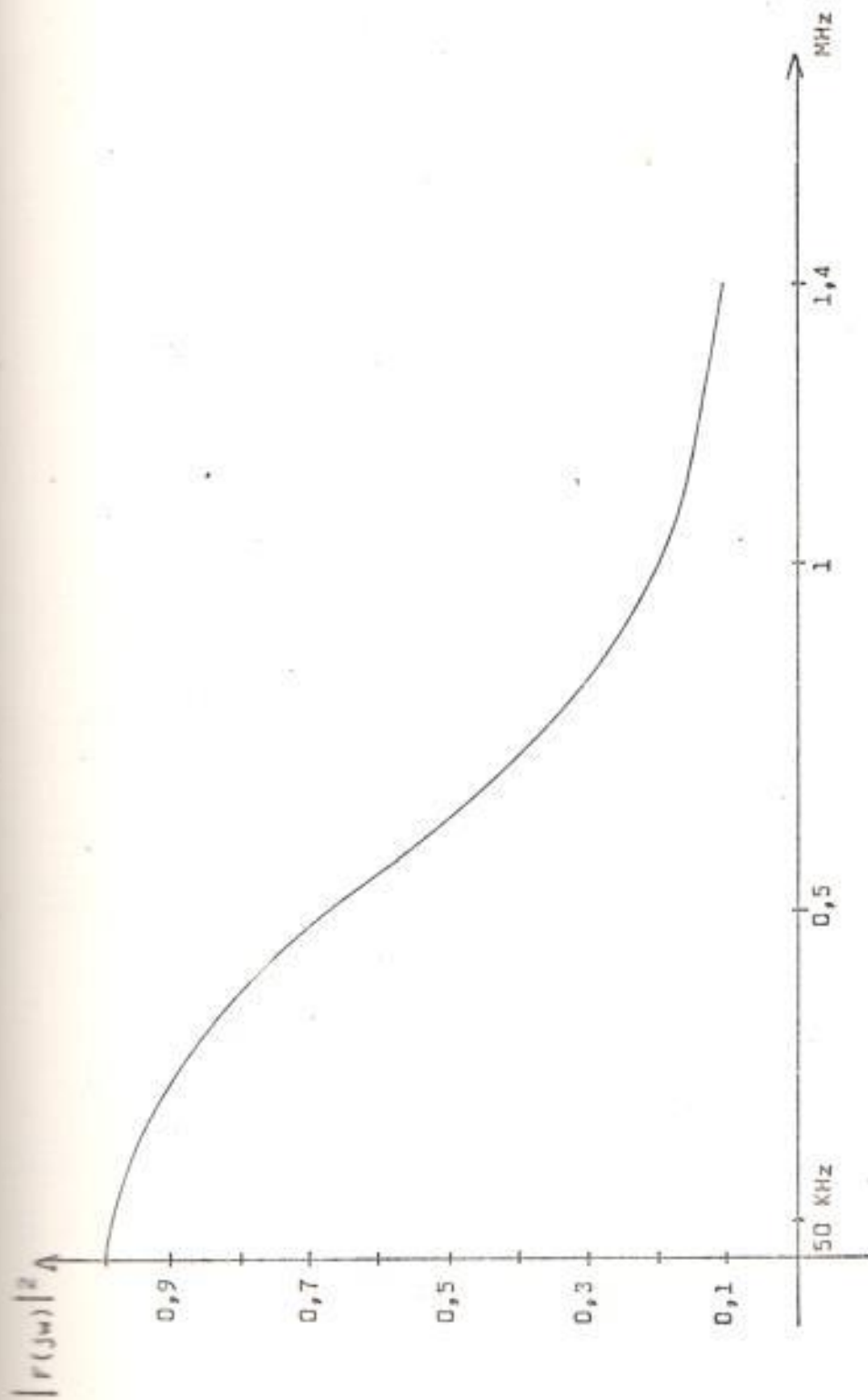


Fig. 1.1.2 Representación gráfica de la ecuación del Filtro de Butterworth para  $n = 1$  y  $\omega_c/2\pi = 500$  KHz

$$\begin{aligned} |F(j\omega)|^2 &= \frac{1}{1 + \frac{\omega^2}{(400 \times 10^3)^2}} \\ &= \frac{1}{1 + \frac{\omega^2}{16 \times 10^{10}}} \end{aligned}$$

Demos diferentes valores a  $\omega$ ; primero con  $\omega/2\pi = 1 \text{ MHz}$ :

$$\begin{aligned} |F(j\omega)|^2 &= \frac{1}{1 + \frac{10^{12}}{16 \times 10^{10}}} \\ &= 0,14 \end{aligned}$$

Hacemos ahora  $\omega/2\pi = 50 \text{ KHz}$ :

$$\begin{aligned} |F(j\omega)|^2 &= \frac{1}{1 + \frac{25 \times 10^8}{16 \times 10^{10}}} \\ &= 0,9846 \end{aligned}$$

Hacemos  $\omega/2\pi = 1,4 \text{ MHz}$ :

$$\begin{aligned} |F(j\omega)|^2 &= \frac{1}{1 + \frac{(1,4)^2 \times 10^{12}}{16 \times 10^{10}}} \\ &= 0,07547 \end{aligned}$$

Represento estos valores gráficamente en la Fig. III 3.

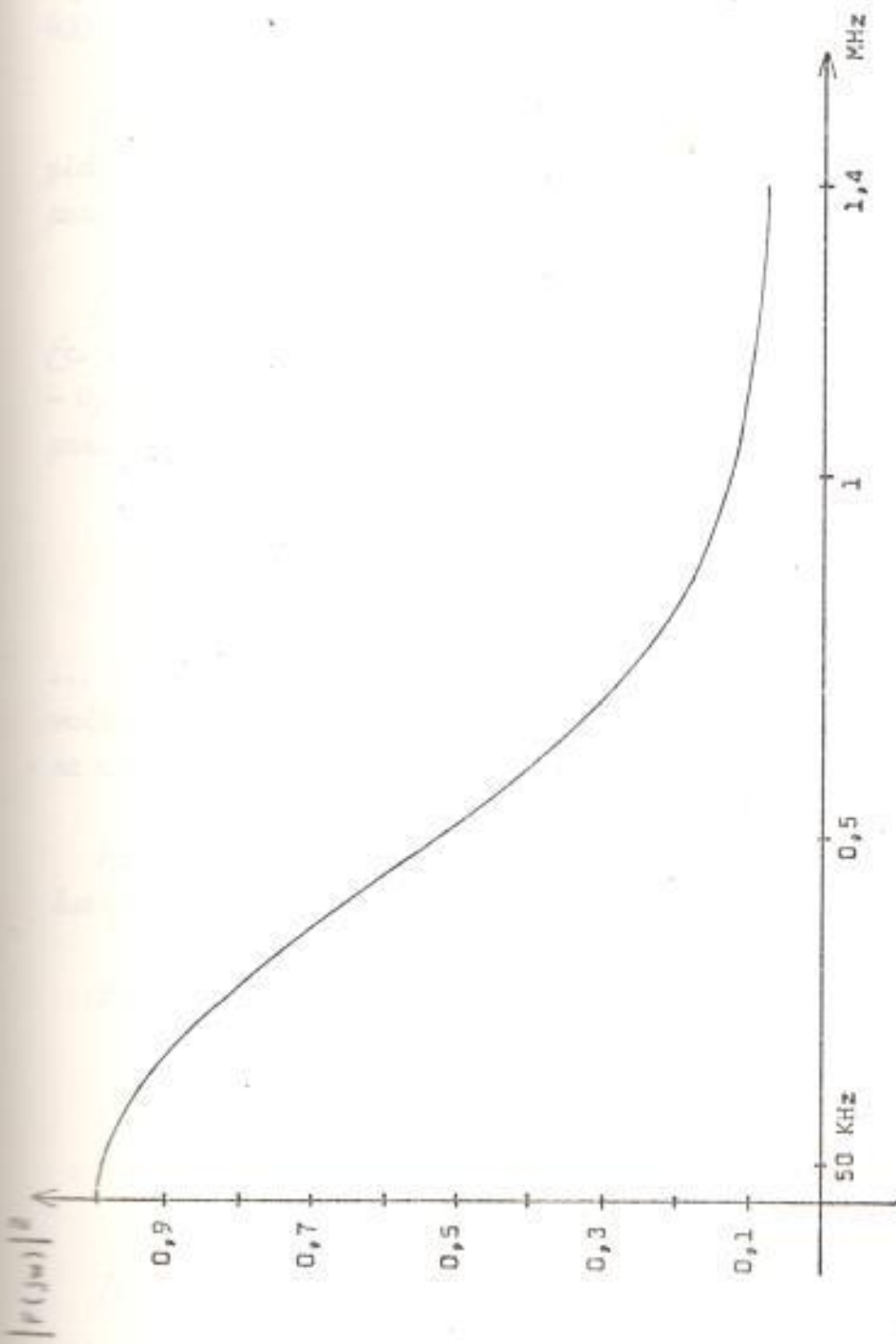


Fig. III 3 Representación gráfica de la ecuación del Filtro de Butterworth para  $n = 1$  y  $\omega_c/\sqrt{2} = 400$  KHz



Una rápida inspección de las pendientes de las curvas de las Figs. III 1, 2 y 3 nos convence de que frecuencias inferiores a 400 KHz nos serán las más apropiadas.

Después de desarrollar la Ec. III 2, con estos valores escogidos al azar, concretemos y cumplamos las condiciones elegidas para el filtro.

La segunda condición que queremos cumplir ( la primera es la Ec. III 1 ) es de una manera semejante a la que hicimos para - 0,3 dB; hallemos el valor al que debe aproximarse  $|F(j\omega)|^2$  para - 30 dB.

$$\begin{aligned} dB &= -30 = 10 \log X \\ X &= 0,001 \end{aligned} \quad (\text{Ec. III 3})$$

... siendo  $X = |F(j\omega)|^2$ , a una frecuencia igual a 1,4 MHz. El valor a encontrarse a esta frecuencia debe ser, al contrario  $\underline{p}$   $\approx$  dB = - 0,3 un poco menor del de Ec. III 3.

Problemas entonces nuevas combinaciones de valores sólo para estas frecuencias: 50 KHz y 1,4 MHz.

Para  $n = 1$  y  $\omega/2\pi = 300$  KHz, obtenemos de la Ec. III 2:

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{\omega^2}{9 \times 10^{10}}}$$

Entonces para  $\omega/2\pi = 50$  KHz:

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{25 \times 10^8}{9 \times 10^{10}}}$$

$$= 0.97299$$

Y para  $\omega/2\pi = 1,4$  MHz:

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{(1,4)^2 \times 10^{12}}{3^2 \times 10^{10}}}$$

$$= 0,044$$

Con esta primera combinaci3n de valores vemos que con  $\omega/2\pi = 1,4$  MHz, sobrepasa al resultado buscado de 0,001.

Probemos ahora con  $n = 1$  y  $\omega_n/2\pi = 200$  KHz; la Ec. III 2 que da entonces:

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{\omega^2}{4 \times 10^{10}}}$$

Para  $\omega/2\pi = 50$  KHz:

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{25 \times 10^8}{4 \times 10^{10}}}$$

$$= 0,94$$

y para  $\omega/2\pi = 1,4$  MHz:

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{(1,4)^2 \times 10^{12}}{4 \times 10^{10}}}$$

$$= 0,02$$

En esta combinaci3n vemos que aunque nos satisface para  $\omega/2\pi = 50$  KHz, no lo hace para  $\omega/2\pi = 1,4$  MHz.

Problemos ahora para  $n = 1$  y  $\omega_c/2\pi = 100$  KHz; la ecuaci3n del filtro de Butterworth se nos har3 entonces:

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{\omega^2}{10^{10}}}$$

Con  $\omega/2\pi = 50$  KHz:

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{25 \times 10^8}{10^{10}}}$$

$$= 0,8$$

Observemos detenidamente este valor y podremos concluir que el valor de frecuencia buscado debe estar entre 100 y 200 KHz.

Intentemos para  $\omega_c/2\pi = 150$  KHz y  $n = 1$

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{25 \times 10^8}{150 \times 10^6}}$$

$$= 0,900009$$

Intentemos ahora para  $\omega_c/2\pi = 190$  KHz y  $n = 1$  para comparar las anteriores con este 3ltimo.

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{25 \times 10^8}{190^2 \times 10^6}}$$
$$= 0.93458$$

... que es un valor demasiado aproximado a 0.93325.

Aprovechemos este valor de  $\omega/2\pi = 190$  KHz y observemos los resultados para  $\omega/2\pi = 1.4$  MHz:

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{1.4^2 \times 10^{12}}{190^2 \times 10^6}}$$
$$= 0.0178955$$

... que es un valor que no nos conviene porque sobrepasa al de 0,001 para -30 dB.

Pero hasta ahora, a pesar de haber probado diversos valores de frecuencias, sólo hemos tanteado uno de  $n$ , y éste es  $n = 1$ .

Veremos de aquí en adelante que pasa para  $n = 2$ .

La Ec. III 2 pasarla a ser de una manera general:

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{\omega^4}{\omega_c^4}}$$

Probamos primero con  $\omega/2\pi = 100$  KHz.

Para  $\omega/2\pi = 50$  KHz:

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{50^4 \times 10^{12}}{10^{20}}}$$
$$= 0,941$$

Para  $\omega/2\pi = 1,4$  MHz:

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{1,4^4 \times 10^{24}}{10^{20}}}$$
$$= 0,0000259$$

Tanteo ahora para  $\omega/2\pi = 150$  KHz; con  $\omega/2\pi = 50$  KHz:

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{(50)^4 \times 10^{12}}{150^4 \times 10^{12}}}$$
$$= 0,987$$

Y para  $\omega/2\pi = 1,4$  MHz:

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{1,4^4 \times 10^{24}}{150^4 \times 10^{12}}}$$
$$= 0,0001319$$

Estos valores encontrados, es decir  $n = 2$  y  $\omega_c/2\pi = 150 \text{ kHz}$ ; cumplen los requisitos propuestos; reemplazamos estos valores en la ecuación que especifica el Filtro de Butterworth, Ec. III 2, esta nos quedará:

$$|F(j\omega)|^2 = \frac{1}{1 + \left(\frac{\omega}{150 \times 10^3}\right)^4} \quad (\text{Ec. III 4})$$

Graficaremos la curva de la Ec. III 4 para diferentes valores de  $\omega$ :

$$\omega/2\pi = 0$$

$$|F(j\omega)|^2 = \frac{1}{1 + 0} \\ = 1$$

$$\omega/2\pi = 50 \text{ kHz}$$

$$|F(j\omega)|^2 = 0,987$$

$$\omega/2\pi = 1,4 \text{ MHz}$$

$$|F(j\omega)|^2 = 0,0001319$$

$$\omega/2\pi = 1 \text{ MHz}$$

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{10^{24}}{150^4 \times 10^{12}}}$$

$$= 0,000507$$

$$\omega/2\pi = 0,5 \text{ MHz}$$

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{0,5^4 \times 10^{-24}}{150^4 \times 10^{12}}}$$

$$= 0,00805$$

$$\omega/2\pi = 0,2 \text{ MHz}$$

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{0,2^4 \times 10^{-24}}{150^4 \times 10^{12}}}$$

$$= 0,2404$$

$$\omega/2\pi = 0,1 \text{ MHz}$$

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{0,1^4 \times 10^{-24}}{150^4 \times 10^{12}}}$$

$$= 0,836$$

$$\omega/2\pi = 0,8 \text{ MHz}$$

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{0,8^4 \times 10^{-24}}{150^4 \times 10^{12}}}$$

$$= 0,00124$$

$$\omega/2\pi = 0,3 \text{ MHz}$$

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{0,3^4 \times 10^{-24}}{150^4 \times 10^{12}}}$$

$$= 0,0589$$

$$\omega/2\pi = 0,4 \text{ MHz}$$

$$|F(j\omega)|^2 = \frac{1}{1 + \frac{0,4^4 \times 10^{-24}}{150^4 \times 10^{12}}}$$

$$= 0,01943$$

$$\omega = \omega_w/2\pi = 150 \text{ MHz}$$

$$|F(j\omega)|^2 = 0,5$$

Transformo estos valores a dB y en base a la siguiente tabla construiremos la curva:

$f$ (MHz)	dB
1,4	-38,8
1	-32,9
0,8	-29,066
0,5	-30,9
0,4	-17,115
0,3	-12,299



0,2	-6,1907
0,15	-3,0103
0,1	-0,7779
0,05	-0,0568

TABLA 3

La figura está representada en la Fig. III 4

### NUMERO DE POLOS DEL FILTRO

Como la meta que perseguimos es diseñar y construir un filtro en componentes RLC, es importante buscar antes el número de polos del filtro.

Con este fin tenemos que encontrar una función  $F(s)$ , que es una función racional, con constantes en el numerador y en el denominador determinadas por los polos del lado izquierdo del plano  $s$ , ya que los del lado derecho representan la inestabilidad del sistema.

Para llegar a esta función general de  $s$ , escribiremos algunas de ellas y elegiremos la mejor, sin olvidar que debe de tener similitud con la ecuación del Filtro de Butterworth. Por ejemplo:

$$F(s) = \frac{1}{(as^2 + bs + c)^4}$$

Vemos en este primer intento que el exponente dará dificultades.

Un poco más general podría ser:

$$F(s) = \frac{1}{as^4 + bs^3 + cs^2 + ds + e}$$

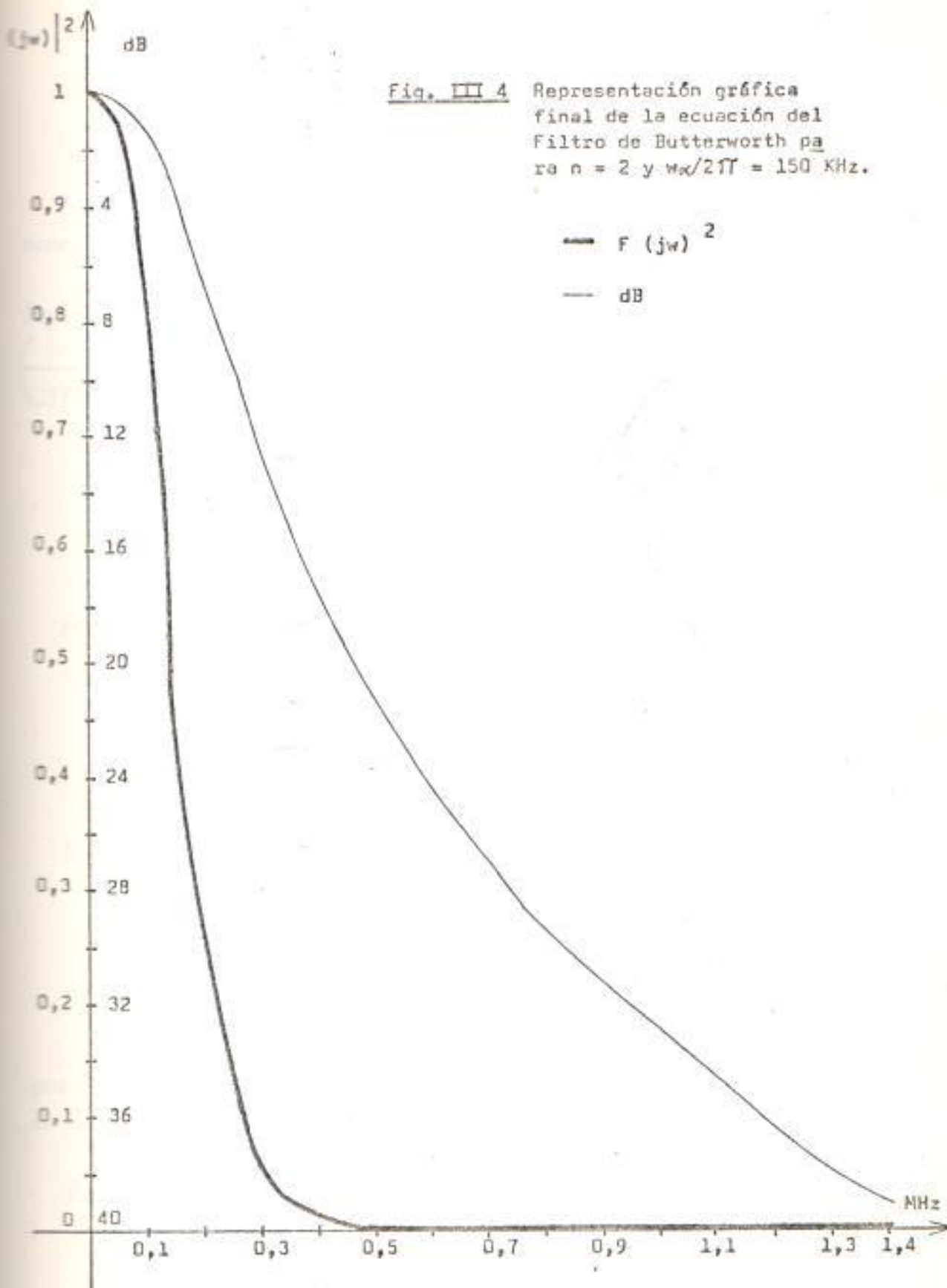


Fig. III 4 Representación gráfica final de la ecuación del Filtro de Butterworth para  $n = 2$  y  $\omega_c/2\pi = 150$  KHz.

—  $F(j\omega)^2$

--- dB

Y más aún:

$$F(s) = \frac{1}{a + bs + cs^2 + ds^3 + es^4 + \dots} \quad (\text{Ec. III 5})$$

Partimos de esta ecuación de  $F(s)$  que es la función general más apropiada para llegar a  $|F(j\omega)|^2$ .

Hagamos un tanteo; en la Ec. III 5 hagamos  $a = 1$ ,  $b=c=d=0$  y  $e = \left(\frac{1}{2\pi \times 150 \times 10^3}\right)^4$  con lo que obtenemos:

$$F(s) = \frac{1}{1 + \left(\frac{s}{2 \times \pi \times 150 \times 10^3}\right)^4}$$

Hacemos el reemplazo de  $s = j\omega$ :

$$F(j\omega) = \frac{1}{1 + \frac{\omega^4}{(2 \times \pi \times 150 \times 10^3)^4}}$$

Y elevamos al cuadrado:

$$\left|F(j\omega)\right|^2 = \left|\frac{1}{1 + \frac{\omega^4}{(2 \times \pi \times 150 \times 10^3)^4}}\right|^2$$

que es totalmente diferente a la ecuación a la que queremos llegar, es decir, la Ec. III 4.

Probamos otra vez, pero en esta ocasión lo haremos paso a paso.

Primero hacemos  $a = 1$ ;  $d = e = 0$  con lo que nos queda:

$$F(s) = \frac{1}{1 + bs + cs^2} \quad (\text{Ec. III 6})$$

Reemplazamos  $s = j\omega$  y nos queda:

$$F(j\omega) = \frac{1}{1 - a\omega^2 + jbw}$$

Tomemos su valor real:

$$|F(j\omega)| = \frac{1}{[(1 - a\omega^2)^2 + (bw)^2]^{\frac{1}{2}}}$$

Y elevamos al cuadrado:

$$\begin{aligned} |F(j\omega)|^2 &= \frac{1}{(1 - a\omega^2)^2 + b^2\omega^2} \\ &= \frac{1}{1 + c^2\omega^4 - 2a\omega^2 + b^2\omega^2} \\ &= \frac{1}{1 + (b^2 - 2c)\omega^2 + c^2\omega^4} \end{aligned}$$

Esta última ecuación para poder semejalarla a la Ec. III 4 tendremos que hacer el coeficiente de  $\omega$  igual a cero, y:

$$c^2 = \frac{1}{(2 \times \pi \times 150 \times 10^3)^4} = \frac{1}{(2\pi \omega \alpha)^4} \quad (\text{Ec. III 7})$$

Luego:

$$b^2 - 2c = 0$$

$$b^2 = 2c \quad (\text{Ec. III 8})$$

Reemplazando el valor de  $c$ :

$$b^2 = \frac{2}{(2 \times \pi \times 150 \times 10^3)^2}$$

$$b = \frac{1}{6,66 \times 10^5}$$

Además:

$$c = \frac{1}{(2 \times \pi \times 150 \times 10^3)^2}$$

$$c = \frac{1}{88,74 \times 10^{10}}$$

Reemplazamos estos valores de  $b$  y  $c$  en la ecuación III 6:

$$F(s) = \frac{1}{1 + \frac{s}{6,66 \times 10^5} + \frac{s^2}{88,74 \times 10^{10}}} \quad (\text{Ec. III 9})$$

La Ec. III 9 es una ecuación que no tiene ceros, y con sus polos de acuerdo a la siguiente deducción:

$$1 + \frac{s}{6,66 \times 10^5} + \frac{s^2}{88,74 \times 10^{10}} = 0$$

$$s = \frac{-\frac{1}{6,66 \times 10^5} \pm \sqrt{\frac{1}{(6,66)^2 \times 10^{10}} - \frac{1}{88,74 \times 10^{10}}}}{2}$$

$$s = -6,66 \times 10^{-5} \pm j6,6577 \times 10^{-5}$$

### CONFIGURACION DEL CIRCUITO RLC

Una manera de construir un circuito RLC cuya función de transferencia sea semejante a aquella de la Ec. III 6 es por tanteos de mallas. Probemos algo al azar:

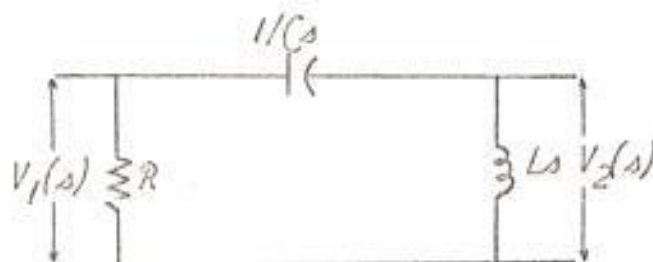


Fig. III 5 Primer intento de configuración de un circuito RLC.

Las ecuaciones que obtendremos de este circuito son las siguientes:

$$V_1(s) = I(s) R$$

$$V_2(s) = I(s) sL$$

$$0 = R + 1/Cs + 1/Ls$$

Función de transferencia es la relación que existe entre los voltajes de entrada y salida de un circuito. Luego:

$$\begin{aligned} F(s) &= \frac{V_2(s)}{V_1(s)} = \frac{I(s) Ls}{I(s) R} = \frac{-R - 1/Cs}{R} \\ &= \frac{1}{1 + R + Cs} = \frac{Rcs + 1}{Rcs} \end{aligned}$$

... que es una ecuación que nunca se asemejará a la Ec. III 6.

Problemas otro:

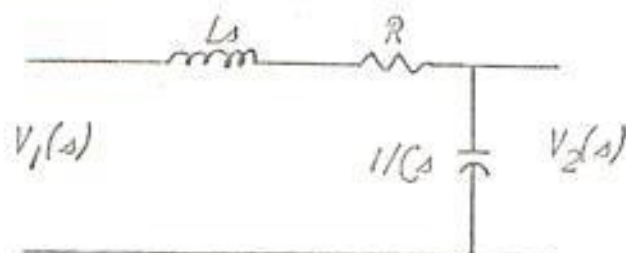


Fig. III 6 Configuración final del circuito RC.

Las ecuaciones para este circuito son:

$$V_1(s) = I(s)(Ls + R + 1/Cs)$$

$$V_2(s) = I(s)1/Cs$$

De igual forma:

$$F(s) = \frac{V_2(s)}{V_1(s)} = \frac{1/Cs}{R + Ls + 1/Cs}$$

$$= \frac{1}{1 + Rcs + Cs^2}$$

(Ec. III 8)

Esta ecuación III 8 si se asemeja con la III 6. Comparando la III 8 con la III 7 obtendremos las siguientes igualdades:

$$R = \frac{1}{6,66 \times 10^5} \quad (\text{Ec. III 9})$$

$$L = \frac{1}{88,74 \times 10^{10}} \quad (\text{Ec. III 10})$$

### VALOR DE R

Necesitamos de otra ecuación a combinar con las III 9 y 10 para poder obtener los valores de R, L y C.

Por el diagrama de bloques sabemos que el filtro analógico está ubicado después del conversor digital-analógico. El conversor tiene las siguientes especificaciones que nos serán de utilidad:

#### Salida Analógica

Voltaje límite oscilante de salida .....	$\pm 1,2 V_{max}$
Rango completo de la corriente de salida ...	$\pm 1 \text{ m.a.}$
Impedancia de salida .....	$5 K\Omega, \pm 1\%$
Fuente de poder requerida .....	$\pm 15 \text{ VDC}; 20 \text{ mA max.}$

Además nos proporciona la configuración de su circuito con una resistencia de carga  $R_L$ :



15, 16 y 17,  
números de  
patas en el  
Convertor.

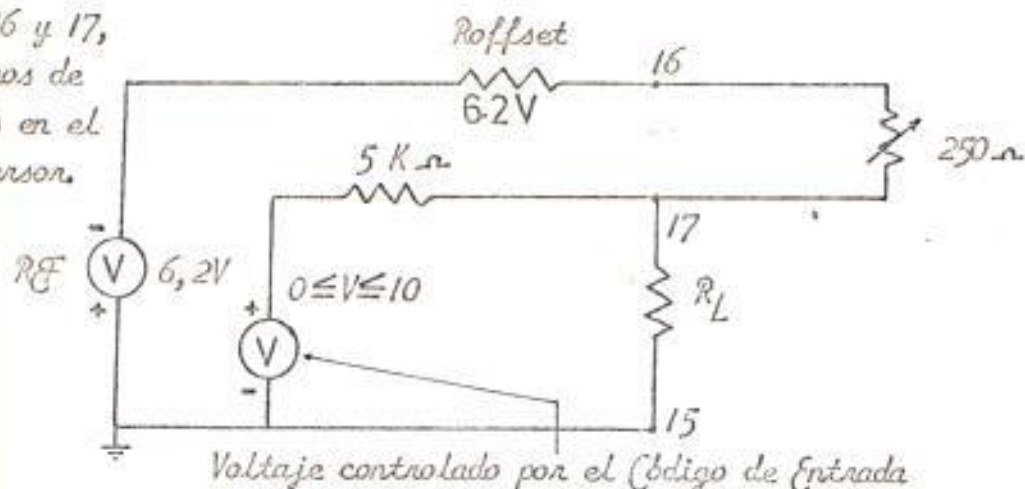


Fig. III 7 Circuito del Convertor Digital-Analógico.

Lo que quiere decir que nuestro circuito total del convertor más el filtro es el siguiente con sus respectivos valores límites de voltaje y corriente.

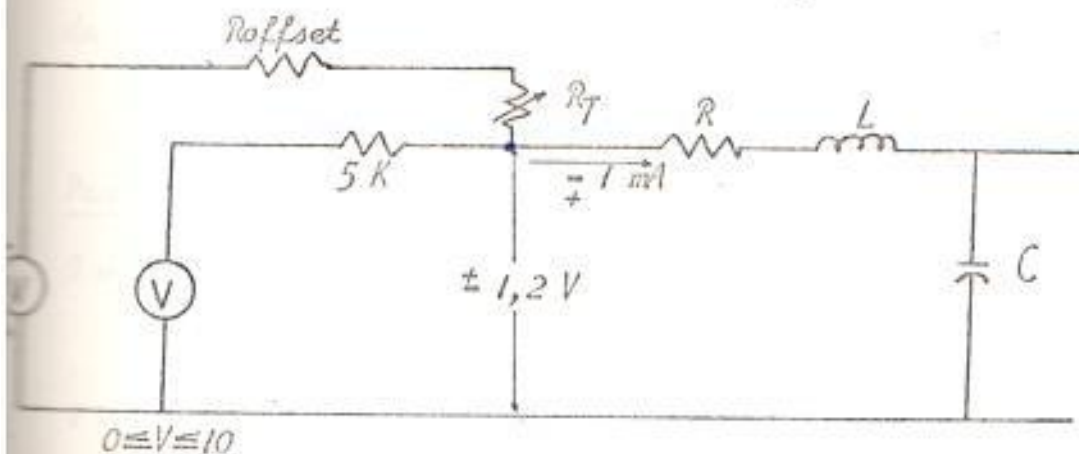


Fig. III 8 Circuito del convertor más el filtro.

Analizemos este circuito centrando nuestra atención en la salida de corriente  $\pm 1mA$ , que es la que alimentará el filtro analógico.

En este circuito:

$$R_{offset} + R_T = \frac{-6,2 \text{ V}}{-1 \text{ m.a.}} = 6,2 \times 10^3 \Omega$$

Con lo que el circuito queda:

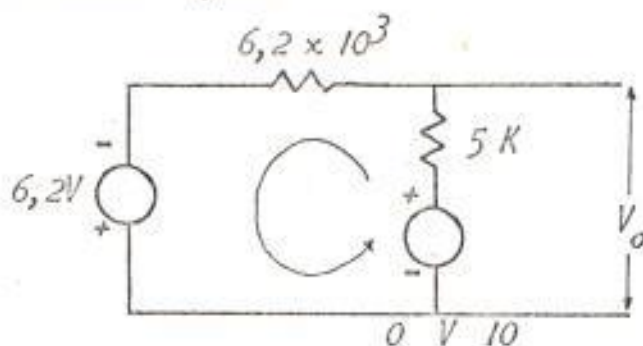


Fig. III 9 Circuito del conversor simplificado.

Analizamos este circuito y observamos la salida para 3 valores de voltaje comprendidos en el rango de 0 a 10 voltios.

Escogeré 0, 5 y 10 voltios:

Para 10 voltios

$$i = \frac{16,2 \text{ V}}{11,2 \times 10^3 \Omega} = 1,446 \text{ mA}$$

$$V = 10 - 5 \times 1,446 \\ = 2,77 \text{ V}$$

Para 5 voltios:

$$i = \frac{(6,2 + 5) \text{ V}}{11,2 \times 10^3 \Omega} = \frac{11,2 \text{ V}}{11,2 \times 10^3 \Omega} = 1 \text{ mA}$$

$$V = 5 - 1 \times 5 \\ = 0 \text{ V}$$

Para 0 voltios:

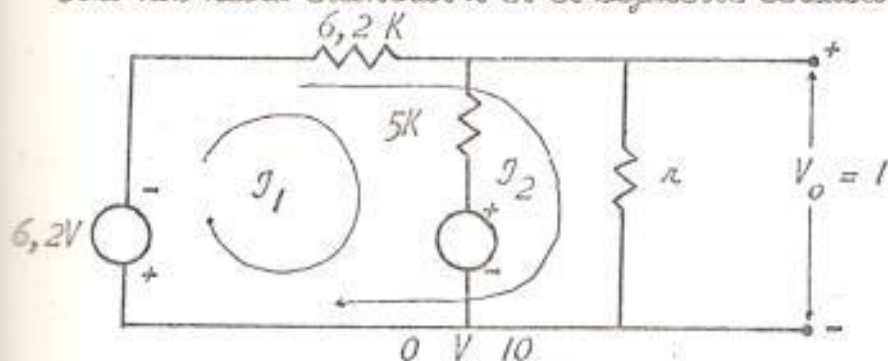
$$I = \frac{6,2V}{11,2 \times 10^3} = -0,554 \text{ mA}$$

$$V = -0,554 \times 5 \times 10^3 \\ = -2,77 \text{ V}$$

Es decir que según nuestras especificaciones tenemos que hallar una manera de reducir el voltaje  $\pm 2,77$  a  $\pm 1,2$  voltios.

Vamos a dar mayor seguridad, haciendo la salida 1 voltio en vez de  $\pm 1,2$  V.

Sólo nos resta encontrar  $r$  en el siguiente circuito:



Es decir:  $V_0 = 1 = I_2 \times r$  (Ec. III 11)

Analizamos para  $V = 10$  voltios resolviendo las siguientes ecuaciones:

$$11,2 \times 10^3 I_1 + 6,2 \times 10^3 I_2 = -16,2$$

$$6,2 \times 10^3 I_1 + (6,2 \times 10^3 + r) I_2 = -6,2$$

$$I_2 = \frac{31,1 \times 10^3}{3,96 \times 10^6 + 11,2r \times 10^3}$$
 (Ec. III 12)

Multiplicamos por  $r$  y lo hacemos igual a 1:

$$\frac{31,1 \times 10^3}{30,96 \times 10^6 + 11,2r \times 10^3} \times r = 1$$

$$r = 1,55 \text{ K}\Omega$$

Reemplacemos el valor de  $r$  en la Ec. III 11 y obtengamos el valor de  $I_2$ :

$$I_2 = 0,642 \times 10^{-3}$$

El voltaje de salida  $V_o$  será:

$$V_o = I_2 r = 0,642 \times 10^{-3} \times 1,55 \times 10^3 = 1,050 \text{ voltios}$$

... que no excede el límite de 1,2 voltios.

Veremos ahora para 5 voltios:

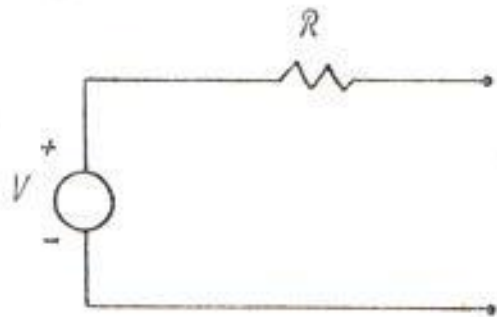
$$11,2 \times 10^3 I_1 + 6,2 \times 10^3 I_2 = -11,2$$

$$6,2 \times 10^3 I_1 + 7,75 \times 10^3 I_2 = -6,2$$

$$I_2 = \frac{-11,2 \times 6,2 + 11,2 \times 6,2}{0/0} = 0$$

... por lo que el voltaje a la salida será de cero voltios.

Con el valor de  $r$  hallamos el valor de  $R$  para un circuito Thevenin, con valores de voltaje de 0, 5 y 10 voltios.



??

$$R = \frac{1,55K \times 5K \times 6,2K}{1,55K + 5K + 6,2K}$$

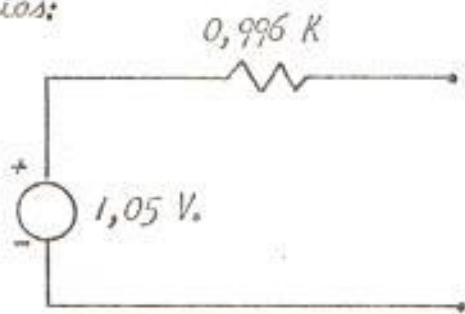
??

R =

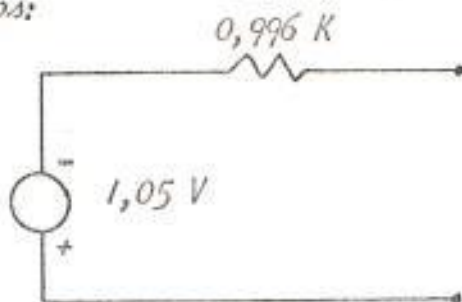
$$R = 0,996 K \Omega$$

Los circuitos Thevenin serán entonces:

Para 10 voltios:



Para 0 voltios:



Para 5 voltios:



Entonces la resistencia escogida para  $n$  tendrá las siguientes exigencias:

Tolerancia:  $\pm 5\%$   
Vataje: 1  
Valor: 1,5 K $\Omega$  (Café - verde - rojo - dorado)

### EFFECTO DE LA TOLERANCIA EN $V_o$

Hagamos un breve análisis sobre el efecto que tiene la tolerancia en valor de la resistencia, es decir:

$$1.500 \times 0,05 = 75,00 \Omega$$

El valor de la resistencia se hará entonces:

$$1.500 + 75 = 1.575$$

Luego según la Ec. III 11:

$$V_o = I_2 \times n = 1.575 \times I_2$$

Tomando para 10 voltios:

$$11,2 \times 10^3 I_1 + 6,2 \times 10^3 I_2 = -16,2$$

$$6,2 \times 10^3 I_1 + (6,2 + 1,575) \times 10^3 I_2 = -6,2$$

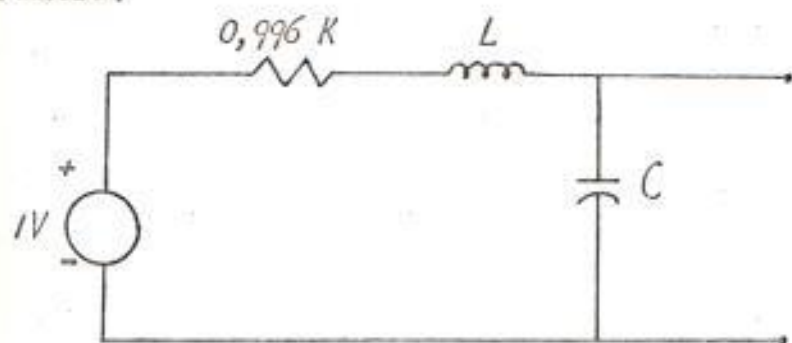
$$I_2 = 0,637 \times 10^{-3} A$$

Luego:

$$\begin{aligned} V_o &= 1,575 \times 0,637 \\ &= 1,002 \end{aligned}$$

... que no excede el valor llmite de 1,2 voltios.

Entonces retornando ahora a nuestro diseño del filtro, que fue lo que nos llevó a hacer este análisis lo resumiremos de la siguiente manera:



Ahora sí podemos resolver las ecuaciones III 9 y 10.

$$0,996 \times 10^3 C = \frac{1}{6,65 \times 10^5}$$

$$C = 1,508 \times 10^{-9} F \quad (\text{Ec. III 13})$$

Reemplazando este valor en la Ec. III 10

$$1,508 \times 10^{-9} L = \frac{1}{88,74 \times 10^{10}}$$

$$L = 0,749 \times 10^{-3} H \quad (\text{Ec. III 14})$$

Con estos valores de  $L$  y  $C$ , más el hallado para  $n$  completamos el diseño del Filtro Analógico.

### MEDICIONES DE CORRIENTE PARA SECUENCIAS DE BITS

Veremos más adelante que la salida del filtro digital que es la que va a gobernar la variación de voltaje de 0 a 10 voltios, suce-

de en el registro Y3, y consta de 11 bits incluido el signo. Es fácil determinar en un número de 11 bits cual es el valor máximo, el mínimo y el medio:

01111111111

es su valor máximo; vale 1,023 y equivaldría a -1 mA

10000000000

es su valor mínimo; vale menos cero (-0) y equivaldría a -1 mA, por lo que:

00000000000

es su valor promedio; es cero (0) y equivaldría a 0 mA.

(Como observamos, el valor mínimo debería ser -1023 y no menos ce ro (-0).

Hallemos el complemento de 1023 y observemos cual debería ser é s te -1023.

$$\begin{array}{r} (+1023) \quad 100000000000 \\ \quad \quad \quad -01111111111 \\ \hline \quad \quad \quad 100000000001 \end{array}$$

El bit menos significativo de este resultado, 1, es el que hace la diferencia con aquel del valor mínimo 10000000000.

Otro valor importante binario y que nos será de utilidad es el que equivaldría a 0,5 mA y que está entre 00000000000 y 01111111111.

Este valor sería el de 00000011111, que corresponde a 31 en deci-



mal,

Su complemento, o sea menos 31 (-31) será:

$$\begin{array}{r}
 100000000000 \\
 -00000011111 \\
 \hline
 (-31) \quad 11111100001
 \end{array}$$

Por otro lado tenemos que la hoja de especificaciones nos proporciona los siguientes valores reales para una entrada digital de 12 bits.

<u>Entrada Digital</u>	<u>Salida Analógica</u>
111111111111	+ 0,9995 mA
100000000000	0,0000 mA
000000000000	- 1,0000 mA

Siendo nuestra salida del filtro digital de 11 bits y la entrada lógica del conversor digital-analógico de hasta 12 bits, haremos el bit menos significativo, un valor decimal por lo que se añaden los siguientes valores binarios importantes:

$$0000000000,1$$

que es + 0,5 en decimal, siendo - 0,5 su complemento:

$$\begin{array}{r}
 100000000000,0 \\
 -000000000000,1 \\
 \hline
 (-0,5) \quad 11111111111,1
 \end{array}$$

Otro valor binario importante es:

$$0111111111,1$$

que es +1023,5 en decimal siendo -1023,5 su complemento, o sea:

$$\begin{array}{r}
 1000000000000,0 \\
 -01111111111,1 \\
 \hline
 (-1023,5) \quad 100000000000,1
 \end{array}$$

Además adicionamos el siguiente valor llmite:

$$100000000000,0$$

que equivale a -1024,0 en decimal.

Reunamos todos los valores en una tabla.

Observemos detenidamente los valores de corriente deseados y reales, con la salida del filtro digital y vemos que si invertimos el bit más significativo de este, los valores de corriente se adaptan perfectamente a lo deseado. Todo lo dicho se encuentra en la Tabla 4.

## DISEÑO DEL DIVISOR DE FRECUENCIAS

### EL OSCILADOR DE CRISTAL

El oscilador de cristal Motorola nos proporciona una frecuencia de reloj de 19,6608 MHz; es de 14 patitas a saber:

- |            |              |
|------------|--------------|
| 1.- SC     | 8.- Salida   |
| 2.- SC     | 9.- SC       |
| 3.- SC     | 10.- SC      |
| 4.- SC     | 11.- SC      |
| 5.- SC     | 12.- SC      |
| 6.- SC     | 13.- SC      |
| 7.- Tierra | 14.- + 5 Vdc |

TABLA 5

<u>SALIDA DEL FILTRO DIGITAL</u>	<u>INVERSION ULTIMO BIT</u>	<u>REAL</u>	<u>DESEADO</u>	<u>DECIMAL</u>
1 0 0 0 0 0 0 0 0 0,0	0 0 0 0 0 0 0 0 0 0,0	-1,0 mA	-1,0 mA	-1024,0
1 0 0 0 0 0 0 0 0 0,1	0 0 0 0 0 0 0 0 0 0,1	-0,99951 mA	-0,999512 mA	-1023,5
1 0 0 0 0 0 0 0 0 1,0	0 0 0 0 0 0 0 0 0 1,0	-0,99902 mA	-0,999023 mA	-1023,0
1 1 1 1 1 0 0 0 0 1,0	0 1 1 1 1 0 0 0 0 1,0	-0,03027 mA	-0,03027 mA	-31,0
1 1 1 1 1 1 1 1 1 1,1	0 1 1 1 1 1 1 1 1 1,1	-0,000488 mA	-0,000488 mA	-0,5
0 0 0 0 0 0 0 0 0 0,0	1 0 0 0 0 0 0 0 0 0,0	-0,00 mA	-0,00 mA	0,0
0 0 0 0 0 0 0 0 0 0,1	1 0 0 0 0 0 0 0 0 0,1	0,00048 mA	0,000488 mA	+0,5
0 0 0 0 0 1 1 1 1 1,0	1 0 0 0 0 1 1 1 1 1,0	0,03027 mA	0,03027 mA	+31
0 1 1 1 1 1 1 1 1 1,0	1 1 1 1 1 1 1 1 1 1,0	0,99902 mA	0,999023 mA	+1023,0
0 1 1 1 1 1 1 1 1 1,1	1 1 1 1 1 1 1 1 1 1,1	0,9995 mA	0,999512 mA	+1023,5

T A B L A 4

En esta Tabla, SC quiere decir sin conexión.

Este oscilador posee las siguientes medidas:

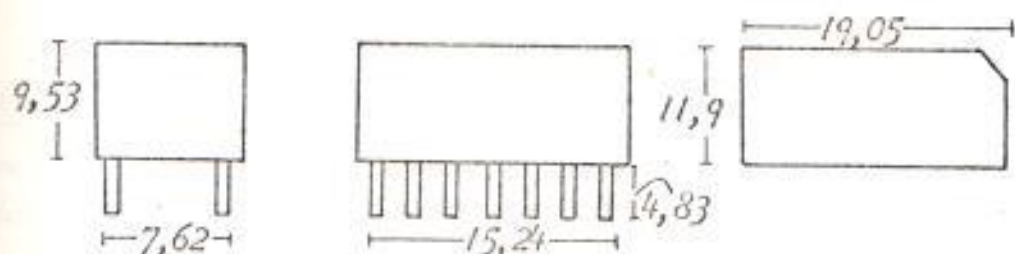


Fig. III 10 El oscilador de cristal. (Medidas en m.m.)

El oscilador está diseñado para MODEMS, computadoras, comunicaciones Data y circuitos digitales. Su tamaño miniatura lo hace útil para nuestro diseño, ya que para nosotros el tamaño pequeño es importante.

Sus especificaciones son:

Estabilidad:	$\pm 0,01\%$
<u>Entrada:</u>	
Voltaje	+ 5 Vdc; $\pm 10\%$
Potencia	300 mW max.
<u>Salida:</u>	
Onda cuadrada	TTL compatible
Tiempo de subida y bajada	6 nseg. típico 10 nseg. max.
Niveles	"0" (cero) $\leq 0,4 V$ "1" (uno) $\geq 3,0 V$
Fan-out	1 a 10 puertas

(Fan-out: número de cargas en paralelo que pueden actuar sobre una salida en forma de circuito lógico)

Rango de Temperatura:

Operando  $0^{\circ}\text{C}$  a  $70^{\circ}\text{C}$   
Almacenado  $-55^{\circ}\text{C}$  a  $+125^{\circ}\text{C}$

Durabilidad:

Operando continuamente a  $25^{\circ}\text{C}$ : 2 000.000 horas  
Operando continuamente a  $55^{\circ}\text{C}$ : 1 000.000 horas

La onda cuadrada a la salida tiene la siguiente configuración:

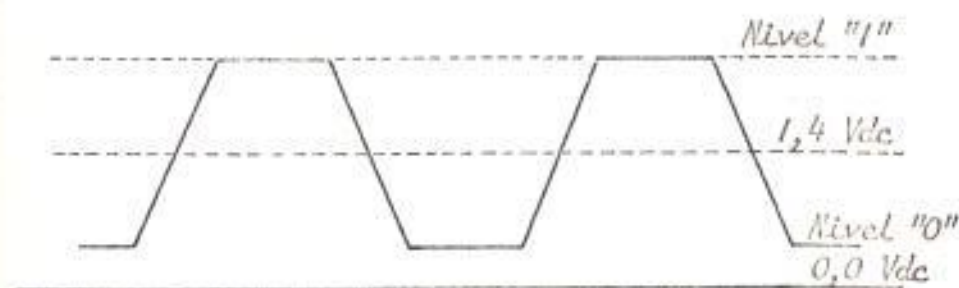


Fig. III 11 Onda del oscilador de cristal.

El Ing. Rehbein nos dice en su Tesis de Grado que a la frecuencia fundamental  $f_s = 50$  Hz, para pruebas de ruido, y con una longitud de secuencia de 32.768, la frecuencia de reloj será:

$$f_c = 32.768 \times 50 = 1,6384 \text{ MHz}$$

Es decir que con la frecuencia de nuestro oscilador tendremos que

diseñar un divisor para 12, de acuerdo a la siguiente operación:

$$\begin{array}{r} 19,6608 \\ -32768 \\ \hline \end{array} \quad \begin{array}{r} 1,6384 \\ 12 \\ \hline \end{array}$$

### EL DIVISOR PARA 12

Un divisor de frecuencia es un circuito que aplicándole a su entrada impulsos de una frecuencia determinada proporciona a su salida un número de impulsos por segundo que es una fracción de los que se aplican a su entrada.

Todo contador puede ser utilizado como divisor. La capacidad de división es igual a la capacidad de conteo, más uno. Si se decodifica un estado cualquiera de un contador cuya capacidad de conteo es  $n$ , a la salida se obtendrá un impulso por cada  $n + 1$  de ellos aplicados a su entrada.

Para nuestro caso, un divisor de frecuencia para 12, quiere decir que necesitamos de un contador de 11 estados.

Los contadores son sistemas secuenciales con una sola entrada de impulsos, cuyo estado interno representa el número de impulsos que se han aplicado a aquella.

El número de estados internos ha de ser igual al máximo número de impulsos que se desean contar, más uno, que será el estado inicial, el cual indicará la ausencia de impulsos.

Los contadores pueden ser de diferente tipo: binario, decimales, de segundos y minutos, o en fin, de bases especiales.

Pueden operar el paralelo, que son los sincrónicos, en serie o por

propagación de transporte, que son los asíncronos.

Como observamos, existen diversos caminos para llegar a un contador de 11 estados. Necesitaremos saber cual es el mejor.

Ya que de diferentes maneras llegaremos al contador, sólo nos queda la alternativa de elegirlo en base a su costo.

Algunos costos dependen de los tipos de circuitos, y otros dependen de la cantidad de envases.

Para una buena elección es importante incluir todos los costos. Sin embargo, no podremos salvar fácilmente el problema de variabilidad de costos en función de la cantidad de producción. Si nuestro divisor no cuenta con una gran cantidad de circuitos integrados, y si nos toca utilizar un dispositivo especial, habrá un costo inicial fuerte aunque el costo adicional para producción en cantidades pueda ser más barato que el precio del ítem en catálogo.

El Dr. Steward propone el uso de una moneda artificial, a la cual llama "concha", para cubrir el costo de diferentes diseños, otorgando el precio de acuerdo a la siguiente tabla:

<u>Circuito:</u>	<u>Costo:</u>
Inversor	2 conchas blancas + 2 conchas azules
Puerta de 2 entradas (Y, O, NAND, NOR)	3 " " + 3 " "
Puerta de 3 entradas	4 " " + 4 " "
Puerta de 4 entradas	6 " " + 6 " "
Puerta de 8 entradas	12 " " + 12 " "
Puerta 0 exclusiva	10,5 " " + 3 " "
Flip-flop (JK, D)	12 " " + 6 " "

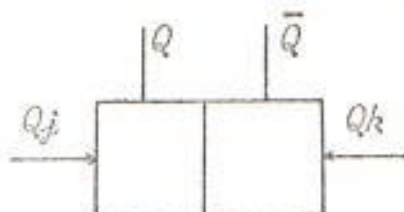
TABLA 6

Las blancas se refieren al tipo de circuito y las azules al tipo de envases.

La elección final dependerá del costo relativo de conchas blancas más las azules.

Otro punto que no debemos pasar por alto en un diseño es el retardo, ya que puede afectar el diseño de otras partes del aparato total.

Los flip-flops que usaremos son del tipo J-K cuyo símbolo es:



y cuya operación obedece a la siguiente tabla:

$Q_j(t)$	$Q_k(t)$	$Q(t+1)$
0	0	$Q(t)$
0	1	0
1	0	1
1	1	$\bar{Q}(t)$

TABLA 7

Este flip-flop tiene ventajas sobre un sin número de similares.

Para el diseño de un contador es necesario manejar los flip-flops para que asuman estados deseados en los tiempos debidos.



Para que el flip-flop J-K permanezca en cero, existen dos posibilidades: a) Usar  $Q_j = Q_k = 0$  con lo que permanece en su estado anterior, siempre que éste sea cero, b)  $Q_j = 0$  y  $Q_k = 1$  con lo que el flip-flop se apaga. Luego para permanecer en cero,  $Q_j$  tiene que ser 0 y  $Q_k$  puede ser 0 ó 1.

Para permanecer en 1  $Q_k$  tiene que ser cero, pero  $Q_j$  puede ser 0 ó 1.

Analizando de idéntica forma para las acciones de prenderse y apagarse, confeccionamos la siguiente tabla:

Acción Deseada	$Q_j$	$Q_k$
Permanecer en 0	0	X
Permanecer en 1	X	0
Prenderse	1	X
Apagarse	X	1

TABLA 8

Las características más importantes de los contadores que han de tenerse en cuenta al realizar un diseño son las siguientes:

1.- Frecuencia máxima de los impulsos que se van a contar.

Determina la tecnología de los biestables que se utilizarán:

Tecnología	Frec. Max. de Biestables
DTL	7 MHz
TTL	30 "
HTL	300 "
ECL	600 "
MOS	10 "

## 2) Tabla de excitación de los biestables.

Es necesario elegir el tipo de biestable. Si existen varios tipos de biestables con tablas de excitación diferentes, se puede realizar el diseño con cada uno de ellos y elegir aquel de menor costo de acuerdo a nuestra moneda artificial.

## 3) Código de contaje.

El código binario de contaje puede ser cualesquiera de los muchos existentes. A veces viene impuesto por las características del sistema del que forma parte el contador. Si el código de contaje del contador es diferente del BCD natural o el binario natural es necesario realizar su diseño con biestables independientes. A veces resulta más conveniente utilizar un contador realizado en circuito integrado.

## 4) Capacidad de contaje.

Es el mayor número de impulsos que han de ser contados por el sistema. Este parámetro fija el número de biestables que se han de utilizar.

## 5) Modo de operación.

Los contadores pueden ser síncronos o asíncronos según que el modo de operación corresponda a un sistema secuencial síncrono o asíncrono, respectivamente.

Los contadores síncronos son aquellos en que todas las variables de estado cambian simultáneamente. La máxima frecuencia de operación de estos contadores es igual a la de los biestables utilizados en su realización.

Los contadores asncronos en cambio, son aquellos en que las variables de estado interno no cambian simultáneamente.

Los impulsos que se desean contar no se aplican a las entradas de todos los biestables, como en el caso de los contadores sncronos, sino en general s<sup>o</sup>lo a las del primero, y las entradas de los dems biestables son gobernadas por las salidas de los que les preceden. Por tanto, para cambiar de un estado a otro, cuando se aplica un impulso al contador, este pasa por una serie de estados intermedios.

### CON EL CÓDIGO BCD ( 8421 )

Hagamos una breve introducción a este código que tiene la siguiente secuencia:

0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001

Ya que 3 bits tienen 8 estados posibles, se necesitan 4 para representar un dígito decimal. Pero con 4, habrán 16 estados posibles, entonces no se llegarán a utilizar 6 de ellos.

Para representar los números 10 y 11 habrá que usar más de un grupo de 4 o más bits. En ambos casos cada dígito decimal se representa por su código y las representaciones se unirán para for

mar el número.

El siguiente paso que daremos es el de confeccionar una tabla del estado próximo que debe asumir el conjunto de flip-flops para el estado que pueda tener actualmente. Para nuestro contador hasta 11 la tabla será:

Estado Actual					Estado Próximo														
E	D	C	B	A	E	D	C	B	A	$E_j$	$E_k$	$D_j$	$D_k$	$C_j$	$C_k$	$B_j$	$B_k$	$A_j$	$A_k$
0	0	0	0	0	0	0	0	0	1	0	X	0	X	0	X	0	X	1	X
0	0	0	0	1	0	0	0	1	0	0	X	0	X	0	X	1	X	X	1
0	0	0	1	0	0	0	0	1	1	0	X	0	X	0	X	X	0	1	X
0	0	0	1	1	0	0	1	0	0	0	X	0	X	1	X	X	1	X	1
0	0	1	0	0	0	0	1	0	1	0	X	0	X	X	0	0	X	1	X
0	0	1	0	1	0	0	1	1	0	0	X	0	X	X	0	1	X	X	1
0	0	1	1	0	0	0	1	1	1	0	X	0	X	X	0	X	0	1	X
0	0	1	1	1	0	1	0	0	0	0	X	1	X	X	1	X	1	X	1
0	1	0	0	0	0	1	0	0	1	0	X	X	0	0	X	0	X	1	X
0	1	0	0	1	1	0	0	0	0	1	X	X	1	0	X	0	X	X	1
1	0	0	0	0	1	0	0	0	1	X	0	0	X	0	X	0	X	1	X
1	0	0	0	1	0	0	0	0	0	X	1	0	X	0	X	0	X	X	1

En el lado derecho se encuentra expresada la acción deseada para cada flip-flop de acuerdo a la Tabla B.

Nuestro siguiente paso es el de minimización por medio del llamado Diagrama de Veitch. Este diagrama tiene un cuadro por cada minterm de la función, colocándose en 0, 1 ó X, de acuerdo a la Tabla. Como en nuestro caso existen 5 variables (A, B, C, D y E) las dividiremos en dos grupos: A, B y C, D, E. Luego completando sólo una variable a la vez nombramos las respectivas filas y columnas, y haciendo un diagrama para cada entrada J y K, obtenemos los siguientes resultados:

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}D\bar{E}$	$\bar{C}DE$	$C\bar{D}\bar{E}$	$C\bar{D}E$	$CD\bar{E}$	$CDE$
$\bar{A}\bar{B}$	0	X	X	0	X	X	X	0
$\bar{A}B$	0	X	X	X	X	X	X	0
$AB$	0	X	X	X	X	X	X	0
$A\bar{B}$	0	X	X	1	X	X	X	0

$$E_j = AD$$

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}D\bar{E}$	$\bar{C}DE$	$C\bar{D}\bar{E}$	$C\bar{D}E$	$CD\bar{E}$	$CDE$
$\bar{A}\bar{B}$	X	0	X	X	X	X	X	X
$\bar{A}B$	X	X	X	X	X	X	X	X
$AB$	X	X	X	X	X	X	X	X
$A\bar{B}$	X	1	X	X	X	X	X	X

$$E_k = A$$

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}D\bar{E}$	$\bar{C}DE$	$C\bar{D}\bar{E}$	$C\bar{D}E$	$CD\bar{E}$	$CDE$
$\bar{A}\bar{B}$	0	0	X	X	X	X	X	0
$\bar{A}B$	0	X	X	X	X	X	X	0
$AB$	0	X	X	X	X	X	1	0
$A\bar{B}$	0	0	X	X	X	X	X	0

$$D_j = ABC$$

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}D\bar{E}$	$\bar{C}DE$	$C\bar{D}\bar{E}$	$C\bar{D}E$	$CD\bar{E}$	$CDE$
$\bar{A}\bar{B}$	X	X	X	0	X	X	X	X
$\bar{A}B$	X	X	X	X	X	X	X	X
$AB$	X	X	X	X	X	X	X	X
$A\bar{B}$	X	X	X	1	X	X	X	X

$$D_k = A$$

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}D\bar{E}$	$\bar{C}DE$	$C\bar{D}\bar{E}$	$C\bar{D}E$	$CD\bar{E}$	$CDE$
$\bar{A}\bar{B}$	0	0	X	0	X	X	X	X
$\bar{A}B$	0	X	X	X	X	X	X	X
$AB$	1	X	X	X	X	X	X	X
$A\bar{B}$	0	0	X	0	X	X	X	X

$$C_j = AB$$

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}D\bar{E}$	$\bar{C}DE$	$C\bar{D}\bar{E}$	$C\bar{D}E$	$CD\bar{E}$	$CDE$
$\bar{A}\bar{B}$	X	X	X	X	X	X	X	0
$\bar{A}B$	X	X	X	X	X	X	X	0
$AB$	X	X	X	X	X	X	X	1
$A\bar{B}$	X	X	X	X	X	X	X	0

$$C_k = AB$$



LIBRARY

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}DE$	$C\bar{D}\bar{E}$	$C\bar{D}E$	$CDE$	$C\bar{D}\bar{E}$	$C\bar{D}E$
$\bar{A}\bar{B}$	0	0	X	0	X	X	X	0
$\bar{A}B$	X	X	X	X	X	X	X	X
$AB$	X	X	X	X	X	X	X	X
$A\bar{B}$	1	0	X	0	X	X	X	1

$$B_j = A\bar{D}\bar{E}$$

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}DE$	$C\bar{D}\bar{E}$	$C\bar{D}E$	$CDE$	$C\bar{D}\bar{E}$	$C\bar{D}E$
$\bar{A}\bar{B}$	X	X	X	X	X	X	X	X
$\bar{A}B$	0	X	X	X	X	X	X	0
$AB$	1	X	X	X	X	X	X	1
$A\bar{B}$	X	X	X	X	X	X	X	X

$$B_k = A$$

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}DE$	$C\bar{D}\bar{E}$	$C\bar{D}E$	$CDE$	$C\bar{D}\bar{E}$	$C\bar{D}E$
$\bar{A}\bar{B}$	1	1	X	1	X	X	X	1
$\bar{A}B$	1	X	X	X	X	X	X	1
$AB$	X	X	X	X	X	X	X	X
$A\bar{B}$	X	X	X	X	X	X	X	X

$$A_j = 1$$

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}D\bar{E}$	$\bar{C}DE$	$C\bar{D}\bar{E}$	$C\bar{D}E$	$CD\bar{E}$	$CDE$
$\bar{A}\bar{B}$	X	X	X	X	X	X	X	X
$\bar{A}B$	X	X	X	X	X	X	X	X
$AB$	1	X	X	X	X	X	X	1
$A\bar{B}$	1	1	X	1	X	X	X	1

$$A_k = 1$$

Resumimos las entradas encontradas a los flip-flops J-K:

$$E_j = AD$$

$$E_k = A$$

$$D_j = ABC$$

$$D_k = A$$

$$C_j = AB$$

$$C_k = AB$$

$$B_j = A\bar{D}\bar{E}$$

$$B_k = A$$

$$A_j = 1$$

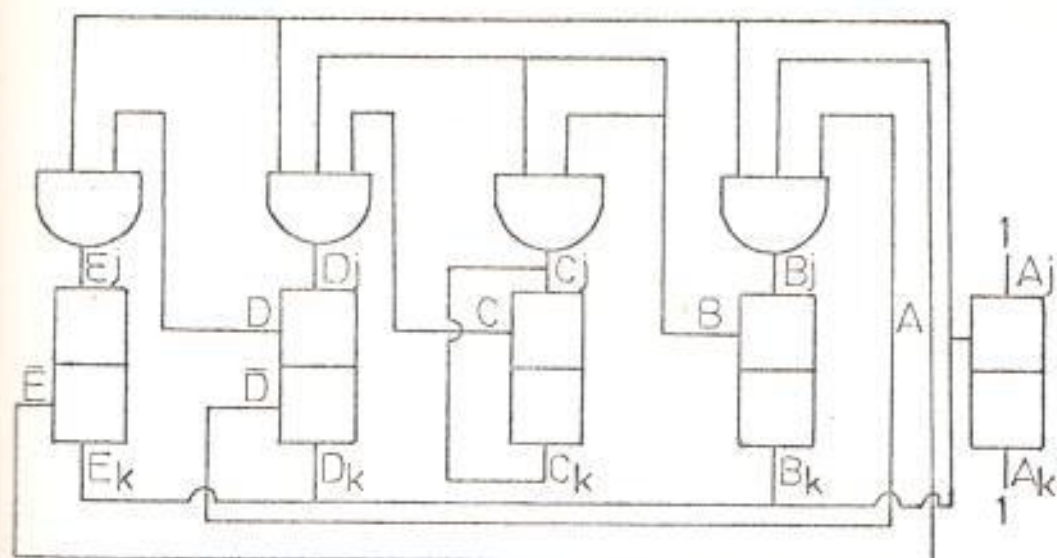
$$A_k = 1$$

Luego el diseño queda como en la Fig. 111 12.

Obtenemos el número de conchas blancas y azules para este diseño:

	<u>Blancas</u>	<u>Azules</u>
5 flip-flops J-K	$5 \times 12 = 60$	$5 \times 6 = 30$
2 Puertas 4, 2 entradas	$2 \times 3 = 6$	$2 \times 3 = 6$
2 Puertas 4, 3 entradas	$2 \times 4 = \frac{8}{}$	$2 \times 4 = \frac{8}{}$
TOTAL	$\frac{74}{}$	$\frac{44}{}$





*Fig. III 12 Diseño con Código BCD*

*CON EL CÓDIGO 2421*

*Este código posee la siguiente secuencia:*

0	0000
1	0001
2	0010
3	0011
4	0100
5	1011
6	1100
7	1101
8	1110
9	1111

*Con esta secuencia y como meta, lograr un contador hasta 11 con  
formamos la siguiente tabla:*

$E D C B A$	$E D C B A$	$E_j E_k D_j D_k C_j C_k B_j B_k A_j A_k$
00000	00001	0 X 0 X 0 X 0 X 1 X
00001	00010	0 X 0 X 0 X 1 X X 1
00010	00011	0 X 0 X 0 X X 0 1 X
00011	00100	0 X 0 X 1 X X 1 X 1
00100	01011	0 X 1 X X 1 1 X 1 X
01011	01100	0 X X 0 1 X X 1 X 1
01100	01101	0 X X 0 X 0 0 X 1 X
01101	01110	0 X X 0 X 0 1 X X 1
01110	01111	0 X X 0 X 0 X 0 1 X
01111	10000	1 X X 1 X 1 X 1 X 1
10000	10001	X 0 0 X 0 X 0 X 1 X
10001	00000	X 1 0 X 0 X 0 X X 1

Hablemos algo más sobre el Diagrama de Veitch.

Ya hemos mencionado que cada cuadro representa un Término Mínimo de la función que se forma por la reunión de las letras de su fila y su columna.

Diremos ahora que los Implicantes Primos esenciales se los reconoce por tener un sólo enlazado a la vez.

Construyamos ahora los diagramas:

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}D\bar{E}$	$\bar{C}DE$	$C\bar{D}\bar{E}$	$C\bar{D}E$	$CD\bar{E}$	$CDE$
$\bar{A}\bar{B}$	0	X	X	X	0	X	X	0
$\bar{A}B$	0	X	X	X	0	X	X	X
$AB$	0	X	X	0	1	X	X	X
$A\bar{B}$	0	X	X	X	0	X	X	X

$$E_j = ABC$$

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}D\bar{E}$	$\bar{C}DE$	$C\bar{D}\bar{E}$	$C\bar{D}E$	$CD\bar{E}$	$CDE$
$\bar{A}\bar{B}$	X	0	X	X	X	X	X	X
$\bar{A}B$	X	X	X	X	X	X	X	X
$AB$	X	X	X	X	X	X	X	X
$A\bar{B}$	X	1	X	X	X	X	X	X

$$E_k = A$$

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}D\bar{E}$	$\bar{C}DE$	$C\bar{D}\bar{E}$	$C\bar{D}E$	$CD\bar{E}$	$CDE$
$\bar{A}\bar{B}$	0	0	X	X	X	X	X	1
$\bar{A}B$	0	X	X	X	X	X	X	X
$AB$	0	X	X	X	X	X	X	X
$A\bar{B}$	0	0	X	X	X	X	X	X

$$D_j = C$$

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}D\bar{E}$	$\bar{C}DE$	$C\bar{D}\bar{E}$	$C\bar{D}E$	$CD\bar{E}$	$CDE$
$\bar{A}\bar{B}$	X	X	X	X	0	X	X	X
$\bar{A}B$	X	X	X	X	0	X	X	X
$AB$	X	X	X	0	1	X	X	X
$A\bar{B}$	X	X	X	X	0	X	X	X

$$D_R = ABC$$

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}D\bar{E}$	$\bar{C}DE$	$C\bar{D}\bar{E}$	$C\bar{D}E$	$CD\bar{E}$	$CDE$
$\bar{A}\bar{B}$	0	0	X	X	X	X	X	X
$\bar{A}B$	0	X	X	X	X	X	X	X
$AB$	1	X	X	1	X	X	X	X
$A\bar{B}$	0	0	X	X	X	X	X	X

$$C_f = AB$$

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}D\bar{E}$	$\bar{C}DE$	$C\bar{D}\bar{E}$	$C\bar{D}E$	$CD\bar{E}$	$CDE$
$\bar{A}\bar{B}$	X	X	X	X	0	X	X	1
$\bar{A}B$	X	X	X	X	0	X	X	X
$AB$	X	X	X	X	1	X	X	X
$A\bar{B}$	X	X	X	X	0	X	X	X

$$C_k = AB + \bar{D}$$

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}D\bar{E}$	$\bar{C}DE$	$C\bar{D}\bar{E}$	$C\bar{D}E$	$CD\bar{E}$	$CDE$
$\bar{A}\bar{B}$	0	0	X	X	0	X	X	1
$\bar{A}B$	X	X	X	X	X	X	X	X
$AB$	X	X	X	X	X	X	X	X
$A\bar{B}$	1	0	X	X	1	X	X	X

$$B_j = \bar{C}\bar{D} + AC + A\bar{D}E$$

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}D\bar{E}$	$\bar{C}DE$	$C\bar{D}\bar{E}$	$C\bar{D}E$	$CD\bar{E}$	$CDE$
$\bar{A}\bar{B}$	X	X	X	X	X	X	X	X
$\bar{A}B$	0	X	X	X	0	X	X	X
$AB$	1	X	X	1	1	X	X	X
$A\bar{B}$	X	X	X	X	X	X	X	X

$$B_k = A$$

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}D\bar{E}$	$\bar{C}DE$	$C\bar{D}\bar{E}$	$C\bar{D}E$	$CD\bar{E}$	$CDE$
$\bar{A}\bar{B}$	1	1	X	X	1	X	X	1
$\bar{A}B$	1	X	X	X	1	X	X	X
$AB$	X	X	X	X	X	X	X	X
$A\bar{B}$	X	X	X	X	X	X	X	X

$$A_j = 1$$

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}D\bar{E}$	$\bar{C}DE$	$C\bar{D}\bar{E}$	$C\bar{D}E$	$CD\bar{E}$	$CDE$
$\bar{A}\bar{B}$	X	X	X	X	X	X	X	X
$\bar{A}B$	X	X	X	X	X	X	X	X
$A\bar{B}$	1	X	X	1	1	X	X	X
$AB$	1	1	X	X	1	X	X	X

$$A_k = 1$$

Resumiendo las entradas encontradas para los diferentes flip-flops J-K:

$$E_j = ABC$$

$$E_k = A$$

$$D_j = C$$

$$D_k = ABC$$

$$C_j = AB$$

$$C_k = AB + \bar{D}$$

$$B_j = C\bar{D} + AC + A\bar{D}\bar{E}$$

$$B_k = A$$

$$A_j = 1$$

$$A_k = 1$$

Nuestro diseño quedará como en la Fig. III 13.

Obtenemos como antes el número de conchas blancas y azules:

	<u>Blancas</u>	<u>Azules</u>
5 flip-flops J-K	$5 \times 12 = 60$	$5 \times 6 = 30$
4 Puertas de 2 entradas (Y y O)	$4 \times 3 = 12$	$4 \times 3 = 12$
3 Puertas de	$3 \times 4 = 12$	$3 \times 4 = 12$
TOTAL	$\frac{84}{84}$	$\frac{54}{54}$

Es fácil observar que el anterior diseño, es decir con el cbdi

go BCD, es mejor que este último, porque es menor en número de conchas, tanto blancas como azules.

Pero aún nos quedan más intentos.

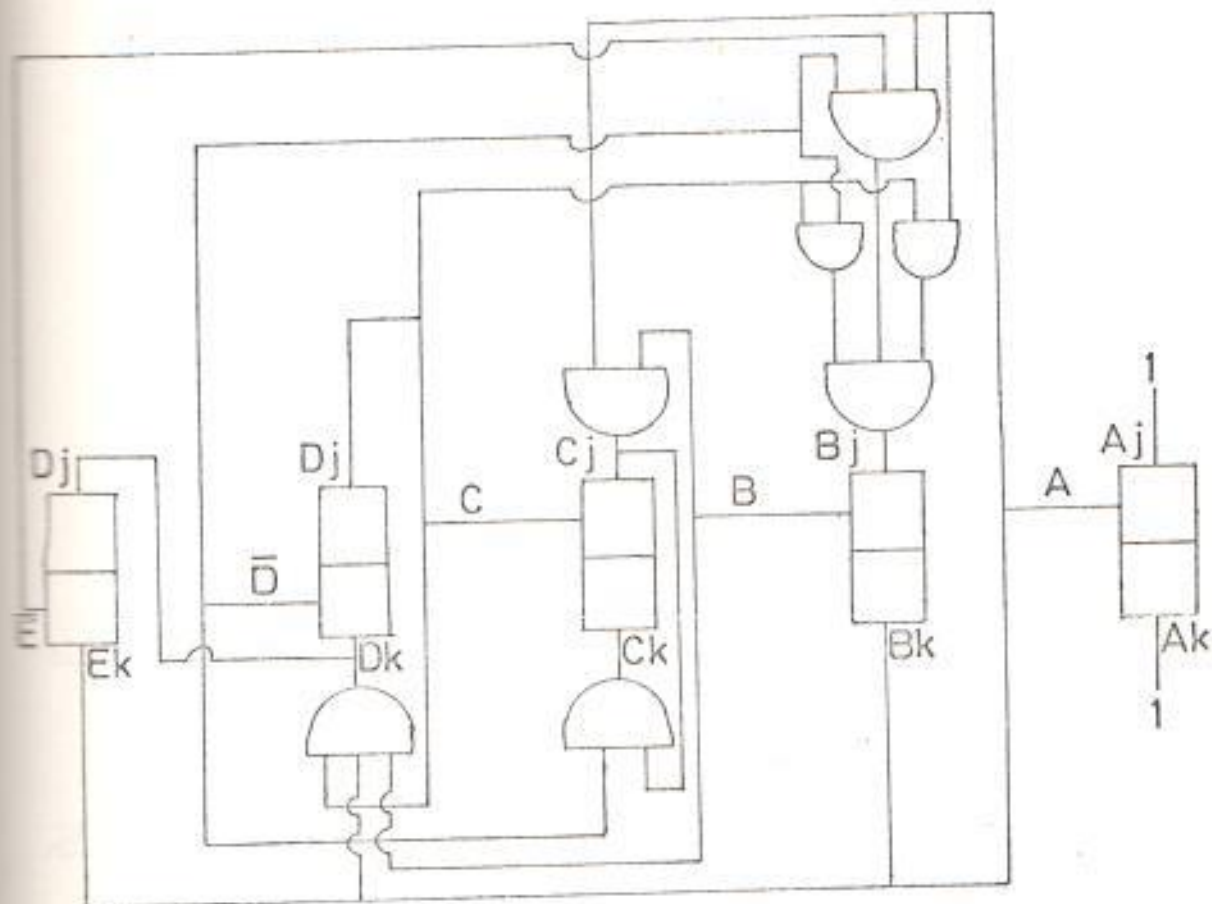


Fig. III 13 Diseño con el código 2:2:1

### CONTADOR BINARIO EN PARALELO

Ya que sólo el hecho de ser binario nos hará ahorrarnos una variable, o lo que es lo mismo, un flip-flop (o biestable) podemos asegurarnos sin temor a equivocarnos que este diseño superará al primero.

Sin más prebambulos desarrollaremos su tabla de verdades:

$D C B A$	$D C B A$	$D_j$	$D_k$	$C_j$	$C_k$	$B_j$	$B_k$	$A_j$	$A_k$
0000	0001	0	X	0	X	0	X	1	X
0001	0010	0	X	0	X	1	X	X	1
0010	0011	0	X	0	X	X	0	1	X
0011	0100	0	X	1	X	X	1	X	1
0100	0101	0	X	X	0	0	X	1	X
0101	0110	0	X	X	0	1	X	X	1
0110	0111	0	X	X	0	X	0	1	X
0111	1000	1	X	X	1	X	1	X	1
1000	1001	X	0	0	X	0	X	1	X
1001	1010	X	0	0	X	1	X	X	1
1010	1011	X	0	0	X	X	0	1	X
1011	0000	X	1	0	X	X	1	X	1

La construcción del Diagrama de Veitch lo ponemos a continuación:

	$\bar{C}\bar{D}$	$\bar{C}D$	$CD$	$C\bar{D}$
$\bar{A}\bar{B}$	0	X	X	0
$\bar{A}B$	0	X	X	0
$AB$	0	X	X	1
$A\bar{B}$	0	X	X	0

$$D_j = ABC$$

	$\bar{C}\bar{D}$	$\bar{C}D$	$CD$	$C\bar{D}$
$\bar{A}\bar{B}$	X	0	X	X
$\bar{A}B$	X	0	X	X
$AB$	X	1	X	X
$A\bar{B}$	X	0	X	X

$$D_k = AB$$



	$\bar{C}\bar{D}$	$\bar{C}D$	$CD$	$C\bar{D}$
$\bar{A}\bar{B}$	0	0	X	X
$\bar{A}B$	0	0	X	X
$AB$	1	0	X	X
$A\bar{B}$	0	0	X	X

$$C_j = AB\bar{D}$$

	$\bar{C}\bar{D}$	$\bar{C}D$	$CD$	$C\bar{D}$
$\bar{A}\bar{B}$	X	X	X	0
$\bar{A}B$	X	X	X	0
$AB$	X	X	X	1
$A\bar{B}$	X	X	X	0

$$C_k = AB$$

	$\bar{C}\bar{D}$	$\bar{C}D$	$CD$	$C\bar{D}$
$\bar{A}\bar{B}$	0	0	X	0
$\bar{A}B$	X	X	X	X
$AB$	X	X	X	X
$A\bar{B}$	1	1	X	1

$$B_j = A$$

	$\bar{C}\bar{D}$	$\bar{C}D$	$CD$	$C\bar{D}$
$\bar{A}\bar{B}$	X	X	X	X
$\bar{A}B$	0	0	X	0
$AB$	1	1	X	1
$A\bar{B}$	X	X	X	X

$$B_k = A$$

Y observando detenidamente la tabla,  $A_j = A_k = 1$

Entonces el diseño quedará como sigue:

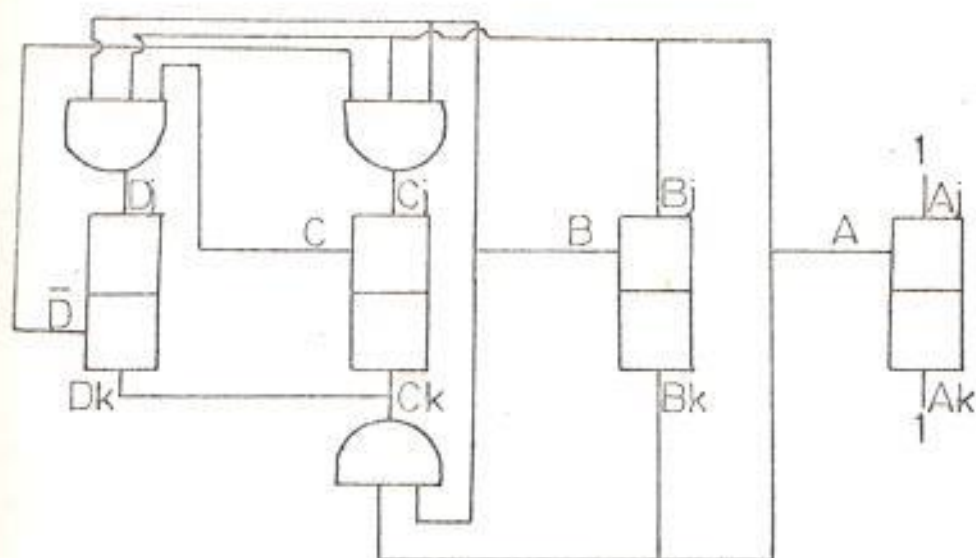


Fig. III. 14 Diseño del contador binario hasta 11.

Las conchas para este diseño:

	<u>Blancas</u>	<u>Azules</u>
4 filp-flops J-K	$4 \times 12 = 48$	$4 \times 6 = 24$
1 Puerta 4 ( 2 entradas )	3	3
2 Puertas 4 ( 3 entradas )	$2 \times 4 = 8$	$2 \times 4 = 8$
TOTAL	<u>59</u>	<u>35</u>

Como se ve, el número de conchas es menor que, inclusive nuestro primer diseño, tal como lo hablamos previsto desde un primer momento, por lo que este diseño es el mejor hecho hasta ahora.

#### FRECUENCIAS DE RELOJ PARA LOS 5 CANALES

La otra alternativa que quedaba para un nuevo diseño del divisor por 12, era la del contador a propagación de transportes. Siendo semejante al contador binario, este contador posee un retardo mayor.

Pero antes de probar un nuevo diseño con este contador, dejemos

situados el número de canales, la frecuencia de reloj,  $f_c$ , para cada canal y por último  $f_c = 2f_0$ , ya que en un análisis previo se deja establecido que no es necesario que el filtro analógico tenga el mismo ancho de banda que el filtro digital, sino que puede ser superior, siempre que no sea mayor que  $f_c = 2f_0$ , siendo  $f_0$  la frecuencia de corte del filtro digital.

Repasando la tabla 5, encontramos que el canal 2, con una  $f_0 = 8$  KHz no es tan importante ni necesario por lo que prescindiremos de él en lo sucesivo.

Luego procederemos a hallar  $f_c$  para cada uno de los canales. Dice el Ing. Rehbein que "una variación de  $f_c$  hace que exista una variación proporcional de  $f_0$ ". Ademas ya desarrolla un primer intento para el canal 12, con una  $f_0$  de 50 KHz, y obtiene una  $f_c$  igual a 1,6384 MHz.

Luego bastará una simple regla de tres para obtener la  $f_c$  del resto de los canales:

Para canal 1:

$f_c$	$f_0$	
1,6384 MHz	50 KHz	$X = 0,131072$ MHz
X	4 KHz	

Para canal 3:

$f_c$	$f_0$	
1,6384 MHz	50 KHz	$X = 0,393216$ MHz
X	12 KHz	

Para canal 4:

$f_c$	$f_o$	
1,6384 MHz	50 kHz	$X = 0,524288 \text{ MHz}$
X	16 kHz	

Para canal 6:

$f_c$	$f_o$	
1,6384 MHz	50 kHz	$X = 0,8192 \text{ MHz}$
X	25 kHz	

Hallamos de inmediato  $f_c = 2f_o$  para cada canal:

Para canal 1:

$f_c = 2f_o$	$f_o$	
1,4 MHz	50 kHz	$X = 0,112 \text{ MHz}$
X	4 kHz	

Para canal 3:

$f_c = 2f_o$	$f_o$	
1,4 MHz	50 kHz	$X = 0,336 \text{ MHz}$
X	12 kHz	

Para canal 4:

$f_c = 2f_o$	$f_o$	
1,4 MHz	50 kHz	$X = 0,148 \text{ MHz}$
X	16 kHz	

Para canal 6:

$f_c = 2f_o$	$f_o$	
1,4 MHz	50 kHz	$X = 0,769 \text{ MHz}$
X	25 kHz	

Enseguida encontraremos los divisores de frecuencia para cada uno de estos canales. Basta dividir la frecuencia del oscilador, que como sabemos es de 19,6608 MHz, para cada una de las  $f_c$ .

Para  $f_c = 0,8192$  MHz; canal 6

$$\begin{array}{r|l} 19,6608 & 0,8192 \\ 3\ 2768 & 24 \\ \hline & 00 \end{array} \quad \text{Divisor para 24}$$

Para  $f_c = 0,524288$  MHz; canal 4

$$\begin{array}{r|l} 19,6608 & 0,524288 \\ 3\ 932160 & 37,5 \\ 2\ 621440 & \\ \hline & 00 \end{array} \quad \text{Divisor para 37,5}$$

Para  $f_c = 0,131072$  MHz; canal 1

$$\begin{array}{r|l} 19,660800 & 0,131072 \\ 6\ 55360 & 150 \\ 0\ 00000 & \\ \hline & 000 \end{array} \quad \text{Divisor para 150}$$

Para  $f_c = 0,393216$  MHz; canal 3

$$\begin{array}{r|l} 19,660800 & 0,393216 \\ 0\ 000000 & 50 \\ \hline & 00 \end{array} \quad \text{Divisor para 50}$$

No sería posible diseñar un divisor de frecuencia que divida para una fracción, que es el caso que se nos presenta con 37,5. Por lo tanto en vez de 5 canales se procederá a trabajar solamente con 4 canales a petición del Ing. Pedro Carib, del Laboratorio de Comu-

nicaciones. No desarrollaremos entonces el canal 4 para  $f_0$  de 16 KHz.

Todo lo antes expresado queda resumido en la siguiente tabla:

<u>Canal</u>	<u>Divisor para</u>	$f_0$	$f_c$	$f_c - 2f_0$
1	150	$\frac{1}{4}$ KHz	0,131072 MHz	0,112 MHz
3	50	12 "	0,393216 "	0,336 "
6	24	25 "	0,8192 "	0,769 "
12	12	50 "	1,6384 "	1,4 "

TABLA 9

Según la Tabla 5 como existen 4 canales, tendríamos que diseñar 4 divisores de frecuencia. Pero podríamos ahorrar un poco de trabajo, si chequeamos los factores comunes a los 4 divisores. Formemos la siguiente tabla:

<u>Canal</u>	<u>Divisor por</u>	<u>Factores</u>
1	150	$2 \times 3 \times 5 \times 5$
3	50	$2 \times 5 \times 5$
6	24	$2 \times 2 \times 2 \times 3$
12	12	$2 \times 2 \times 3$

El común a los 4 canales es un divisor por 2. Los comunes restantes los podemos reducir con la ayuda de la siguiente figura:

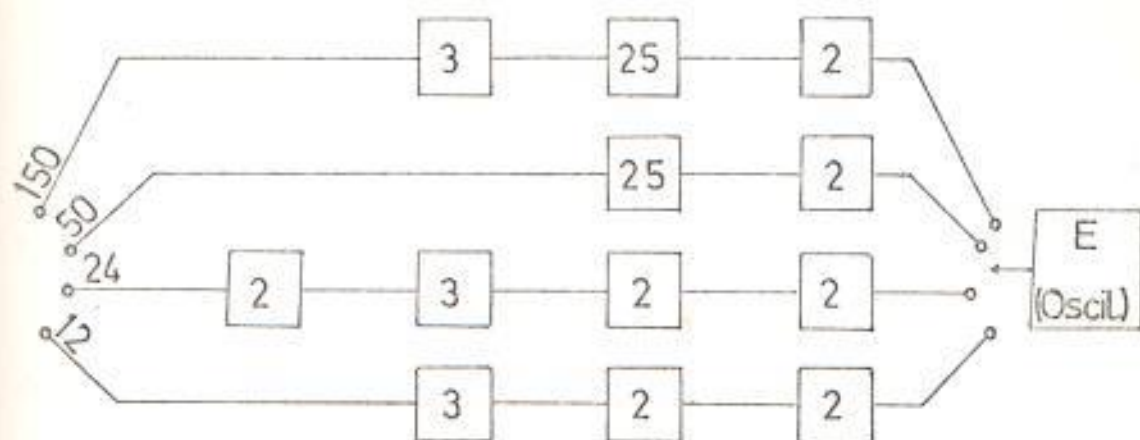


Fig. III 15 Diagrama de bloques de los 4 divisores.

Obtengamos los siguientes bloques comunes:

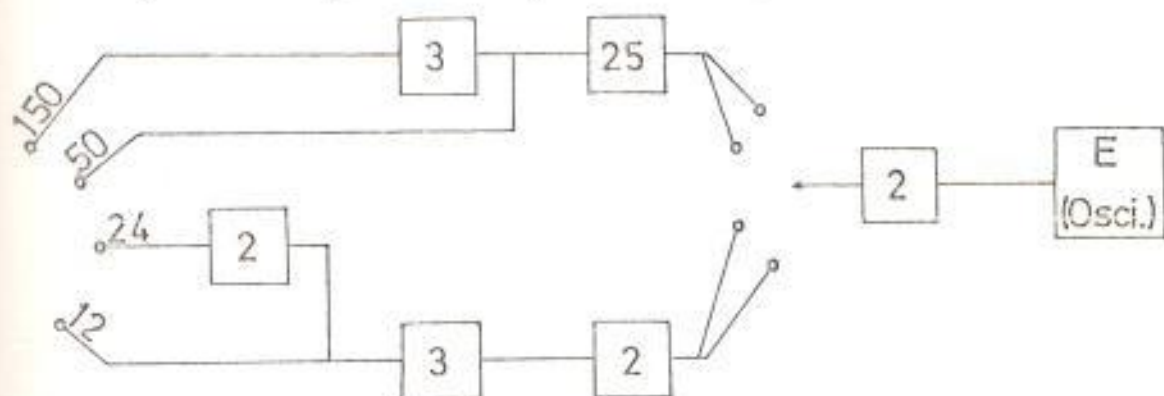


Fig. III 16 Diagrama de bloques comunes de los 4 divisores.

Este diagrama de bloques de la Fig. III 16 nos ayuda a reducir el número de divisores de frecuencias y a la vez los hace más fáciles, como que incluye divisores por 2 y por 3.

Para diseñar un divisor por 25 existen dos alternativas: a) hacer un divisor por 5 y ponerlo en cascada con otro igual y b) diseñar un contador hasta 24.

El que resultare más económico es aquel que se utilizará.

### CONTADOR HASTA 4

El objeto de diseñar un contador hasta 4, es como ya sabemos obtener un divisor por 5.

La tabla de verdades de un contador binario en paralelo, que cuente hasta 4 es la siguiente:

C	B	A	C	B	A	$C_j$	$C_k$	$B_j$	$B_k$	$A_j$	$A_k$
0	0	0	0	0	1	0	X	0	X	1	X
0	0	1	0	1	0	0	X	1	X	X	1
0	1	0	0	1	1	0	X	X	0	1	X
0	1	1	1	0	0	1	X	X	1	X	1
1	0	0	0	0	0	X	1	0	X	0	X

Sus respectivos diagramas de Veitch son:

	$\bar{C}$	C
$\bar{A}\bar{B}$	0	X
$\bar{A}B$	0	X
$A\bar{B}$	1	X
$AB$	0	X

$C_j = AB$

	$\bar{C}$	C
$\bar{A}\bar{B}$	X	1
$\bar{A}B$	X	X
$A\bar{B}$	X	X
$AB$	X	X

$C_k = 1$

	$\bar{C}$	C
$\bar{A}\bar{B}$	0	0
$\bar{A}B$	X	X
$A\bar{B}$	X	X
$AB$	1	X

$B_j = A$

Podemos deducir rápidamente si observamos la Tabla, que  $A_k = 1$ .



	$\bar{C}$	$C$
$\bar{A}\bar{B}$	X	X
$\bar{A}B$	0	X
$AB$	1	X
$A\bar{B}$	X	X

$B_k = A$

	$\bar{C}$	$C$
$\bar{A}\bar{B}$	1	0
$\bar{A}B$	1	X
$AB$	X	X
$A\bar{B}$	X	X

$A_j = \bar{C}$

En estas entradas notamos que cada vez que hay que cambiar  $B$  hay una bajada de  $A$ . Luego, representando por  $\underline{a}$  la señal del reloj, nos queda:

$$C_j = \bar{A}B$$

$$B_j = 1$$

$$A_j = \bar{C}$$

$$C_k = 1$$

$$B_k = 1$$

$$A_k = 1$$

$$C_c = \underline{a}$$

$$B_c = A$$

$$A_c = \underline{a}$$

Nuestro diseño quedará como sigue:

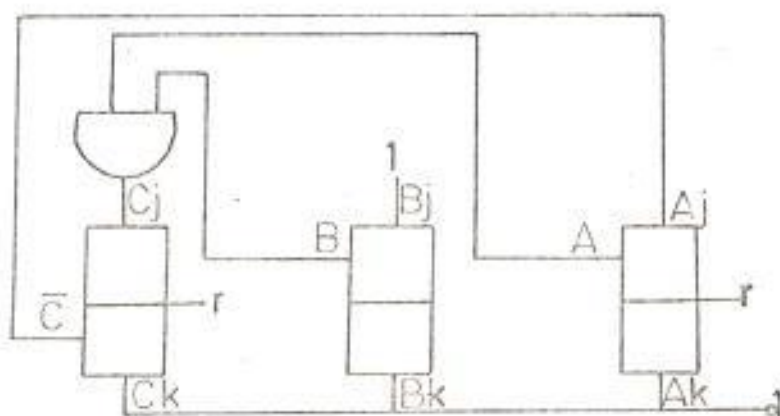


Fig. III 17 Contador hasta 4

CONTADOR HASTA 24

Tracemos el diseño de un contador binario en paralelo hasta 24, para obtener así un divisor de frecuencia por 25.

La tabla de verdades es la siguiente:

$E$	$D$	$C$	$B$	$A$	$E$	$D$	$C$	$B$	$A$	$E_j$	$E_k$	$D_j$	$D_k$	$C_j$	$C_k$	$B_j$	$B_k$	$A_j$	$A_k$	
0	0	0	0	0	0	0	0	0	1	0	X	0	X	0	X	0	X	1	X	
0	0	0	0	1	0	0	0	1	0	0	X	0	X	0	X	1	X	X	1	
0	0	0	1	0	0	0	0	1	1	0	X	0	X	0	X	X	0	1	X	
0	0	0	1	1	0	0	1	0	0	0	X	0	X	1	X	X	1	X	1	
0	0	1	0	0	0	0	1	0	1	0	X	0	X	X	0	0	X	1	X	
0	0	1	0	1	0	0	1	1	0	0	X	0	X	X	0	1	X	X	1	
0	0	1	1	0	0	0	1	1	1	0	X	0	X	X	0	X	0	1	X	
0	0	1	1	1	0	1	0	0	0	0	X	1	X	X	1	X	1	X	1	
0	1	0	0	0	0	1	0	0	1	0	X	X	0	0	X	0	X	1	X	
0	1	0	0	1	0	1	0	1	0	0	X	X	0	0	X	1	X	X	1	
0	1	0	1	0	0	1	0	1	1	0	X	X	0	0	X	X	0	1	X	
0	1	0	1	1	0	0	1	0	0	0	X	X	0	1	X	X	1	X	1	
0	1	0	1	1	0	1	1	0	0	0	X	X	0	X	0	X	0	1	X	
0	1	1	0	0	0	1	1	0	1	0	X	X	0	X	0	1	X	X	1	
0	1	1	0	1	0	1	1	1	0	0	X	X	0	X	0	X	0	1	X	
0	1	1	1	0	0	1	0	0	0	0	1	X	X	1	X	1	X	1	1	
1	0	0	0	0	0	1	0	0	0	1	X	0	0	X	0	X	0	X	1	X
1	0	0	0	1	0	1	0	0	1	0	X	0	0	X	0	X	1	X	X	1
1	0	0	1	0	0	1	0	0	1	1	X	0	0	X	0	X	X	0	1	X
1	0	0	1	1	0	0	1	0	0	0	X	0	0	X	1	X	X	1	X	1
1	0	1	0	0	0	1	0	1	0	1	X	0	0	X	X	0	0	X	1	X
1	0	1	0	1	0	1	0	1	1	0	X	0	0	X	X	0	1	X	X	1
1	0	1	1	0	0	1	0	1	1	1	X	0	0	X	X	0	X	0	1	X
1	0	1	1	1	0	0	0	0	0	0	X	0	1	X	X	1	X	1	X	1
1	1	0	0	0	0	0	0	0	0	0	X	1	X	1	0	X	0	X	0	X

Los Diagramas de Veitch para este contador son los siguientes:

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}DE$	$\bar{C}D\bar{E}$	$CD\bar{E}$	$CDE$	$C\bar{D}\bar{E}$	$C\bar{D}E$
$\bar{A}\bar{B}$	0	X	X	0	0	X	X	0
$\bar{A}B$	0	X	X	0	0	X	X	0
$A\bar{B}$	0	X	X	0	1	X	X	0
$AB$	0	X	X	0	0	X	X	0

$$E_j = ABCD$$

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}DE$	$\bar{C}D\bar{E}$	$CD\bar{E}$	$CDE$	$C\bar{D}\bar{E}$	$C\bar{D}E$
$\bar{A}\bar{B}$	X	0	1	X	X	X	0	X
$\bar{A}B$	X	0	X	X	X	X	0	X
$A\bar{B}$	X	0	X	X	X	X	0	X
$AB$	X	0	X	X	X	X	0	X

$$E_k = D$$

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}DE$	$\bar{C}D\bar{E}$	$CD\bar{E}$	$CDE$	$C\bar{D}\bar{E}$	$C\bar{D}E$
$\bar{A}\bar{B}$	0	0	X	X	X	X	0	0
$\bar{A}B$	0	0	X	X	X	X	0	0
$A\bar{B}$	0	0	X	X	X	X	1	1
$AB$	0	0	X	X	X	X	0	0

$$D_j = AEC$$

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}D\bar{E}$	$\bar{C}DE$	$C\bar{D}\bar{E}$	$C\bar{D}E$	$CD\bar{E}$	$CDE$
$\bar{A}\bar{B}$	X	X	1	0	0	X	X	X
$\bar{A}B$	X	X	X	0	0	X	X	X
$AB$	X	X	X	0	1	X	X	X
$A\bar{B}$	X	X	X	0	0	X	X	X

$$D_k = ABC + E$$

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}D\bar{E}$	$\bar{C}DE$	$C\bar{D}\bar{E}$	$C\bar{D}E$	$CD\bar{E}$	$CDE$
$\bar{A}\bar{B}$	0	0	0	0	X	X	X	X
$\bar{A}B$	0	0	X	0	X	X	X	X
$AB$	1	1	X	1	X	X	X	X
$A\bar{B}$	0	0	X	0	X	X	X	X

$$C_j = AB$$

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}D\bar{E}$	$\bar{C}DE$	$C\bar{D}\bar{E}$	$C\bar{D}E$	$CD\bar{E}$	$CDE$
$\bar{A}\bar{B}$	X	X	X	X	0	X	0	0
$\bar{A}B$	X	X	X	X	0	X	0	0
$AB$	X	X	X	X	1	X	1	1
$A\bar{B}$	X	X	X	X	0	X	0	0

$$C_k = AB$$

$\bar{C}\bar{D}\bar{E}$   $\bar{C}\bar{D}E$   $\bar{C}D\bar{E}$   $\bar{C}DE$   $C\bar{D}\bar{E}$   $C\bar{D}E$   $CD\bar{E}$   $CDE$

$\bar{A}\bar{B}$	0	0	0	0	0	X	0	0
$\bar{A}B$	X	X	X	X	X	X	X	X
$A\bar{B}$	X	X	X	X	X	X	X	X
$AB$	1	1	X	1	1	X	1	1

$$B_j = A$$

$\bar{C}\bar{D}\bar{E}$   $\bar{C}\bar{D}E$   $\bar{C}D\bar{E}$   $\bar{C}DE$   $C\bar{D}\bar{E}$   $C\bar{D}E$   $CD\bar{E}$   $CDE$

$\bar{A}\bar{B}$	X	X	X	X	X	X	X	X
$\bar{A}B$	0	0	X	0	0	X	0	0
$A\bar{B}$	1	1	X	1	1	X	1	1
$AB$	X	X	X	X	X	X	X	X

$$B_k = A$$

$\bar{C}\bar{D}\bar{E}$   $\bar{C}\bar{D}E$   $\bar{C}D\bar{E}$   $\bar{C}DE$   $C\bar{D}\bar{E}$   $C\bar{D}E$   $CD\bar{E}$   $CDE$

$\bar{A}\bar{B}$	1	1	0	1	1	X	1	1
$\bar{A}B$	1	1	X	1	1	X	1	1
$A\bar{B}$	X	X	X	X	X	X	X	X
$AB$	X	X	X	X	X	X	X	X

$$A_j = D\bar{E} + \bar{D}$$

	$\bar{C}\bar{D}\bar{E}$	$\bar{C}\bar{D}E$	$\bar{C}D\bar{E}$	$\bar{C}DE$	$C\bar{D}\bar{E}$	$C\bar{D}E$	$CD\bar{E}$	$CDE$
$\bar{A}\bar{B}$	X	X	X	X	X	X	X	X
$\bar{A}B$	X	X	X	X	X	X	X	X
$A\bar{B}$	1	1	X	1	1	X	1	1
$AB$	1	1	X	1	1	X	1	1

$A_k = 1$

Podemos ahorrarnos una puerta en  $A_j$  si la reducimos de la siguiente manera:

$$\begin{aligned}
 A_j &= D\bar{E} + \bar{D} \\
 &= D\bar{E} + \bar{D} \cdot 1 = D\bar{E} + \bar{D}(E + \bar{E}) \\
 &= D\bar{E} + \bar{D}E + \bar{D}\bar{E} = D\bar{E} + \bar{D}E + \bar{D}\bar{E} + \bar{D}E \\
 &= \bar{E}(D + \bar{D}) + \bar{D}(E + \bar{E}) = \bar{E} \cdot 1 + \bar{D} \cdot 1 \\
 &= E + D
 \end{aligned}$$

Además analicemos, como ya previamente lo hemos hecho,  $E_j$  y  $E_k$ . Cada vez que hay que cambiar  $E$  hay una bajada de  $D$ , pero no de  $A$ ,  $B$  ó  $C$ . Luego:

$$E_j = ABC \quad E_k = 1 \quad E_c = D$$

Después de observar que  $D_j$  y  $D_k$  permanecen sin cambio, analicemos  $C_j$  y  $C_k$ . Vemos que cada vez que hay que cambiar  $C$  hay una bajada de  $B$  y además  $A$  siempre es 1 cuando hay una bajada de  $B$ . Luego:

$$C_j = 1 \quad C_k = 1 \quad C_c = B$$

Analizando de igual manera para el flip-flop B, sus entradas nos quedarán:

$$B_j = 1$$

$$B_k = 1$$

$$B_c = A$$

Nuestro diseño entonces quedará:

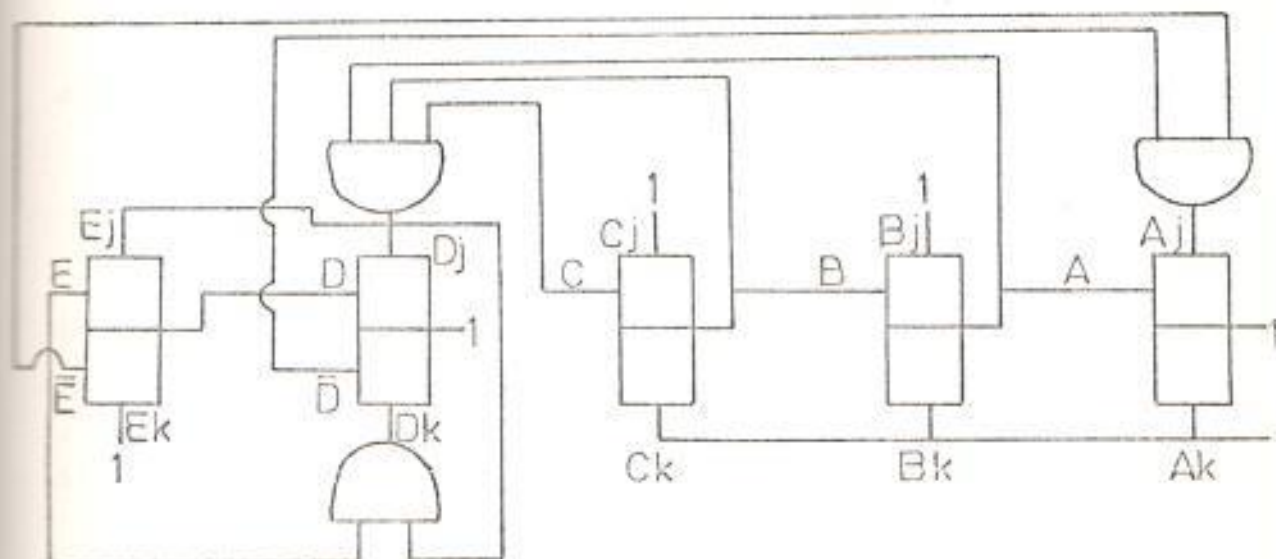


Fig. III 18 Contador hasta 24

Utilicemos nuestra moneda artificial para decidir cual de los dos diseños nos convendrá mas. Colocando el primer diseño, es decir el contador hasta 4, en cascada con otro igual, obtendremos los siguientes valores:

	<u>Blancas</u>	<u>Azules</u>
6 flip-flops J-K	$6 \times 12 = 72$	$6 \times 6 = 36$
2 Puertas 4 de 2 entradas	$2 \times 3 = \frac{6}{78}$	$2 \times 3 = \frac{6}{42}$
TOTAL		

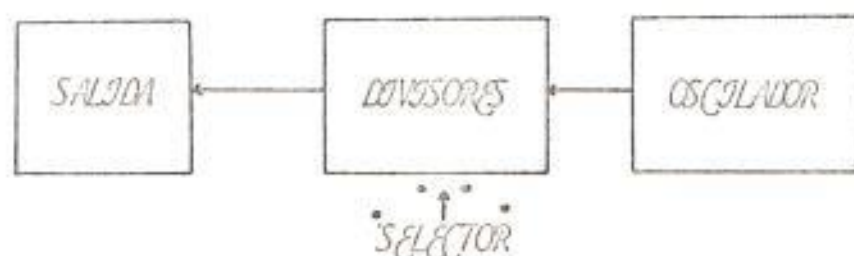
Ahora obtenemos los valores del contador de la Fig. III 18.

	<u>Blancas</u>	<u>Azules</u>
5 flip-flops J-K	$5 \times 12 = 60$	$5 \times 6 = 30$
2 Puertas O de 2 entradas	$2 \times 3 = 6$	$2 \times 3 = 6$
1 Puerta Y de 3 entradas	$\frac{4}{70}$	$\frac{4}{10}$
TOTAL		

Con esto se ve que el diseño de la figura III 18, es mejor por ser el más económico y nos quedaremos con él.

### DISEÑO DEL CONJUNTO

Nuestro siguiente paso es diseñar un circuito en conjunto de los 4 canales, o 4 divisores, con sus respectivos selectores. Este circuito, aparte de los divisores y el selector, debe incluir el oscilador y una salida para cada canal de acuerdo al siguiente diagrama de bloques:



La Fig. III 16 nos será de ayuda, porque vamos a tener la necesidad de apoyarnos en algún diagrama, y esta figura es de nuestra mayor conveniencia.

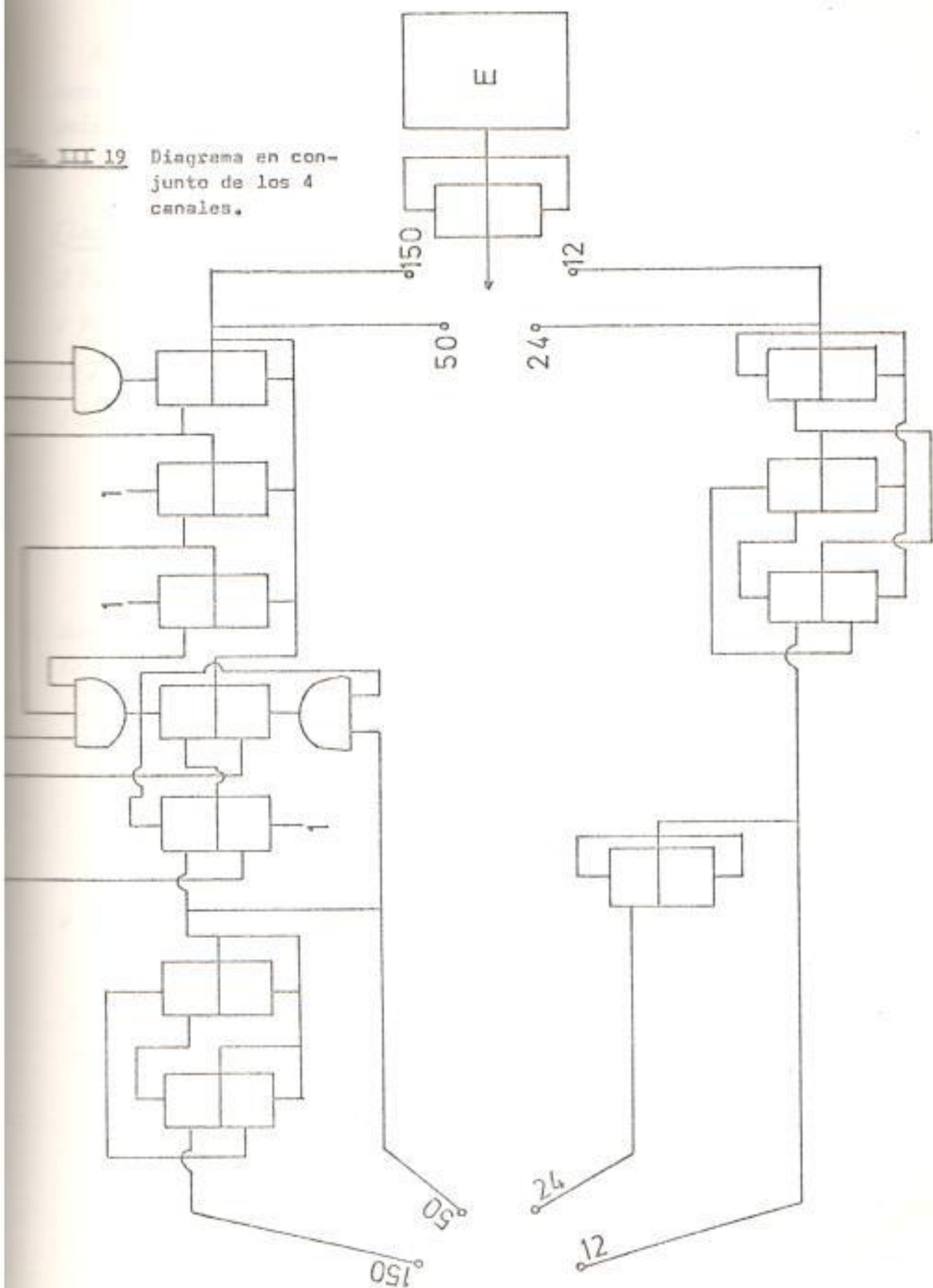
Hagamos el siguiente intento: (Fig. III 19)

Este diseño de la figura III 19 es sumamente apropiada. Por lo que se puede apreciar presenta una serie de facilidades por lo que lo tomaremos.



III 19

Diagrama en conjunto de los 4 canales.



Ahora sólo nos resta contar los nuevos circuitos integrados que necesitaremos y por ende los nuevos espacios a hacerse, aparte del selector. En la siguiente Tabla especificaremos los circuitos y sus respectivos espacios.

<u>Circuitos Integrados</u>	<u>Espacios</u>
2 Puertas 0 de 2 entradas cada una	1 espacio
1 Puerta 4 de 3 entradas	1 "
12 Flip-flops J-K	6 "
1 Oscilador	1 "
<b>TOTAL</b>	<u>9 espacios</u>



### DESIGNO DEL CONVERTIDOR IVS FILTRO ANALOGICO

Anteriormente hemos obtenido valores de inductancia y capacitancia, para una frecuencia  $f_0 = 50$  kHz que corresponde al canal 12, los cuales los repetiremos aquí nuevamente:

$$C_{50} = 1,508 \times 10^{-9} F \quad (\text{Ec. III 13})$$

$$L_{50} = 0,749 \times 10^{-9} h \quad (\text{Ec. III 14})$$

Es decir nos falta los valores correspondientes de inductancia y capacitancia de los 3 canales restantes.

Empecemos con el filtro para  $f_0 = 25$  kHz, o canal 6. Con  $f_0 = 50$  kHz llegamos a obtener el valor de  $\omega_c = 2 \times \pi \times 150$ . Con una regla de tres podemos obtener el valor de  $\omega$  para  $f_0 = 25$  kHz.

$$\begin{array}{ccc} f_0 & \omega_c & \\ 50 \text{ kHz} & 2 \times \pi \times 150 & \\ 25 & X & X = 2 \times \pi \times 75 \end{array}$$

En este primer intento, no está demás efectuar un chequeo, para ver si se cumplen las condiciones establecidas por el Ing. Rehbein, ya mencionadas, y que se las logra utilizando la  $\xi_c$  III 2.

$$|F(j\omega)|^2 = \frac{1}{1 + \left(\frac{\omega}{\omega_c}\right)^4}$$

$$|F(j\omega)|^2 = \frac{1}{1 + \left(\frac{25}{75}\right)^4}$$

$$|F(j\omega)|^2 = 0,987$$

Ahora con  $f_c = 2f_0 = 0,7$  MHz:

$$|F(j\omega)|^2 = \frac{1}{1 + \left(\frac{700}{75}\right)^4}$$

$$|F(j\omega)|^2 = 0,0001317636$$

Ambos resultados cumplen con las exigencias impuestas, al igual que para  $\omega_c = 2 \times \pi \times 150$ . Podemos seguir entonces adelante, confiadamente, sin tener la necesidad de volver a repetir este tipo de chequeo.

Según la  $\xi_c$  III 8 tenemos:

$$b^2 = 2c \quad (\xi_c \text{ III } 8)$$

$$c^2 = \left( \frac{1}{2 \times \pi \times 75 \times 10} \right)^4$$

$$c = \frac{1}{22,22 \times 10^{10}} \quad (\xi c. III 15)$$

Luego:

$$b^2 = \frac{1}{11,11 \times 10^{10}} \quad (\xi c. III 16)$$

$$b = \frac{1}{3,34 \times 10^5}$$

Por lo que según las  $\xi c.$  III 15 y 16, la ecuación de  $F(s)$  tomará la siguiente forma:

$$F(s) = \frac{1}{1 + \frac{s}{3,34 \times 10^5} + \frac{s^2}{22,22 \times 10^{10}}}$$

Podemos obtener ahora los valores de  $C$  y  $L$ :

$$K = 0,996 \times 10^3 \times C = b$$

$$0,996 \times 10^3 \times C = \frac{1}{3,34 \times 10^5}$$

$$C_{25} = 3,02 \times 10^{-9} F$$

Además:

$$L = c$$

$$3,02 \times 10^{-9} \times L = \frac{1}{22,22 \times 10^{10}}$$

$$L_{25} = 1,49 \times 10^{-3} h$$

Podríamos ahorrarnos de una vez todas estas operaciones si comenzamos a demostrar la relación existente entre  $L$  y  $C$  con  $w_a$ .  
Según las ecuaciones III 1 y 8 tenemos:

$$R = b$$

$$C = \frac{b}{R}$$

$$b^2 = 2c$$

$$c^2 = \frac{1}{(2 \times \pi \times w_a)^4}$$

$$b^2 = \frac{2}{(2 \times \pi \times w_a)^2}$$

$$b = \frac{2}{2 \times \pi \times w_a}$$

$$C = \frac{\sqrt{2}}{w_a \times R \times 2 \times \pi}$$

Y siendo  $R$ ,  $2$  y  $\pi$  valores constantes, podemos llegar a la conclusión de que  $C$  es proporcional a  $\frac{1}{w_a}$ .

De igual manera haremos con  $L$ :

$$L = c$$

$$L = \frac{c}{C}$$

$$L = \frac{c}{C}$$

$$L = \frac{2 \times \pi \times \omega_n \times R}{(2 \times \pi \times \omega_n)^2 \times \sqrt{2}}$$

De igual manera que  $C$ ,  $L$  es también proporcional a  $\frac{1}{\omega_n}$

Prosigamos entonces hallando los valores de  $L$  y  $C$  para el canal 3, para una  $f_0$  de 12 KHz,

$$\frac{L_{12}}{K_{50}} = \frac{C_{12}}{C_{50}} = \frac{50}{12} = 4,166$$

$$C_{12} = 4,166 \times C_{50}$$

$$= 4,166 \times 1,508 \times 10^{-9}$$

$$= 6,28 \times 10^{-9} F$$

$$L_{12} = 4,166 \times L_{50}$$

$$= 4,166 \times 0,719 \times 10^{-3}$$

$$= 3,11 \times 10^{-3} H$$

Por último, para el canal 1, con una  $f_0$  de 4 KHz:

$$\frac{L_4}{L_{50}} = \frac{C_4}{C_{50}} = \frac{50}{4} = 12,5$$

$$\begin{aligned}C_4 &= 12,5 \times C_{50} \\ &= 12,5 \times 1,508 \times 10^{-9} \\ &= 18,81 \times 10^{-9} F\end{aligned}$$

$$\begin{aligned}L_4 &= 12,5 \times L_{50} \\ &= 12,5 \times 0,749 \times 10^{-3} \\ &= 9,35 \times 10^{-3}\end{aligned}$$

Resumamos en la siguiente tabla todos los valores de L y C hallados para cada uno de los 4 canales:

$C_{50} = 1,508 \times 10^{-9} F$	$L_{50} = 0,749 \times 10^{-3} h$
$C_{25} = 3,02 \times 10^{-9} F$	$L_{25} = 1,49 \times 10^{-3} h$
$C_{12} = 6,28 \times 10^{-9} F$	$L_{12} = 3,11 \times 10^{-3} h$
$C_4 = 18,81 \times 10^{-9} F$	$L_4 = 9,35 \times 10^{-3} h$

TABLA III 10

Con los valores de esta Tabla III 10, estamos en condiciones de dibujar el diagrama conjunto del conversor-filtro analógico, (Fig. III 20).

### ELECCION DEL AMPLIFICADOR DE LA SEÑAL DE RELOJ

Primero establezcamos cuantos flip-flops va a alimentar la salida del divisor de frecuencia:

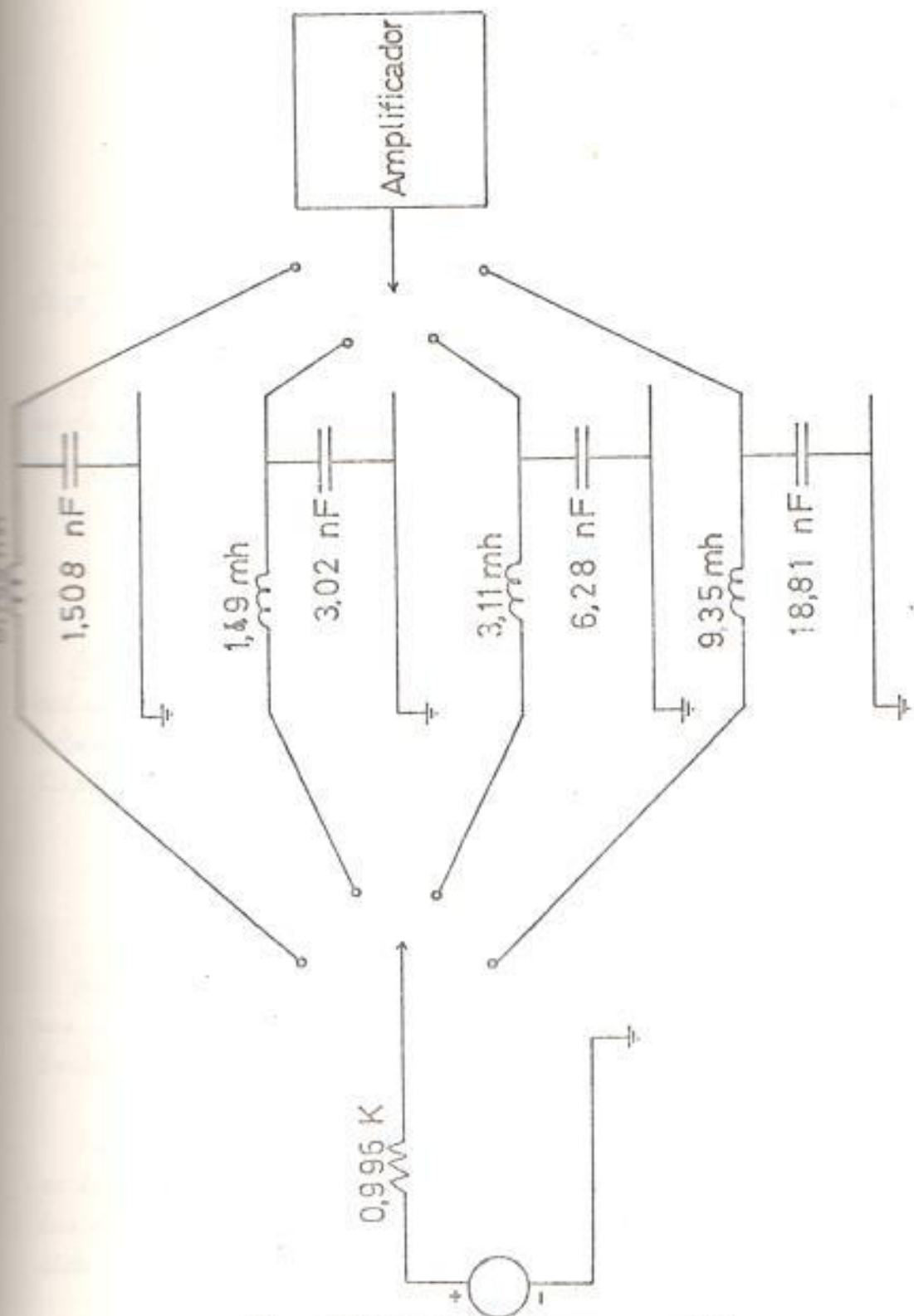


Fig. III 20 Circuito conversor-filtro analógico.



Flip-flops de 42	11
" 43	11
" 44	11
" 45	11
" Generador	<u>15</u>
TOTAL	59

Luego analizaremos cuantos flip-flops puede alimentar el flip-flop J-K 1107473, en ambos estados, 0 ó 1.

En estado cero la corriente de salida es de 16 mA y su entrada es de -3,2 mA como máximo. Luego un sólo flip-flop podrá alimentar:

$$\frac{16 \text{ mA}}{3,2 \text{ mA}} = 5 \text{ flip-flops}$$

En el estado uno debe ser igual. Pero, para una mayor seguridad comprobemos esta aseveración. La corriente de salida para el estado uno es de 0,4 mA; la de entrada es de 0,08 mA. Luego este flip-flop podrá alimentar:

$$\frac{0,40 \text{ mA}}{0,08 \text{ mA}} = 5 \text{ flip-flops}$$

Hay entonces la obligación de escoger un circuito digital que nos sirva como un amplificador de la señal de salida, por lo que tendremos que poner especial atención a su fan-out.

Ya que una de las entradas exige una cantidad de potencia, para la conveniencia del diseñador, las entradas a la mayoría de los circuitos se diseñan para presentar la misma carga a una salida que presentan las otras, por lo que sólo es necesario con-

tar las entradas a las cuales una salida está conectada, y ésta será la carga. La carga contada así es lo que se llama fan-out. Pero hay que tener precaución de que el fan-out se aplica conectando circuitos de la misma familia.

Procedemos a hacer una lista de la misma familia que el N7473 y escogeremos por conveniencia aquel del mayor fan-out.

La lista de productos TTL es la siguiente:

<u>Número</u>	<u>Fan-out</u>	<u>Número</u>	<u>Fan-out</u>
N7402	10	N7485	10
N7404	10	N7486	Lógica "0" 10
N7408	10		Lógica "1" 20
N7410	10	N7490	10
N7411	10	N7491	10
N7413	Nivel Alto 20	N7492	10
	Nivel Bajo 10	N7493	10
N7420	10	N7494	10
N7421	10	N7495	10
N7430	10	N7496	10
N7400	10	N74100	10
N7437	30	N74107	10
N7438	30	N74121	10
N7439	30	N74122	Nivel Alto 20
N7440	30		Nivel Bajo 10
N7450	10	N74123	Nivel Alto 20
N7453	10		Nivel Bajo 10
N7454	10	N74150	20
N7470	10	N74155	20
N7472	10	N74156	20
N7473	10	N74157	20
N7474	10	N74158	20

N7575	10	N74160	20
N7576	10	N74161	20
N7477	10	N74162	20
N7483	10	N74163	20
N7483	5	N74164	Nivel Alto 10
			Nivel Bajo 5

Observando cuidadosamente esta selección de productos vemos que los *fan-out* más elevados son los de 30, que pertenecen a los circuitos integrados N7437, N7438, N7439 y N7440. Tomamos cualquiera de ellos ya que cada uno satisface nuestras exigencias.

Tomamos el N7437. Su circuito es el siguiente:

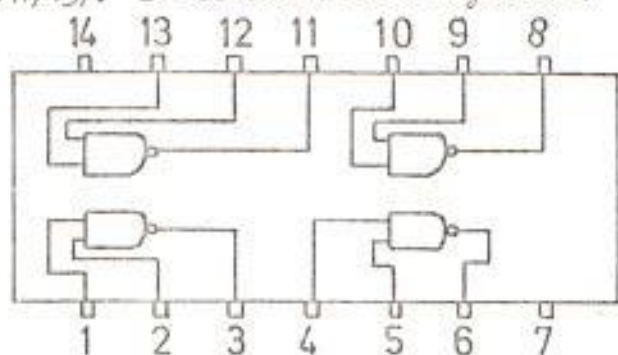


Fig. III 21 Circuito Integrado  
N7437

Se trata de 4 puertas NAND con 2 entradas cada una. Su tabla es la siguiente:

Entrada		Salida
A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

Nos encontramos ahora frente a un nuevo problema: la manera de conectar las salidas de los cuatro divisores a las entradas del 7437, sin que tengamos variación a la salida de las cuatro puertas NAND.

Supongamos que la salida del último flip-flop del divisor de frecuencia sea  $\bar{C}$  y  $C$ . Chequeando la Tabla del 7437 nos damos cuenta que con  $C$  se hace difícil obtener la salida de la señal sin variación.

Utilizemos ahora  $\bar{C}$  que es la señal falsa. Nos damos cuenta que haciendo una entrada en todos los casos y la restante poniendo  $\bar{C}$  obtenemos a la salida la señal sin variación.

Con lo recientemente encontrado, ya podemos dibujar el diagrama de los cuatro divisores y el amplificador, con un pequeño arreglo más a hacerse en la Fig. III 20. Este arreglo es el de omitir el selector dibujado a la derecha, porque, si nos fijamos bien, en verdad no lo necesitamos.

El diagrama final se encuentra en la Fig. III 22.

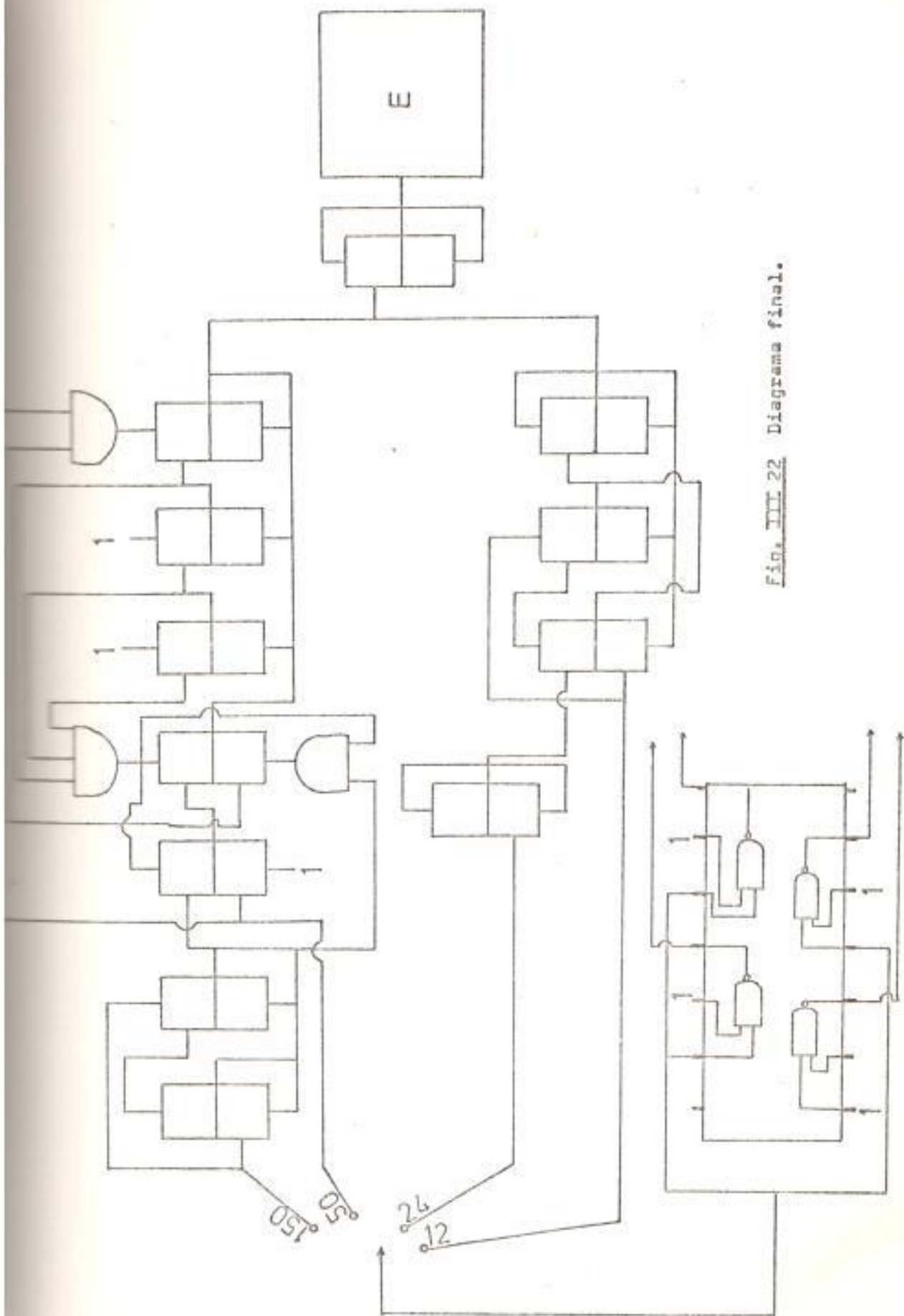


Fig. III 22 Diagrama final.

*P A R T E IV*

*PLANIFICACION PARA LA CONSTRUCCION DEL FILTRO DIGITAL*

*y*

*DESÑO DEL AMPLIFICADOR DE SALIDA*

## PLANIFICACION PARA LA CONSTRUCCION

Para la construcción del Filtro Digital o cualquier otra etapa de nuestro Generador Digital de Ruido, se hace imprescindible la familiarización con los elementos con que vamos a trabajar y con sus requerimientos técnicos. Además, como ocurre en este caso, es necesario tener a mano una Tabla en la cual conste todos los circuitos integrados a utilizarse, nombrando una a una sus patas y otorgándole a su vez su función en el circuito.

Por eso, antes de entrar a la Lista de Conexiones, corazón del funcionamiento del Generador, se hace necesaria la introducción de los dos siguientes numerales.

### INFORMACIONES GENERALES

La serie de funciones complejas TTL (Transistor-Transistor-Logic) están diseñadas para aplicaciones digitales a un rango de alta velocidad, y una frecuencia de reloj de 30 a 40 MHz; tiene una demora entre entrada y salida de 5 a 10 nseg.

#### Supercias Límites:

##### Distribución de Potencia y Tierra:

Las razones típicas de cambio de corriente y voltaje son  $10^7$  A/s y  $10^8$  V/s respectivamente, con lo que se quiere decir que se necesitan fuentes de poder de baja impedancia y un sistema de distribución a tierra, si las transientes van a ser minimizadas y/o márgenes de ruido van a ser obtenidos. Generalmente se usa un cable AWG N° 20, o uno más grande.

Es mejor dejar la mayor cantidad posible de metal para la línea de tierra.



BIBLIOTECA

### Transiente:

No es adecuado el uso de un capacitor de paso en el terminal de salida de la fuente de poder. Pero un tipo de capacitor de bajo valor, del orden de  $1 \mu F$ , se sugiere en el punto en que el poder y la tierra entran al límite. Se ha hallado así mismo que distribuyendo capacitores de  $0,01 \mu F$  por cada 8 paquetes es adecuado para suprimir las transientes normales de switching.

### Disipación de Potencia:

Las fuentes de poder standard para circuitos lógicos TTL es de  $+5,0 V_{DC}$ . La división típica promedio es de:

$$P_D = \frac{I_{PDL} + I_{PDH}}{2} (V_{CC})$$

... siendo  $I_{PDL}$  y  $I_{PDH}$  corrientes típicas de drenaje a  $V_{CC} = +5,0V$ .

### Puertas y entradas no usadas:

Estas no se deben dejar abiertas y tampoco deben ser conectadas a las puertas usadas o regresadas a la fuente de poder. Esto reducirá cualquier problema resultante debido al ruido externo. Si las entradas se regresan a la fuente de poder, se debe tomar especial cuidado de que el voltaje de la fuente de poder no exceda un máximo de  $5,5$  voltios. Si excede de los  $5,5$  voltios las entradas no usadas deben volver a un voltaje más bajo o o regresadas a una fuente de poder a través de un resistor limitador de corriente. El método preferido es unir las entradas no usadas a las usadas.

En un paquete las entradas de puertas no usadas deben ser puestas a tierra. Esto coloca a la puerta en su condición más baja de potencia y ayudará a eliminar la potencia de drenaje innecesaria.

Puertas NAND se aconsejan conectarlas a una puerta usada o re-



regresarlas a la lógica "1", en cambio las Puertas NOR regresarlas a tierra.

Para los Flip-flops J-K, las patas de  $\overline{SET}$  y  $\overline{RESET}$  se las conectan a la lógica 1 y J, K,  $\overline{SET}$ ,  $\overline{CLOCK}$ ,  $\overline{CLOCK}$  y  $\overline{RESET}$  regresarlas a tierra.

Para los inversores no usados se dejan las entradas no usadas abiertas.

#### Funciones de salida OR ( y AND ):

Estas funciones tienen tres consideraciones básicas: el pull-up activo, el pasivo y la salida de colector abierto. Estas funciones con las configuraciones de colector abierto y de función pasivo han sido diseñadas para permitir que las salidas se conecten para trabajar en salida OR.

Las funciones de salida con la configuración activa no podrán ser conectadas juntas. Si estas salidas fueran conectadas juntas, sería posible que la salida baja de un transistor de un circuito y la salida alta de un transistor de otro circuito que estén en "encendido" simultáneamente.

#### Formato de Especificaciones:

La corriente de entrada  $I$  es usada para determinar los factores de carga de entrada. Esta corriente fluye fuera del aparato. ( por identificación de corriente aquella que fluye hacia el aparato es considerada como positiva ) Tiene un valor de 1,5 mA. Otras especificaciones son:

Impedancia de salida en estado alto	700 ohms nominal
en estado bajo	10 ohms nominal
Disipación de potencia, puerta básica	10 mW

Disipación de potencia, flip-flop básico	40 mW
Impedancia de entrada en estado alto	400 kilohms nominal
en estado bajo	4 kilohms nominal
Frecuencia de flip-flop	30 MHz máximo

#### Requerimiento de la fuente de poder:

El más importante es el de mantener el voltaje nominal a 5 voltios con una variación del  $\pm 5\%$ . Pueden ser usadas múltiples fuentes de poder sin sacrificio de la capacidad de carga de cada circuito integrado, siempre que se sigan las distribuciones de tierra y poder antes expresadas.

Los parámetros usados para determinar los factores de carga están probados para malas condiciones de diseño; por ejemplo: la corriente  $I_{OL}$  de un 7400 está probada con una fuente de voltaje de 4,75 voltios, mientras que la corriente de carga de entrada  $I_F$  está especificada a una de voltaje de 5,25 voltios.

Esto significa que la operación está garantizada aún cuando diferentes fuentes de voltaje son usadas.

Para sistemas operando a 1 MHz o más, la disipación de potencia AC puede hacerse importante. Esto resulta de la superposición de tiempo de las salidas altas y bajas en los transistores, mientras dura la operación normal de switching y tiene como valor típico 0,30 mW/MHz/salida, para una carga de 15 pF.

#### Generación de lógica "1":

Generalmente necesitamos para puertas no usadas una lógica "1". Pueden obtenerse usando la salida de un inversor cuya entrada haya sido puesta a tierra. Esto es conveniente si existe un inversor en el circuito que no vaya a usarse. Otro método es usar  $V_{CC}$  como lógica "1". Esto es aceptable sólo si la fuente de voltaje pueda ser mantenida bajo el límite del voltaje de entrada, que es

de 5,5 voltios. Ya que picos de voltaje se esperan en la fuente de poder, es generalmente apropiado usar una resistencia limitadora.

Asumiendo que la fuente de poder siempre sea menos de 7 voltios y que las entradas pueden soportar una corriente de avalancha de 1,5 mA a 5,5 voltios, la resistencia limitadora podrá ser de 1 kilohm o más grande.

#### Inmunidad al ruido:

Dos tipos de voltaje han sido mencionados en la discusión de factores de carga. El de 2,4 designado como  $V_{OH}$  (voltaje de salida a nivel alto) mientras que el de 0,4 corresponde a  $V_{OL}$  (voltaje de salida a nivel bajo). Es importante notar que dos niveles de voltaje diferentes se usan a la entrada cuando las características de salida son probadas. Considerando en un circuito inversor un voltaje de entrada para un estado lógico "0" es aplicado a la entrada durante las pruebas de las características de salida. El valor de este voltaje de entrada es de 0,8 voltio, por lo tanto el valor de una lógica "0" a la entrada (exclusivo de ruido) puede no ser mayor que 0,4 voltio ( $V_{OL}$ ) ya que los circuitos de la serie 7400 reconocen cualquier voltaje menor que 0,8 voltio como una lógica "0". La inmunidad al ruido  $IC$  es por lo tanto 400 mV con la entrada en una lógica "0". De idéntica manera puede obtenerse la inmunidad al ruido para una lógica "1".

#### Factores de carga:

Con el objeto de completar un sistema, el diseñador debe tener conocimiento de cuantas entradas pueden ser manejadas libremente para una salida dada. Esta está dada por la asignación de un FACTOR DE CARGA DE SALIDA a cada salida y un FACTOR DE CARGA DE ENTRADA a cada entrada. En un sistema, la suma de los factores de carga de entrada de todas las entradas conectadas a una salida da-

da, no deberá exceder el factor de carga de salida.

El factor de carga de entrada de un circuito lógico está definido por dos factores: 1) la cantidad de corriente que deberá ser forzada a una entrada para mantener el voltaje de entrada de 2,4 voltios o mayor y 2) la cantidad de corriente que deberá ser sacada de la entrada para asegurar que un voltaje de entrada 0,4 voltio es mantenido. Estas corrientes son designadas por  $I_R$  (Corriente Inversa) y  $I_F$  (Corriente directa) respectivamente.

### CIRCUITOS INTEGRADOS A UTILIZARSE

Confeccionemos una Tabla de todos los circuitos integrados que entrarán en la construcción del Filtro Digital, y que nos servirá como guía en la elaboración de la Lista de Conexiones.

#### 7474 .- Flip-flop J-K (2 por paquete)

Pata 1 = reloj, flip-flop 1	Pata 8 = salida $\bar{Q}$ , flip-flop 2
" 2 = reset	" 9 = salida Q, flip-flop 2
" 3 = entrada K, flip-flop 1	" 10 = entrada K, flip-flop 2
" 4 = Fuente de poder	" 11 = tierra
" 5 = reloj, flip-flop 2	" 12 = salida $\bar{Q}$ , flip-flop 1
" 6 = reset	" 13 = salida Q, flip-flop 1
" 7 = entrada J, flip-flop 2	" 14 = entrada J, flip-flop 1

#### 7404 .- Inversores (6 por paquete)

Pata 1 = entrada, inversor 1	Pata 8 = salida, inversor 4
" 2 = salida, inversor 1	" 9 = entrada, inversor 4
" 3 = entrada, inversor 2	" 10 = salida, inversor 5
" 4 = salida, inversor 2	" 11 = entrada, inversor 5
" 5 = entrada, inversor 3	" 12 = salida, inversor 6
" 6 = salida, inversor 3	" 13 = entrada, inversor 6
" 7 = tierra	" 14 = Fuente de poder

11C306 .- Puerta "AND", 3 entradas. (3 por paquete)

Pata 1 = entrada, puerta 1	Pata 8 = salida, puerta 3
" 2 = entrada, puerta 1	" 9 = entrada, puerta 3
" 3 = entrada, puerta 2	" 10 = entrada, puerta 3
" 4 = entrada, puerta 2	" 11 = entrada, puerta 3
" 5 = entrada, puerta 2	" 12 = salida, puerta 1
" 6 = salida, puerta 2	" 13 = entrada, puerta 1
" 7 = tierra	" 14 = fuente de poder

11C303 .- Puertas "OR" de 2 entradas. (4 por paquete)

Pata 1 = entrada, puerta 1	Pata 8 = salida, puerta 3
" 2 = entrada, puerta 1	" 9 = entrada, puerta 3
" 3 = salida, puerta 1	" 10 = entrada, puerta 3
" 4 = entrada, puerta 2	" 11 = salida, puerta 4
" 5 = entrada, puerta 2	" 12 = entrada, puerta 4
" 6 = salida, puerta 2	" 13 = entrada, puerta 4
" 7 = tierra	" 14 = fuente de poder

11C7479 .- Flip-flop D. (2 por paquete)

Pata 1 = clear, flip-flop 1	Pata 8 = salida $\bar{Q}$ , flip-flop 2
" 2 = entrada D, flip-flop 1	" 9 = salida $Q$ , flip-flop 2
" 3 = reloj, flip-flop 1	" 10 = preset, flip-flop 2
" 4 = preset, flip-flop 1	" 11 = reloj, flip-flop 2
" 5 = salida $Q$ , flip-flop 1	" 12 = entrada D, flip-flop 2
" 6 = salida $Q$ , flip-flop 1	" 13 = clear, flip-flop 2
" 7 = tierra	" 14 = fuente de poder

SN7400 .- Puertas "NAND" de 2 entradas. (4 por paquete)

Pata 1 = entrada, puerta 1	Pata 8 = salida, puerta 3
" 2 = entrada, puerta 1	" 9 = entrada, puerta 3
" 3 = salida, puerta 1	" 10 = entrada, puerta 3
" 4 = entrada, puerta 2	" 11 = salida, puerta 4

Pata 5 = entrada, puerta 2  
" 6 = salida, puerta 2  
" 7 = tierra

Pata 12 = entrada, puerta 4  
" 13 = entrada, puerta 4  
" 14 = fuente de poder

IC7430 .- Puerta "NAND" de 8 entradas. (1 por paquete)

Pata 1 = entrada  
" 2 = entrada  
" 3 = entrada  
" 4 = entrada  
" 5 = entrada  
" 6 = entrada  
" 7 = tierra

Pata 8 = salida  
" 9 = sin conexión  
" 10 = sin conexión  
" 11 = entrada  
" 12 = entrada  
" 13 = sin conexión  
" 14 = fuente de poder

IC27482 .- Sumador de 2 Bits completos

Pata 1 = suma bit 1  
" 2 = entrada sumador 1  
" 3 = entrada sumador 1  
" 4 = fuente de poder  
" 5 = transporte de entrada  
" 6 = sin conexión  
" 7 = salida OR exclusiva

Pata 8 = salida OR exclusiva  
" 9 = sin conexión  
" 10 = transporte de salida  
" 11 = tierra  
" 12 = suma bit 2  
" 13 = entrada sumador 2  
" 14 = entrada sumador 2

El alambre que vamos a utilizar para unir las patas de los circuitos digitales es el #30. Tiene una resistencia de 103 ohmios/1.000 pies. Sería interesante calcular la resistencia que tendrá el alambre a lo largo de una columna si esta mide 0,5 pie. Esta resistencia tendrá un valor de  $\frac{0,5 \times 103}{1.000} = 0,0515$  ohmios.

Ya que los sumadores IC27482 son los circuitos integrados que en mayor número aparecen en nuestro Filtro Digital, exactamente 175, se hace necesario un comentario adicional de sus características y su modo de empleo. Este sumador tiene un Factor de Carga de Entrada igual a 2 y uno de entrada de transporte igual a 3. Su Factor de Carga de

Salida es de 10, tanto para su suma resultante como para el transporte. Hay que anotar que en los sumadores no usados, hay que hacer ambas entradas "0" y dejar su suma resultante sin conexión. Además tienen una Disipación de Potencia igual a 165 mW por paquete.

El flip-flop D MC7479 tiene múltiples aplicaciones. Se lo puede usar en contadores, registros, etc. Tiene un Factor de Carga de Salida de 10. Un Factor de Carga de entrada para D igual a 1; para SET y CLOCK igual a 2, y para RESET igual a 3. En este tipo de flip-flop hacemos las entradas CLEAR y PRESET igual a "1". Tiene una disipación de Potencia igual a 84 mW por paquete y opera a una frecuencia de 30 MHz. Tiene una salida de corriente de  $8,2 \text{ mA} \times 2 = 16,4 \text{ mA}$ .

Como no poseemos datos de la salida de corriente para el sumador MC27482 lo podremos obtener de su valor de Disipación de Potencia, para que de esta manera lleguemos a calcular el valor de la Disipación de Potencia total en el cable por cada columna de paquete de circuitos digitales:

$$P = V \times I$$

$$165 \text{ mW} = 5 \text{ voltios} \times I$$

$$I = 35 \text{ mA}$$



BIBLIOTECA

Luego la corriente total por columna será igual a la suma de la corriente de un flip-flop D más  $6 \times 35 \text{ mA} = 210 \text{ mA}$  de seis sumadores, y es igual a 226,4 mA.

El voltaje en el cable será el siguiente:

$$V = 226,4 \text{ mA} \times 0,0515 \text{ ohmios}$$

$$= 11,66 \text{ mV}$$

La Potencia de Disipación en un cable seri:

$$P_{disp.} = 11,66 \text{ mV} \times 226,4 \text{ mA}$$

$$= 2,65 \text{ mW}$$

El flip-flop J-K MC1474 tiene un Factor de Carga de Salida de 10, y uno de Entrada J y K de 1. Para RESET y CLOCK el Factor de Carga de Entrada es de 2. Debemos tener siempre su RESET en el estado "1".

Estamos en condiciones ahora de definir cuál de los dos tipos de flip-flop, el J-K ó el D, es el más ventajoso para nuestras necesidades de Registro. Supongamos en ambos casos un registro de 4 bits:

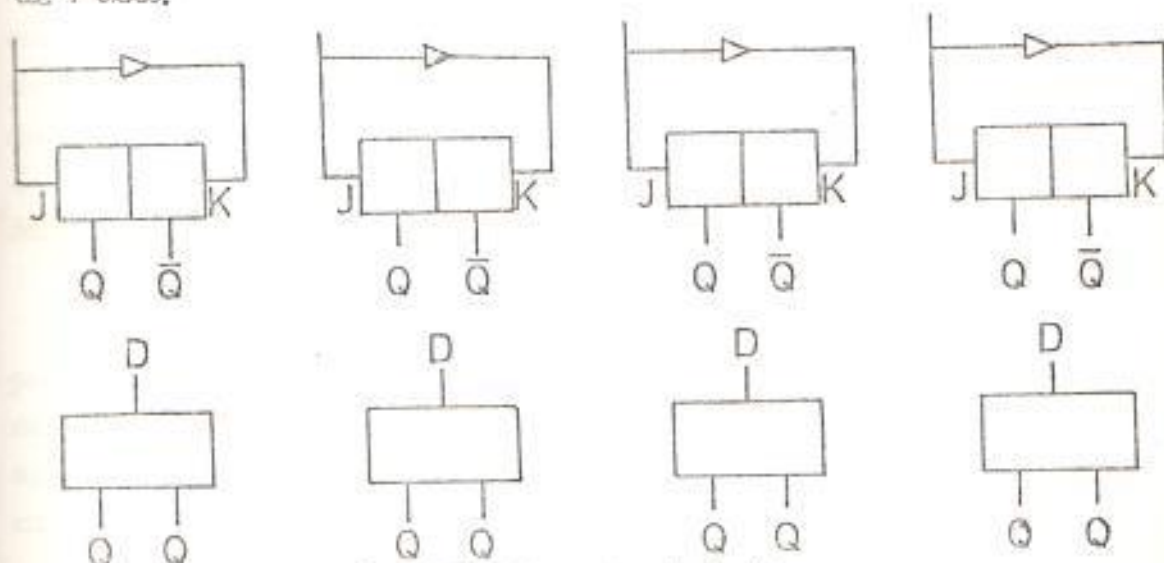


Fig. IV 1 Registro de 4 bits con flip-flops J-K y D.

Mientras que el flip-flop D no necesita ningún elemento adicional para registrar 4 bits, el flip-flop J-K necesitará aparte de un



abundante cableado, un inversor adicional por cada registro.

Por este motivo preferimos los flip-flops D como registros.

El  $7400$ , que son 4 puertas "NAND" con 2 entradas cada una, tiene un factor de Carga de Salida igual a 10 y uno de entrada igual a 1. Posee una Disipación de Potencia igual a  $40 \text{ mW}$  por paquete. Si existen puertas no usadas de este tipo, como de cualquier otro, sus entradas deberán ser conectadas de una manera tal que haga que su salida se encuentre en su nivel más alto, es decir "1", minimizando así la carga de Potencia.

Los inversores  $7404$  tienen un Factor de Carga de Salida de 10 y de Entrada de 1. Tiene una Disipación de Potencia de  $60 \text{ mW}$  por paquete.

Habíamos visto que el circuito integrado  $7437$  de Fig. III 21 que actuará como amplificador de señal de reloj, tendrá un fan-out de 30. Entonces podremos decir que los flip-flops que podrá alimentar la salida de cada puerta, si el Factor de Carga de Entrada de la señal de reloj es de 2, serán de 15 por salida de cada puerta.

Por último, dejemos establecido que para la obtención de la lógica "1" el método que vamos a adoptar es el colocar una resistencia de 1 kilohmio a la salida de la fuente de poder, para obtener así hasta 35 entradas "1". También establecemos que colocaremos capacitores de  $0,01 \mu\text{F}$  por cada 8 paquetes.

En nuestro particular caso, colocaremos un capacitor por cada columna, contando cada una de ellas con un máximo de 7 paquetes y un mínimo de 5.

LISTA DE CONEXIONES DEL FILTRO DIGITAL

Siendo nuestro fin el elaborar una Lista de Conexiones para el Filtro Digital, primero hablemos algo sobre este tipo de filtros.

Como sabemos, filtro, hablando de una manera general, es un dispositivo selectivo que transmite un márgen determinado de materia o de energía, en tanto acentúa sustancialmente todos los de más. Por tanto, un filtro eléctrico es una red que transmite corrientes alternas de frecuencia deseada en tanto acentúa sustancialmente las demás frecuencias. Un filtro acústico transmite so lamente las frecuencias sonoras deseada. Un filtro óptico trans mite los márgenes de longitud de ondas deseada en los espectros visibles, ultravioletas e infrarrojos.

El filtro digital es algo diferente; es un filtro crítico.

Los filtros comunes, con elementos como  $R$ ,  $L$  o  $C$  tienen una respuesta de frecuencia. El filtro digital también la tiene.

Pero una diferencia de este filtro digital de los otros, es que su señal de entrada no es un voltaje que varía. Es un número que varía. Por "varía" se entiende que en tiempos de bits sucesivos el valor cambia, como por ejemplo en la señal de reloj.

En los filtros con elementos como  $R$ ,  $L$  o  $C$ , si se tiene a la en trada una señal sinusoidal, a la salida tendremos una señal algo semejante en frecuencia, pero con otra amplitud y otra fase.

Si se trata de números como en el filtro digital, para graficar los se necesitará papel del tamaño de una pared, debido a la gran cantidad que de ellos existen.

Las operaciones aritméticas hacen que se obtengan a la salida la señal a la amplitud, fase y frecuencia deseada.

Nuestro próximo paso es el de planificar la construcción de este filtro, basándonos en el diagrama que hemos llamado " el arreglo final " de la Fig. II 13. Además como antes ya lo hemos mencionado, contaremos con todos los circuitos integrados, sus respectivos zócalos sobre los cuales serán montados 6 rollos de alambre # 30 para conexiones de los siguientes colores:

Pojo	R	Negro	N
Verde Claro	V	Amarillo	M
Anaranjado	A	Verde oscuro	O

De estos utilizaremos el rojo (R) para las conexiones de la Fuente de Poder y el negro (N) para las conexiones de Tierra. El resto servirán para conectar las patas restantes de los zócalos.

Tenemos dos alternativas para construir el soporte de los paquetes de Circuitos Integrados: a) Utilizar varillas delgadas, precionando los paquetes de circuitos con pequeñas tuercas y b) Obtener un tablero de circuitos.

El inciso b) es el más apropiado ya que el a) nos acarreará muchos problemas de cortocircuitos.

Afortunadamente el Ing. Lee Giacoletto del Departamento de Digitales de la Politécnica tenía uno de su propiedad, el cual nos lo cedió gentilmente.

Lo primero que hicimos con el tablero fue de cortarlo a la medida indicada por la Fig. II 13. Luego fuimos colocando uno a uno los zócalos, pegándolos contra el tablero con una gotita de Ega Epoxy. Ahora procedemos a fabricar los dos alambres que nos servirán como Fuente de Poder y Tierra.

Comparamos un rollo de alambre # 18 y con una pistola de soldar de 140 wattios, los cubrimos de soldadura de estaño para conseguir con este método un mejor contacto entre alambres y una propagación continua y segura de los 5 voltios de la Fuente y la Tierra. Como se aconseja para los circuitos TTL dejar la mayor cantidad posible para la tierra, colocamos los 2 alambres impregnados de soldadura a lo largo del tablero de circuitos.

Antes de elaborar la Lista de Conexiones, ya que existen alrededor de tres mil de ellas, vamos a necesitar de un tipo de diagrama para enumerarlas. Escogeré uno de los dos siguientes:

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO

PATA	HECHO	CHEQUEO	TITULO LOGICO

Debido a que la gran mayoría de las conexiones van de un sólo lugar a otro, preferimos el primer método para enumerarlas.

En nuestra columna de "Titulo Logico" usaremos las siguientes abreviaturas:

- Ent = Entrada
- Inv = Inversor
- Sal = Salida
- S = Sumador
- Transp = Transporte
- Puer = Puerta

IN = Inversores  
 Q = Inversores  
 Exc = Exclusiva

Además nombraremos a las dos entradas de cada sumador por a y b, escogiendo como a, la entrada derecha del sumador en el Diagrama del Filtro Digital, y por b la izquierda.

Por último en nuestra columna de "Título Lógico", a las patas de los flip-flops los llamaremos por sus respectivos nombres; ejemplo: Q, CLR, D, J, etc.

Entonces, antes de colocar los paquetes de circuitos integrados en los zócalos, conectamos las patitas de estos ya pegados, en base a la siguiente lista de conexiones:

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
02-A-01	03-A-09	A	X	Ent Inv IB (1) - Q11Y2
02-A-02	02-A-05	VC	X	Sal Inv IB (1) - Ent Inv IB (3)
02-A-06	02-B-13	VC	X	Sal Inv IB (3) - Ent (b) Sal4
	02-D-03	VC	X	- Ent (b) Sn13
	01-D-13	VD	X	- Ent (b) Sn14
	01-D-03	VD	X	- Ent (b) Sn15
	02-D-13	VO	X	- Ent (b) Sn16
02-A-03	03-A-09	VC	X	Ent Inv IB (2) - Q11Y2
02-A-04	02-A-13	VC	X	Sal Inv (2) - Ent Inv IB (6)
02-A-12	04-D-03	VC	X	Sal Inv (6) - Ent (b) Sn9
	04-D-13	VC	X	- Ent (b) Sn10
	03-D-03	VC	X	- Ent (b) Sn11
	03-D-13	VC	X	- Ent (b) Sn12
	01-E-03	VC	X	- Ent (b) Sn17
02-A-07	-Vcc	N	X	Tierra Inv - Tierra
02-A-08	02-A-11	A	X	Sal Inv (4) - Ent Inv (5)
02-A-10	01-B-13	VC	X	Sal Inv (5) - Ent Sil4 (b)
	01-B-14	VC	X	- Ent Sil4 (a)
	01-B-02	VC	X	- Ent Sil3 (a)
	01-C-14	VC	X	- Ent Sil2 (a)
	01-C-02	VC	X	- Ent Sil1 (a)
02-A-14	+Vcc	R	X	Vcc Inv - Fuente de Poder

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
03-A-01	R1K	AM	X	Clear 10Y2 - Ent "1"
03-A-02	09-A-09	VC	X	Ent 10Y2 - Q10Y3
03-A-04	R1K	AM	X	Preset 10Y2 - Ent "1"
03-A-05	02-B-03	VO	X	Q10Y2 - Ent (b) Sa13
	05-D-13	VO	X	- Ent (b) Sn8
03-A-06	04-B-14	A	X	Q10Y2 - Ent (a) Sa10
03-A-07	-Vcc	N	X	Tierra 10Y2 - Tierra
03-A-08	03-B-02	A	X	Q11Y2 - Ent (a) Sa11
	03-B-14	A	X	- Ent (a) Sa12
	02-B-02	A	X	- Ent (a) Sa13
	02-B-14	A	X	- Ent (a) Sa14
03-A-10	R1K	AM	X	Preset 11Y2 - Ent 1
03-A-12	08-A-05	A	X	Ent 11Y2 - Q11Y3
03-A-13	R1K	AM	X	Clear 11Y2 - Ent "1"
03-A-14	+Vcc	R	X	Vcc 10 y 11 de Y2 - Fuente de Poder
04-A-01	R1K	AM	X	Clear 8Y2 - Ent "1"
04-A-02	10-A-09	VC	X	Ent 8Y2 - Q8Y3
04-A-04	R1K	AM	X	Preset 8Y2 - Ent "1"
04-A-05	03-B-03	VO	X	Q8Y2 - Ent (b) Sa 11
	06-D-13	VC	X	- Ent (b) Sn6
04-A-06	05-B-14	A	X	Q8Y2 - Ent (a) Sa8
04-A-07	-Vcc	N	X	Tierra 8 y 9 Y2 - Tierra
04-A-08	04-B-02	VC	X	Q9Y2 - Ent (a) Sa9
04-A-09	03-B-13	A	X	Q9Y2 - Ent (b) Sa12
	05-D-03	A	X	- Ent (b) Sn7
04-A-10	R1K	AM	X	Preset 9Y2 - Ent "1"
04-A-12	09-A-05	VC	X	Ent 9Y2 - Q9Y3
04-A-13	R1K	AM	X	Clear 9Y2 - Ent "1"
04-A-14	+Vcc	R	X	Vcc 8 y 9Y2 - Fuente de Poder
05-A-01	R1K	AM	X	Clear 6Y2 - Ent "1"
05-A-02	11-A-09	A	X	Ent 6Y2 - Q6Y3
05-A-04	R1K	AM	X	Preset 6Y2 - Ent "1"
05-A-05	04-B-03	VC	X	Q6Y2 - Ent (b) Sa9
	07-D-13	VC	X	- Ent (b) Sn4
05-A-06	06-B-14	VO	X	Q6Y2 - Ent (a) Sa6
05-A-07	-Vcc	N	X	Tierra 6 y 7Y2 - Tierra
05-A-08	05-B-02	A	X	Q7Y2 - Ent (a) Sa7
05-A-09	04-B-13	VC	X	Q7Y2 - Ent (b) Sa10
	06-D-03	VC	X	- Ent (b) Sn5
05-A-10	R1K	AM	X	Preset 7Y2 - Ent "1"
05-A-12	10-A-05	VO	X	Ent 7Y2 - Q7Y3
05-A-14	+Vcc	R	X	Vcc 6 y 7Y2 - Fuente de Poder
06-A-01	R1K	AM	X	Clear 4Y2 - Ent "1"
06-A-02	12-A-09	A	X	Ent 4Y2 - Q4Y3
06-A-04	R1K	AM	X	Preset 4Y2 - Ent "1"

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
06-A-05	05-B-03	VC	X	Q4Y2 - Ent (b) Sa7
	08-D-13	VC	X	- Ent (b) Sn2
06-A-06	07-B-14	A	X	Q4Y2 - Ent (a) Sa4
06-A-07	-Vcc	N	X	Tierra 4 y 5Y2 - Tierra
06-A-09	05-B-13	VC	X	Q5Y2 - Ent (b) Sa8
	07-D-03	VC	X	- Ent (b) Sn3
06-A-10	R1K	AM	X	Preset 5Y2 - Ent "1"
06-A-12	11-A-05	A	X	Ent 5Y2 - Q5Y3
06-A-13	R1K	AM	X	Clear 5Y2 - Ent "1"
06-A-14	+Vcc	R	X	Vcc 4 y 5Y2 - Fuente de Poder
07-A-01	R1K	AM	X	Clear 2Y2 - Ent "1"
07-A-02	13-A-09	VC	X	Ent 2Y2 - Q2Y3
07-A-04	R1K	AM	X	Preset 2Y2 - Ent "1"
07-A-05	06-B-03	A	X	Q2Y2 - Ent Sa5 (b)
	05-E-03	A	X	- Ent IN2
07-A-06	08-B-14	VC	X	Q2Y2 - Ent Sa2 (a)
07-A-07	-Vcc	N	X	Tierra 2 y 3Y2 - Tierra
07-A-08	07-D-02	A	X	Q3Y2 - Ent Sa3 (a)
07-A-09	06-B-13	VC	X	Q3Y2 - Ent Sa6 (b)
	08-D-02	VC	X	- Ent Sn1 (a)
07-A-10	R1K	AM	X	Preset 3Y2 - Ent "1"
07-A-12	12-A-05	VC	X	Ent 3Y2 - Q3Y3
07-A-13	R1K	AM	X	Clear 3Y2 - Ent "1"
07-A-14	+Vcc	R	X	Vcc 2 y 3Y2 - Fuente de Poder
08-A-01	R1K	AM	X	Clear 11Y3 - Ent "1"
08-A-02	14-A-01	A	X	Ent 11Y3 - Sal SU11
08-A-04	R1K	AM	X	Preset 11Y3 - Ent "1"
08-A-05	10-B-14	A	X	- Ent Sb10 (a)
	10-B-03	A	X	- Ent Sb9 (b)
	11-B-13	A	X	- Ent Sb8 (b)
08-A-06	08-C-14	VC	X	Q11Y3 - Ent Sc14 (a)
	08-C-02	VC	X	- Ent Sc13 (a)
	09-C-14	VC	X	- Ent Sc12 (a)
	09-C-02	VC	X	- Ent Sc11 (a)
08-A-07	+Vcc	N	X	Tierra 11Y3 y 1Y2 - Tierra
08-A-08	08-B-02	A	X	Q1Y2 - Ent Sa1 (a)
08-A-09	07-B-13	VC	X	Q1Y2 - Ent Sa4 (b)
	05-E-01		X	- IN1
08-A-10	R1K	AM	X	Preset 1Y2 - Ent "1"
08-A-12	13-A-05	A	X	Ent 1Y2 - Q1Y3
08-A-13	R1K	AM	X	Clear 1Y2 - Ent "1"
08-A-14	+Vcc	R	X	Vcc 1Y2 y 11Y3 - Fuente de Poder
09-A-01	R1K	AM	X	Clear 9Y3 - Ent "1"
09-A-02	15-A-01	VC	X	Ent 9Y3 - Sal SV9
09-A-04	R1K	AM	X	Preset 9Y3 - Ent "1"

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
09-A-05	10-B-02	AM	X	Q9Y3 - Ent 5b9 (a)
	12-B-13	AM	X	- Ent 5b6 (b)
	08-C-03	AM	X	- Ent Sc13 (b)
09-A-06	10-C-02	A	X	Q9Y3 - Ent Sc9 (a)
09-A-07	-Vcc	N	X	Tierra 9 y 10Y3 - Tierra
09-A-08	10-C-14	VC	X	Q10Y3 - Ent Sc10 (a)
09-A-09	10-B-13	AM	X	Q10Y3 - Ent Sb10 (b)
	11-B-03	AM	X	- Ent 5b7 (b)
	08-C-13	AM	X	- Ent Sc14 (b)
09-A-10	R1K	AM	X	Preset 10Y3 - Ent "1"
09-A-12	15-A-12	VC	X	Ent 10Y3 - Sal 5U10
09-A-13	R1K	AM	X	Clear 10Y3 - Ent "1"
09-A-14	+Vcc	R	X	Vcc 9 y 10Y3 - Fuente de Poder
10-A-01	R1K	AM	X	Clear 7Y3 - Ent "1"
10-A-02	16-A-01	A	X	Ent 7Y3 - Sal 5U7
10-A-04	R1K	AM	X	Preset 7Y3 - Ent "1"
10-A-05	11-B-02	VC	X	Q7Y3 - Ent 5b7 (a)
	13-B-13	VC	X	- Ent 5b4 (b)
	09-C-03	VC	X	- Ent Sc11 (b)
10-A-06	11-C-02	VO	X	Q7Y3 - Ent Sc7 (a)
10-A-07	-Vcc	N	X	Tierra 7Y3 - Tierra
10-A-08	11-C-14	VC	X	Q8Y3 - Ent Sc8 (a)
10-A-09	11-B-14	AM	X	Q8Y3 - Ent 5b8 (a)
	12-B-03	AM	X	- Ent 5b5 (b)
	09-C-13	AM	X	- Ent Sc12 (b)
10-A-10	R1K	AM	X	Preset 8Y3 - Ent "1"
10-A-12	16-A-12	VO	X	Ent 8Y3 - Sal 5U8
10-A-13	R1K	AM	X	Clear 8Y3 - Ent "1"
10-A-14	+Vcc	R	X	Vcc 7y8Y3 - Fuente de Poder
11-A-01	R1K	AM	X	Clear 5Y3 - Ent "1"
11-A-02	15-B-01	VC	X	Ent 5Y3 - Sal 5U5
11-A-04	R1K	AM	X	Preset 5Y3 - Ent "1"
11-A-05	12-B-02	A	X	Q5Y3 - Ent 55b (a)
	14-B-13	A	X	- Ent 52b (b)
	10-C-03	A	X	- Ent Sc9 (b)
11-A-06	12-C-02	A	X	Q5Y3 - Ent Sc5 (a)
11-A-07	-Vcc	N	X	Tierra 5 y 6Y3 - Tierra
11-A-08	12-C-14	VO	X	Q6Y3 - Ent Sc6 (a)
11-A-09	12-B-14	VC	X	Q6Y3 - Ent 56b (a)
	13-B-03	VC	X	- Ent 53b (b)
	10-C-13	VC	X	- Ent 510c (b)
11-A-10	R1K	AM	X	Preset 6Y3 - Ent "1"
11-A-12	15-B-12	VC	X	Ent 6Y3 - Sal 5U6
11-A-13	R1K	AM	X	Clear 6Y3 - Ent "1"
11-A-14	+Vcc	R	X	Vcc 5 y 6Y3 - Fuente de Poder



DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
12-A-01	R1K	AM	X	Clear 3Y3 - Ent "1"
12-A-02	16-B-01	VC	X	Ent 3Y3 - Sal 5U3
12-A-04	R1K	AM	X	Preset 3Y3 - Ent "1"
12-A-05	13-B-02	AM	X	Q3Y3 - Ent 53b (a)
	11-C-03	AM	X	- Ent Sc7 (b)
	15-E-02	AM	X	- Ent 5pl (a)
12-A-06	13-C-02	VO	X	Q3Y3 - Ent Sc3 (a)
12-A-07	-Vcc	N	X	Tierra 3 y 4Y3 - Tierra
12-A-08	13-C-14	A	X	Q4Y3 - Ent Sc4 (a)
12-A-09	13-B-14	A	X	Q4Y3 - Ent 54b (a)
	14-B-03	A	X	- Ent 51b (b)
	11-C-13	A	X	- Ent Sc8 (b)
12-A-10	R1K	AM	X	Preset 4Y3 - Ent "1"
12-A-12	16-B-12	VC	X	Ent 4Y3 - Sal 5U4
12-A-13	R1K	AM	X	Clear 4Y3 - Ent "1"
12-A-14	+Vcc	R	X	Vcc 3 y 4Y3 - Fuente de Poder
13-A-01	R1K	AM	X	Clear 1Y3 - Ent "1"
13-A-02	15-C-01	VO	X	Ent 1Y3 - Sal 5U1
13-A-04	R1K	AM	X	Preset 1Y3 - Ent "1"
13-A-05	14-B-02	VC	X	Q1Y3 - Ent b1 (a)
	12-C-03	VC	X	- Ent Sc 5 (b)
	14-F-03	VC	X	- Ent Sal (b)
13-A-06	14-C-02	A	X	Q1Y3 - Ent Sc1 (a)
13-A-07	-Vcc	N	X	Tierra 1 y 2Y3 - Tierra
13-A-08	14-C-14	VC	X	Q2Y3 - Ent Sc2 (a)
13-A-09	14-B-14	AM	X	Q2Y3 - Ent 5b2 (a)
	12-C-13	AM	X	- Ent 56c (b)
	14-F-13	AM	X	- Ent 5a2 (b)
13-A-10	R1K	AM	X	Preset 2Y3 - Ent "1"
13-A-12	15-C-12	VO	X	Ent 2Y3 - Sal 5U2
13-A-13	R1K	AM	X	Clear 2Y3 - Ent "1"
13-A-14	+Vcc	R	X	Vcc 1 y 2Y3 - Fuente de Poder
14-A-02	11-G-12	A	X	Ent 5U11 (a) - Sal 5u20
14-A-03	-Vcc	N	X	Ent 5U11(b) - Ent "0"
14-A-04	+Vcc	R	X	Vcc 5U11 y 12 - Fuente de Poder
14-A-05	15-A-10	A	X	Transp 5U11 - Transp 5U10
14-A-06	Sin conexión	X	X	Sin conexión - Sin conexión
14-A-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
14-A-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
14-A-09	Sin conexión	X	X	Sin conexión - Sin conexión
14-A-10	Sin conexión	X	X	Transp 5U12 - Sin conexión
14-A-11	-Vcc	N	X	Tierra 5U11 y 12 - Tierra
14-A-12	Sin conexión	X	X	Sal 5U12 - Sin conexión
14-A-13	-Vcc	N	X	Ent 5U12 (b) - Ent "0"
14-A-14	10-G-01	VC	X	Ent 5U12 (a) - Sal 5u21

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
15-A-02	12-G-12	VC	X	Ent SU 9 (a) - Sal Sul8
15-A-03	-Vcc	N	X	Ent SU 9 (b) - Ent "0"
15-A-04	+Vcc	R	X	Vcc SU 9 y 10 - Fuente de Poder
15-A-05	16-A-10	A	X	Transp SU 9 - Transp SU 8
15-A-06	Sin conexión	X	X	Sin conexión
15-A-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
15-A-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
15-A-09	Sin conexión	X	X	Sin conexión
15-A-11	-Vcc	N	X	Tierra S 9 y 10 - Tierra
15-A-13	-Vcc	N	X	Ent SU 10 (b) - Ent "0"
15-A-14	11-G-01	VC	X	Ent SU 10 (a) - Sal Sul9
16-A-02	13-G-12	VO	X	Ent SU 7 (a) - Sal Sul6
16-A-03	-Vcc	N	X	Ent SU 7 (b) - Ent "0"
16-A-04	+Vcc	R	X	Vcc SU 7 y 8 - Fuente de Poder
16-A-05	15-B-10	A	X	Transp SU 7 - Transp SU 6
16-A-06	Sin conexión	X	X	Sin conexión
16-A-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
16-A-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
16-A-09	Sin conexión	X	X	Sin conexión
16-A-11	-Vcc	N	X	Tierra SU 7 y 8 - Tierra
16-A-13	-Vcc	N	X	Ent SU 8 (b) - Ent "0"
16-A-14	12-G-01	A	X	Ent SU 8 (a) - Sal Sul7
17-A-01	Sin conexión	X	X	Sin conexión
17-A-02	Sin conexión	X	X	Sin conexión
17-A-03	Sin conexión	X	X	Sin conexión
17-A-04	Sin conexión	X	X	Sin conexión
17-A-06	Sin conexión	X	X	Sin conexión
17-A-07	-Vcc	N	X	Tierra Oscilador - Tierra
17-A-08	18-A-10	VO	X	Sal - Ent KD12
	18-A-07	VC	X	- Ent JD12
	18-A-05	A	X	- Reloj D12
17-A-09	Sin conexión	X	X	Sin conexión
17-A-10	Sin conexión	X	X	Sin conexión
17-A-11	Sin conexión	X	X	Sin conexión
17-A-12	Sin conexión	X	X	Sin conexión
17-A-13	Sin conexión	X	X	Sin conexión
17-A-14	+Vcc	R	X	5 V dc - Fuente de Poder
18-A-02	R1K	X	X	Reset D11 - Ent "1"
18-A-04	+Vcc	R	X	Vcc D11 y 12 - Fuente de Poder
18-A-05	R1K	X	X	Reset D12 - Ent "1"
18-A-08	Sin conexión	X	X	Q D12 - Sin conexión
18-A-09	18-A-14	A	X	Q D12 - J D11
	18-A-01	A	X	- Reloj D11
	18-A-03	A	X	- K D11
	19-A-10	A	X	- K D10

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
	19-A-03	A	X	- K D9
	24-A-02	A	X	- Ent Puer D
19-A-03	22-A-05	A	X	Sal Puer D - Reloj D4
	22-A-03	A	X	- K D3
	23-A-10	A	X	- K D2
	23-A-03	A	X	- K D1
	23-A-01	A	X	- Reloj D1
19-A-11	-Vcc	N	X	Tierra D11 y 12 - Tierra
19-A-12	19-A-01	VO	X	Q D11 - Reloj D9
	19-A-05	A	X	- Reloj D10
19-A-13	Sin conexión	X	X	Q D11 - Sin conexión
19-A-02	R1K	X	X	Reset D9 - Ent "1"
19-A-04	+Vcc	R	X	Vcc D9 y 10 - Fuente de Poder
19-A-06	R1K	X	X	Reset D10 - Ent "1"
19-A-08	Sin conexión	X	X	Q D10 - Sin conexión
19-A-09	19-A-14	VC	X	Q D10 - J D9
19-A-11	-Vcc	N	X	Tierra D9 y 10 - Tierra
19-A-12	20-A-10	A	X	Q D9 - J D8
	20-A-07	VC	X	- Reloj D8
	20-A-05	VO	X	- K D8
19-A-13	19-A-07	A	X	Q D9 - J D10
	12 Selector			- 12 Selector
20-A-02	R1K	X	X	Reset D7 - Ent "1"
20-A-04	+Vcc	R	X	Vcc D7 y 8 - Fuente de Poder
20-A-06	R1K	X	X	Reset D8 - Ent "1"
20-A-08	24 Selector			Q D8 - 24 Selector
20-A-09	Sin conexión	X	X	Q D8 - Sin conexión
20-A-11	-Vcc	N	X	Tierra D7 y 8 - Tierra
20-A-12	Sin conexión	X	X	Q D7 - Sin conexión
20-A-13	21-A-07	VO	X	Q D7 - J D6
	150 Selector			- 150 Selector
20-A-14	21-A-09	VC	X	J D7 - Q D6
21-A-01	22-A-09	A	X	Reloj D5 - Q D4
21-A-02	R1K	X	X	Reset D5 - Ent "1"
21-A-03	R1K	X	X	K D5 - Ent "1"
21-A-04	+Vcc	R	X	Vcc D5 y 6 - Fuente de Poder
21-A-06	R1K	X	X	Reset D6 - Ent "1"
21-A-08	Sin conexión	X	X	Q D6 - Sin Conexión
21-A-11	-Vcc	N	X	Tierra D5 y 6 - Tierra
21-A-12	21-A-10	A	X	Q D5 - K D6
	20-A-03	VC	X	- K D7
	20-A-01	VO	X	- Reloj D7
	21-A-05	VC	X	- Reloj D6
	24-A-09	VO	X	- Puer D (1)
21-A-13	24-A-13	VO	X	Q D5 - Puer D (2)

ESQUE	A	HECHO	CHEQUEO	TITULO LOGICO
	50 Selector			- 50 Selector
24-1-02	R1K	X	X	Reset D3 - Ent "1"
24-1-04	Vcc		X	Vcc D3 y 4 - Fuente de Poder
24-1-06	R1K	X	X	Reset D4 - Ent "1"
24-1-08	24-A-12	VO	X	Q D4 - Puer 0 (2)
24-1-11	-Vcc	N	X	Tierra D3 y 4 - Tierra
24-1-12	25-A-09	VO	X	Q D3 - Puer Y
24-1-13	Sin conexión	X	X	Q D3 - Sin conexión
24-1-14	R1K	X	X	J D3 - Ent "1"
25-1-02	R1K	X	X	Reset D1 - Ent "1"
25-1-04	+Vcc	R	X	Vcc D1 y 2 - Fuente de Poder
25-1-06	R1K	X	X	Reset D2 - Ent "1"
25-1-07	R1K	X	X	J D2 - Ent "1"
25-1-08	Sin conexión	X	X	Q D2 - Sin conexión
25-1-09	22-A-01	A	X	Q D2 - Reloj D3
	25-A-10	VO	X	- Puer Y
25-1-11	-Vcc	N	X	Tierra D1 y 2 - Tierra
25-1-12	23-A-05	VC	X	Q D1 - Reloj D2
	25-A-11	VO	X	- Puer Y
25-1-13	Sin conexión	X	X	Q D1 - Sin conexión
25-1-01	-Vcc	N	X	Ent Puer 0 - Ent "0"
25-1-05	-Vcc	A	X	Ent Puer 0 - Ent "0"
25-1-07	-Vcc	N	X	Tierra Puer 0 - Tierra
25-1-08	22-A-10	VC	X	Sal Puer 0 (1) - K D4
25-1-11	23-A-14	A	X	Sal Puer 0 (2) - J D1
25-1-14	+Vcc	R	X	Vcc Puer 0 - Fuente de Poder
25-A-01	R1K	X	X	Ent Puer Y - Ent "1"
25-A-02	R1K	X	X	Ent Puer Y - Ent "1"
25-A-03	R1K	X	X	Ent Puer Y - Ent "1"
25-A-04	R1K	X	X	Ent Puer Y - Ent "1"
25-A-05	R1K	X	X	Ent Puer Y - Ent "1"
25-A-06	Sin conexión	X	X	Sal Puer Y - Sin conexión
25-A-07	-Vcc	N	X	Tierra Puer Y - Tierra
25-A-08	24-A-10	VC	X	Sal Puer Y - Ent Puer 0 (1)
	22-A-07	A	X	- J D4
	21-A-14	VC	X	- J D5
25-A-12	Sin conexión	X	X	Sal Puer Y - Sin conexión
25-A-13	R1K	X	X	Ent Puer Y - Ent "1"
25-A-14	+Vcc	R	X	Vcc Puer Y - Fuente de Poder
27-A-01	R1K	AM	X	Clear GEN13 - Ent "1"
27-A-02	28-A-09	VC	X	Ent GEN13 - Q GEN12
27-A-04	R1K	AM	X	Preset GEN13 - Ent "1"
27-A-05	27-A-12	VC	X	Q GEN13 - Ent GEN14
	30-F-03	VC	X	- Ent SG1 (b)
27-A-06	35-A-06	VO	X	Q GEN13 - Puer NAND (2)

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
07-A-07	-Vcc	N	X	Tierra GEN13 y 14 - Tierra
07-A-08	35-A-11	VC	X	Q GEN14 - Puer NAND (2)
	35-A-12	VC	X	- Puer NAND (2)
	34-B-09	VC	X	- Puer D (3)
07-A-09	28-B-12	VO	X	Q GEN14 - Ent GEN15
	34-B-01	VO	X	- Puer D (1)
	30-F-14	A	X	- Ent 5G12 (a)
07-A-10	R1K	AM	X	Preset GEN14 - Ent "1"
07-A-13	R1K	AM	X	Clear GEN14 - Ent "1"
07-A-14	+Vcc	R	X	Vcc GEN13 y 14 - Fuente de Poder
08-A-01	R1K	AM	X	Clear GEN11 - Ent "1"
08-A-02	29-A-09	A	X	Ent GEN11 - Q GEN10
08-A-04	R1K	AM	X	Preset GEN11 - Ent "1"
08-A-05	28-A-12	VC	X	Q GEN11 - Ent GEN12
08-A-06	35-A-04	A	X	Q GEN11 - Puer NAND 2
08-A-07	-Vcc	N	X	Tierra GEN11 y 12 - Tierra
08-A-08	35-A-05	VC	X	Q GEN12 - Puer NAND 2
08-A-10	R1K	AM	X	Preset GEN12 - Ent "1"
08-A-13	R1K	AM	X	Clear GEN12 - Ent "1"
08-A-14	+Vcc	R	X	Vcc GEN11 y 12 - Fuente de Poder
09-A-01	R1K	AM	X	Clear GEN9 - Ent "1"
09-A-02	30-A-09	VC	X	Ent GEN9 - Q GEN8
09-A-04	R1K	A	X	Preset GEN9 - Ent "1"
09-A-05	29-A-12	A	X	Q GEN9 - Ent GEN10
09-A-06	35-A-02	VO	X	Q GEN9 - Puer NAND 2
09-A-07	-Vcc	N	X	Tierra GEN9 y 10 - Tierra
09-A-08	35-A-03	A	X	Q GEN10 - Puer NAND 2
09-A-10	R1K	AM	X	Preset GEN10 - Ent "1"
09-A-13	R1K	AM	X	Clear GEN10 - Ent "1"
09-A-14	+Vcc	R	X	Vcc GEN9 y 10 - Fuente de Poder
10-A-01	R1K	AM	X	Clear GEN7 - Ent "1"
10-A-02	31-A-09	VC	X	Ent GEN7 - Q GEN6
10-A-04	R1K	AM	X	Preset GEN7 - Ent "1"
10-A-05	30-A-12	A	X	Q GEN7 - Ent GEN8
10-A-06	34-A-11	VC	X	Q GEN7 - Puer NAND 1
	34-A-12	VC	X	- Puer NAND 1
10-A-07	-Vcc	N	X	Tierra GEN7 y 8 - Tierra
10-A-08	35-A-01	A	X	Q GEN8 - Puer NAND 2
10-A-10	R1K	AM	X	Preset GEN8 - Ent "1"
10-A-13	R1K	AM	X	Clear GEN8 - Ent "1"
10-A-14	+Vcc	R	X	Vcc GEN7 y 8 - Fuente de Poder
11-A-01	R1K	AM	X	Clear GEN5 - Ent "1"
11-A-02	32-A-09	VO	X	Ent GEN5 - Q GEN4
11-A-04	R1K	AM	X	Preset GEN5 - Ent "1"
11-A-05	31-A-12	VO	X	Q GEN5 - Ent GEN6
11-A-06	34-A-05	VC	X	Q GEN5 - Puer NAND 1

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
E-A-07	-Vcc	N	X	Tierra GEN5 y 6 - Tierra
E-A-08	34-A-06	A	X	Q GEN6 - Puer NAND 1
E-A-10	R1K	AM	X	Preset GEN6 - Ent "1"
E-A-13	R1K	AM	X	Clear GEN6 - Ent "1"
E-A-14	+Vcc	R	X	Vcc GEN5 y 6 - Fuente de Poder
E-A-01	R1K	AM	X	Clear GEN3 - Ent "1"
E-A-02	33-A-09	VO	X	Ent GEN3 - Q GEN2
E-A-04	R1K	AM	X	Preset GEN3 - Ent "1"
E-A-05	32-A-12	VC	X	Q GEN3 - Ent GEN4
E-A-06	34-A-03	A	X	Q GEN3 - Puer NAND 1
E-A-07	-Vcc	N	X	Tierra GEN3 y 4 - Tierra
E-A-08	34-A-04	A	X	Q GEN4 - Puer NAND 1
E-A-10	R1K	AM	X	Preset GEN4 - Ent "1"
E-A-13	R1K	AM	X	Clear GEN4 - Ent "1"
E-A-14	+Vcc	R	X	Vcc GEN4 - Fuente de Poder
E-A-01	R1K	AM	X	Clear GEN1 - Ent "1"
E-A-02	35-B-06	VO	X	Ent GEN1 - Sal Puer NAND
E-A-04	R1K	AM	X	Preset GEN1 - Ent "1"
E-A-05	33-A-12	A	X	Q GEN1 - Ent GEN2
E-A-06	34-A-01	VC	X	Q GEN1 - Puer NAND 1
E-A-07	+Vcc	N	X	Tierra GEN1 y 2 - Tierra
E-A-08	34-A-02	A	X	Q GEN2 - Puer NAND 1
E-A-10	R1K	AM	X	Preset GEN2 - Ent "1"
E-A-13	R1K	AM	X	Clear GEN2 - Ent "1"
E-A-14	+Vcc	R	X	Vcc GEN1 y 2 - Fuente de Poder
E-A-07	-Vcc	N	X	Tierra NAND 1 - Tierra
E-A-08	34-B-12	VC	X	Sal NAND 1 - Ent Puer 0 4
E-A-09	Sin conexión	X	X	Sin conexión
E-A-10	Sin conexión	X	X	Sin conexión
E-A-13	Sin conexión	X	X	Sin conexión
E-A-14	+Vcc	R	X	Vcc NAND 1 - Fuente de Poder
E-A-07	-Vcc	N	X	Tierra NAND 2 - Tierra
E-A-08	34-B-13	VO	X	Sal NAND 2 - Ent Puer 0 4
E-A-09	Sin conexión	X	X	Sin conexión
E-A-10	Sin conexión	X	X	Sin conexión
E-A-13	Sin conexión	X	X	Sin conexión
E-A-14	+Vcc	R	X	Vcc NAND 2 - Fuente de Poder
E-B-04	+Vcc	R	X	Vcc Sil3 y 14 - Fuente de Poder
E-B-05	01-C-10	VO	X	Transp Sil3 - Transp Sil2
E-B-06	Sin conexión	X	X	Sin conexión
E-B-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
E-B-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
E-B-09	Sin conexión	X	X	Sin conexión
E-B-10	Sin conexión	X	X	Transp Sil4 - Sin conexión
E-B-11	-Vcc	N	X	Tierra Sil3 y 14 - Tierra



BIBLIOTECA

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
02-B-01	02-C-02	VC	X	Sal Sa3 - Ent Si9 (a)
	01-B-03	VC	X	- Ent Si13 (b)
02-B-04	+Vcc	R	X	Vcc Sa3 y 14 - Fuente de Poder
02-B-05	03-B-10	AM	X	Transp Sa3 - Transp Sa2
02-B-06	Sin conexión	X	X	Sin conexión
02-B-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
02-B-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
02-B-09	Sin conexión	X	X	Sin conexión
02-B-10	Sin conexión	X	X	Transp Sa4 - Sin conexión
02-B-11	-Vcc	N	X	Tierra Sa3 y 14 - Tierra
02-B-12	02-A-09	A	X	Sal Sa4 - Ent IN (4)
	02-C-14	A	X	- Ent Si10 (a)
03-B-01	01-C-03	VC	X	Sal Sa11 - Ent Si11 (b)
	03-C-02	VC	X	- Ent Si7 (a)
03-B-04	-Vcc	R	X	Vcc Sa11 y 12 - Fuente de Poder
03-B-05	04-B-10	AM	X	Transp Sa11 - Transp Sa10
03-B-06	Sin conexión	X	X	Sin conexión
03-B-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
03-B-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
03-B-09	Sin conexión	X	X	Sin conexión
03-B-11	-Vcc	N	X	Tierra Sa11 y 12 - Tierra
03-B-12	01-C-13	A	X	Sal Sa2 - Ent Si12 (b)
	03-C-14	A	X	- Ent Si8 (a)
04-B-01	04-C-02	VC	X	Sal Sa9 - Ent Si5 (a)
	02-C-03	VC	X	- Ent Si9 (b)
04-B-04	+Vcc	R	X	Vcc Sa9 y 10 - Fuente de Poder
04-B-05	05-B-10	AM	X	Transp Sa9 - Transp Sa8
04-B-06	Sin conexión	X	X	Sin conexión
04-B-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
04-B-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
04-B-09	Sin conexión	X	X	Sin conexión
04-B-11	-Vcc	N	X	Tierra Sa9 y 10 - Tierra
04-B-12	04-C-14	A	X	Sal Sa10 - Ent Si6 (a)
	02-C-13	A	X	- Ent Si10 (b)
05-B-01	05-C-02	VC	X	Sal Sa7 - Ent Si3 (a)
	03-C-03	VC	X	- Ent Si7 (b)
05-B-04	+Vcc	R	X	Vcc Sa7 y 8 - Fuente de Poder
05-B-05	06-B-10	AM	X	Transp Sa7 - Transp Sa6
05-B-06	Sin conexión	X	X	Sin conexión
05-B-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
05-B-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
05-B-09	Sin conexión	X	X	Sin conexión
05-B-11	-Vcc	N	X	Tierra Sa7 y 8 - Tierra
05-B-12	05-C-14	VC	X	Sal Sa8 - Ent Si4 (a)
	03-C-13	VC	X	- Ent Si8 (b)
06-B-01	06-C-02	AM	X	Sal Sa5 - Ent Si1 (a)

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
	04-C-03	AM	X	- Ent Si5 (b)
06-B-04	+Vcc	R	X	Vcc Sa5 y 6 - Fuente de Poder
06-B-05	07-B-10	A	X	Transp Sa5 - Transp Sa4
06-B-06	Sin conección	X	X	Sin conección
06-B-07	Sin conección	X	X	Sal DR Exc - Sin conección
06-B-08	Sin conección	X	X	Sal DR Exc - Sin conección
06-B-09	Sin conección	X	X	Sin conección
06-B-11	-Vcc	N	X	Tierra Sa5 y 6 - Tierra
06-B-12	06-C-14	A	X	Sal Sa6 - Ent Si2 (a)
	04-C-13	A	X	- Ent Si6 (b)
07-B-01	05-C-03	VC	X	Sal Sa3 - Ent Si3 (b)
	07-D-02	VC	X	- Ent Sn3 (a)
07-B-03	-Vcc	AM	X	Ent Sa3 (b) - Ent "0"
07-B-04	+Vcc	R	X	Vcc Sa3 y 4 - Fuente de Poder
07-B-05	08-B-10	AM	X	Transp Sa3 - Transp Sa2
07-B-06	Sin conección	X	X	Sin conección
07-B-07	Sin conección	X	X	Sal DR Exc - Sin conección
07-B-08	Sin conección	X	X	Sal DR Exc - Sin conección
07-B-09	Sin conección	X	X	Sin conección
07-B-11	-Vcc	N	X	Tierra Sa3 y 4 - Tierra
07-B-12	05-C-13	AM	X	Sal Sa4 - Ent Si4 (b)
	07-D-14	AM	X	- Ent Sn4 (a)
08-B-01	06-C-03	A	X	Sal Sa1 - Ent Si1 (b)
	08-D-02	A	X	- Ent Sn1 (a)
08-B-03	R1K	AM	X	Ent (b) Sa1 - Ent "1"
08-B-04	+Vcc	R	X	Vcc Sa1 y 2 - Fuente de Poder
08-B-05	-Vcc	VC	X	Transp Sa1 - Ent "0"
08-B-06	Sin conección	X	X	Sin conección
08-B-07	Sin conección	X	X	Sal DR Exc - Sin conección
08-B-08	Sin conección	X	X	Sal DR Exc - Sin conección
08-B-09	Sin conección	X	X	Sin conección
08-B-11	-Vcc	N	X	Tierra Sa1 y 2 - Tierra
08-B-12	06-C-13	VC	X	Sal Sa2 - Ent Si2 (b)
	08-D-14	VC	X	- Ent Sn2 (a)
08-B-13	-Vcc	AM	X	Ent Sa2 (b) - Ent "0"
09-B-04	+Vcc	R	X	Vcc Sb11 - Fuente de Poder
09-B-11	-Vcc	N	X	Tierra Sb11 - Tierra
10-B-01	14-D-13	A	X	Sal Sb9 - Ent Sj6 (b)
10-B-04	+Vcc	R	X	Vcc Sb9 y 10 - Fuente de Poder
10-B-05	11-B-10	VC	X	Transp Sb9 - Transp Sb8
10-B-06	Sin conección	X	X	Sin conección
10-B-07	Sin conección	X	X	Sal DR Exc - Sin conección
10-B-08	Sin conección	X	X	Sal DR Exc - Sin conección
10-B-09	Sin conección	X	X	Sin conección
10-B-11	-Vcc	N	X	Tierra Sb9 y 10 - Tierra



DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
10-B-12	13-D-03	VC	X	Sal Sb10 - Ent Sj7 (b)
11-B-01	15-D-13	AM	X	Sal Sb7 - Ent Sj4 (b)
11-B-04	+Vcc	R	X	Vcc Sb7 y 8 - Fuente de Poder
11-B-05	12-B-10	A	X	Transp Sb7 - Transp Sb6
11-B-06	Sin conección	X	X	Sin conección
11-B-07	Sin conección	X	X	Sal OR Exc - Sin conección
11-B-08	Sin conección	X	X	Sal OR Exc - Sin conección
11-B-09	Sin conección	X	X	Sin conección
11-B-11	-Vcc	N	X	Tierra Sb7 y 8 - Tierra
11-B-12	14-D-03	A	X	Sal Sb8 - Ent Sj5 (b)
12-B-01	16-D-13	VC	X	Sal Sb5 - Ent Sj2 (b)
12-B-04	+Vcc	R	X	Vcc Sb5 y 6 - Fuente de Poder
12-B-05	13-B-10	AM	X	Transp Sb5 - Transp Sb4
12-B-06	Sin conección	X	X	Sin conección
12-B-07	Sin conección	X	X	Sal OR Exc - Sin conección
12-B-08	Sin conección	X	X	Sal OR Exc - Sin conección
12-B-09	Sin conección	X	X	Sin conección
12-B-11	-Vcc	N	X	Tierra Sb5 y 6 - Tierra
12-B-12	15-D-03	AM	X	Sal Sb6 - Ent Sj3 (b)
13-B-01	14-E-14	A	X	Sal Sb3 - Ent Sp4 (a)
13-B-04	+Vcc	R	X	Vcc Sb3 y 4 - Fuente de Poder
13-B-05	14-B-10	VC	X	Transp Sb3 - Transp Sb2
13-B-06	Sin conección	X	X	Sin conección
13-B-07	Sin conección	X	X	Sal OR Exc - Sin conección
13-B-08	Sin conección	X	X	Sal OR Exc - Sin conección
13-B-09	Sin conección	X	X	Sin conección
13-B-11	-Vcc	N	X	Tierra Sb3 y 4 - Tierra
13-B-12	16-D-03	AM	X	Sal Sb4 - Ent Sj1 (b)
14-B-01	15-E-14	VC	X	Sal Sb1 - Ent Sp2 (a)
14-B-04	+Vcc	R	X	Vcc Sb1 y 22 - Fuente de Poder
14-B-05	-Vcc	A	X	Transp Sb1 - Ent "0"
14-B-06	Sin conección	X	X	Sin conección
14-B-07	Sin conección	X	X	Sal OR Exc - Sin conección
14-B-08	Sin conección	X	X	Sal OR Exc - Sin conección
14-B-09	Sin conección	X	X	Sin conección
14-B-11	-Vcc	N	X	Tierra Sb1 y 2 - Tierra
14-B-12	14-E-02	A	X	Sal Sb2 - Ent Sb3 (a)
15-B-02	14-G-12	AM	X	Ent S s(a) - Sal Sul4
15-B-03	-Vcc	VO	X	Ent S s(b) - Ent "0"
15-B-04	+Vcc	R	X	Vcc S 5 y 6 - Fuente de Poder
15-B-05	16-B-10	VC	X	Transp S 5 - Transp S 4
15-B-06	Sin conección	X	X	Sin conección
15-B-07	Sin conección	X	X	Sal OR Exc - Sin conección
15-B-08	Sin conección	X	X	Sal OR Exc - Sin conección
15-B-09	Sin conección	X	X	Sin conección

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
5-B-11	-Vcc	N	X	Tierra 5 5 y 6 - Tierra
5-B-13	-Vcc	VD	X	Ent 5 6 (b) - Ent "0"
5-B-14	13-G-01	VC	X	Ent 5 6 (a) - Sal Sul5
5-B-02	15-G-12	A	X	Ent 5 3 (a) - Sal Sul2
5-B-03	15-C-10	AM	X	Ent 5 3 (b) - Transp S 2
5-B-04	+Vcc	R	X	Vcc 5 3 y 4 - Fuente de Poder
5-B-05	-Vcc	VD	X	Transp 5 3 - Ent "0"
5-B-06	Sin conexión	X	X	Sin conexión
5-B-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
5-B-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
5-B-09	Sin conexión	X	X	Sin conexión
5-B-11	-Vcc	N	X	Tierra 5 3 y 4 - Tierra
5-B-13	-Vcc	VD	X	Ent 5 4 (b) - Ent "0"
5-B-14	14-G-01	AM	X	Ent 5 4 (a) - Sal Sul3
17-B-01	R1K	AM	X	Clear 11Y4 - Ent "1"
17-B-04	R1K	AM	X	Preset 11Y4 - Ent "1"
17-B-05	16-C-14	VC	X	Sal Q11Y4 - Ent Sel4 (a)
	18-D-14	VC	X	- Ent Sf10 (a)
	18-E-13	VC	X	- Ent Sd10 (b)
	17-E-14	VC	X	- Ent Sd11 (b)
17-B-06	17-C-02	A	X	Q11Y4 - Ent Sel1 (a)
	17-C-14	A	X	- Ent Sel2 (a)
	16-C-02	A	X	- Ent Sel3 (a)
	16-C-13	A	X	- Ent Sel4 (b)
17-B-07	-Vcc	N	X	Tierra 11 y 11'Y4 - Tierra
17-B-08	Sin conexión	X	X	Q11'Y4 - Sin conexión
17-B-10	R1K	AM	X	Preset 11'Y4 - Ent "1"
17-B-13	R1K	AM	X	Clear 11'Y4 - Ent "1"
17-B-14	+Vcc	R	X	Vcc 11'Y4 - Fuente de Poder
18-B-01	R1K	AM	X	Clear 9Y4 - Ent "1"
18-B-04	R1K	PATA QUEBRADA	X	Preset 9Y4 - Ent "1"
18-B-05	17-C-13	VC	X	Q9Y4 - Ent S12e (b)
	18-D-03	VC	X	- Ent S9 f(b)
	19-D-14	VC	X	- Ent S8 f(a)
	19-E-13	VC	X	- Ent Sd8 (b)
	25-D-03	VC	X	- Ent S87 (b)
18-B-06	18-C-02	A	X	Q9Y4 - Ent Se9 (a)
18-B-07	-Vcc	N	X	Tierra 9 y 10 - Tierra
18-B-08	18-C-14	AM	X	Q10Y4 - Ent Sel0 (a)
18-B-09	16-C-03	A	X	Q10Y4 - Ent Sel3 (b)
	18-D-13	A	X	- Ent Sf10 (b)
	18-D-02	A	X	- Ent Sf9 (a)
	18-E-03	A	X	- Ent Sd9 (b)
	25-D-13	A	X	- Ent S88 (b)
18-B-10	R1K	AM	X	Preset 10Y4 - Ent "1"
18-B-13	R1K	AM	X	Clear 10Y4 - Ent "1"
18-B-14	+Vcc	R	X	Vcc 9 y 10Y4 - Fuente de Poder
19-B-01	R1K	AM	X	Clear 7Y4 - Ent "1"

TESTE	A	HECHO	CHEQUEO	TITULO LOGICO
19-B-04	R1K	AM	X	Preset 7Y4 - Ent "1"
19-B-05	18-C-13	AM	X	Q7Y4 - Ent Se10 (b)
	19-D-03	AM	X	- Ent Sf7 (b)
	20-D-14	AM	X	- Ent Sf6 (a)
	20-E-13	AM	X	- Ent Sd6 (b)
	26-D-03	AM	X	- Ent SM5 (b)
19-B-06	19-C-02	A	X	Q7Y4 - Ent Se7 (a)
19-B-07	-Vcc	N	X	Tierra 7 y 8Y4 - Tierra
19-B-08	19-C-14	VC	X	Q8Y4 - Ent Se8 (a)
19-B-09	17-C-03	A	X	Q8Y4 - Ent Se11 (b)
	19-D-13	A	X	- Ent Sf8 (b)
	19-D-02	A	X	- Ent Sf7 (a)
	19-E-03	A	X	- Ent Sd7 (b)
	26-D-13	A	X	- Ent SM6 (b)
19-B-10	R1K	AM	X	Preset 8Y4 - Ent "1"
19-B-13	R1K	AM	X	Clear 8Y4 - Ent "1"
19-B-14	+Vcc	R	X	Vcc 8 y 7Y4 - Fuente de Poder
20-B-01	R1K	AM	X	Clear 5Y4 - Ent "1"
20-B-04	R1K	AM	X	Preset 5Y4 - Ent "1"
20-B-05	19-C-13	VC	X	Q5Y4 - Ent Se8 (b)
	20-D-03	VC	X	- Ent Sf5 (b)
	21-D-14	VC	X	- Ent Sf4 (a)
	21-E-13	VC	X	- Ent Sd4 (b)
	27-D-03	VC	X	- Ent SM3 (b)
20-B-06	20-C-02	AM	X	Q5Y4 - Ent Se5 (a)
20-B-07	-Vcc	N	X	Tierra 5 y 6Y4 - Tierra
20-B-08	20-C-14	AM	X	Q6Y4 - Ent Se6 (a)
20-B-09	18-C-03	A	X	Q6Y4 - Ent Se9 (b)
	20-D-13	A	X	- Ent Sf6 (b)
	20-D-02	A	X	- Ent Sf5 (a)
	20-E-03	A	X	- Ent Sd5 (b)
	27-D-13	A	X	- Ent SM4 (b)
20-B-10	R1K	AM	X	Preset 6Y4 - Ent "1"
20-B-13	R1K	AM	X	Clear 6Y4 - Ent "1"
20-B-14	+Vcc	R	X	Vcc 5 y 6Y4 - Fuente de Poder
21-B-01	R1K	AM	X	Clear 3Y4 - Ent "1"
21-B-04	R1K	AM	X	Preset 3Y4 - Ent "1"
21-B-05	20-C-13	AM	X	Q3Y4 - Ent Se6 (b)
	21-D-03	AM	X	- Ent Sf3 (b)
	22-D-14	AM	X	- Ent Sf2 (a)
	22-E-13	AM	X	- Ent Sd2 (b)
	28-D-03	AM	X	- Ent SM1 (b)
21-B-06	21-C-02	VC	X	Q3Y4 - Ent Se3 (a)
21-B-07	-Vcc	N	X	Tierra 3 y 4Y4 - Tierra
21-B-08	21-C-14	AM	X	Q4Y4 - Ent Se4 (a)

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
21-B-09	19-C-03	AM	X	Q4Y4 - Ent Se7 (b)
	21-D-13	AM	X	- Ent Sf4 (b)
	21-D-02	AM	X	- Ent Sf3 (a)
	21-E-03	AM	X	- Ent Sd3 (b)
	28-D-13	AM	X	- Ent SR2 (b)
21-B-10	R1K	AM	X	Preset 4Y4 - Ent "1"
21-B-13	R1K	AM	X	Clear 4Y4 - Ent "1"
21-B-14	+Vcc	R	X	Vcc 3 y 4Y4 - Fuente de Poder
22-B-01	R1K	AM	X	Clear 1Y4 - Ent "1"
22-B-04	R1K	AM	X	Preset 1Y4 - Ent "1"
22-B-05	21-C-13	A	X	Q1Y4 - Ent Se4 (b)
	22-D-03	A	X	- Ent Sf1 (b)
	15-E-03	A	X	- Ent Sp1 (b)
	29-E-02	A	X	- Ent Sq1 (a)
	28-D-02	A	X	- Ent SM1 (a)
22-B-06	22-G-02	VC	X	Q1Y4 - Ent Se1 (a)
	28-G-02		X	- Ent St (a)
22-B-07	-Vcc	N	X	Tierra 1 y 2Y4 - Tierra
22-B-08	22-C-14	AM	X	Q2Y4 - Ent Se2 (a)
22-B-09	20-C-03	A	X	Q2Y4 - Ent Se5 (b)
	22-D-13	A	X	- Ent Sf2 (b)
	22-D-02	A	X	- Ent Sf1 (a)
	22-E-03	A	X	- Ent Sd1 (b)
	29-E-14	A	X	- Ent Sq2 (a)
22-B-10	R1K	AM	X	Preset 2Y4 - Ent "1"
22-B-13	R1K	AM	X	Clear 2Y4 - Ent "1"
22-B-14	+Vcc	R	X	Vcc 1 y 2Y4 - Fuente de Poder
23-B-01	29-B-12	AM	X	Sal ST10 - Ent s0Y5
23-B-03	24-B-10	A	X	Ent St10 (b) - Transp ST9
23-B-04	+Vcc	R	X	Vcc ST10 y 11 - Fuente de Poder
23-B-05	-Vcc	N	X	Transp ST10 - Ent "0"
23-B-06	Sin conexión	X	X	Sin conexión
23-B-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
23-B-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
23-B-09	Sin conexión	X	X	Sin conexión
23-B-10	Sin conexión	X	X	Transp ST11 - Sin conexión
23-B-11	-Vcc	N	X	Tierra ST10 y 11 - Tierra
23-B-12	28-B-02	VC	X	Sal ST11 - Ent 11Y5
23-B-13	-Vcc	N	X	Ent S <sup>1</sup> 11 (b) - Ent "0"
24-B-01	30-B-12	AM	X	Sal ST8 - Ent 8Y5
24-B-03	25-B-10	VO	X	Ent ST8 (b) - Transp ST7
24-B-04	+Vcc	R	X	Vcc ST8 y 9 - Fuente de Poder
24-B-05	-Vcc	N	X	Transp ST8 - Ent "0"
24-B-06	Sin conexión	X	X	Sin conexión
24-B-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
24-B-08	Sin conexión	X	X	Sal DR Exc - Sin conexión

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
24-B-09	Sin conexión	X	X	Sin conexión
24-B-11	-Vcc	N	X	Tierra 8 y 9T - Tierra
24-B-12	29-B-02	VC	X	Sal ST9 - Ent 9Y5
24-B-13	-Vcc	N	X	Ent ST9 (b) - Ent "0"
25-B-01	31-B-12	AM	X	Sal ST6 - Ent 6Y5
25-B-03	26-B-10	VO	X	Ent ST6 (b) - Transp ST5
25-B-04	+Vcc	R	X	Vcc ST6 y 7 - Fuente de Poder
25-B-05	-Vcc	N	X	Transp ST6 - Ent "0"
25-B-06	Sin conexión	X	X	Sin conexión
25-B-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
25-B-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
25-B-09	Sin conexión	X	X	Sin conexión
25-B-11	-Vcc	N	X	Tierra ST6 y 7 - Tierra
25-B-12	30-B-02	A	X	Sal ST7 - Ent 7Y5
25-B-13	-Vcc	N	X	Ent ST7 (b) - Ent "0"
26-B-01	32-B-12	VO	X	Sal ST4 - Ent 4Y5
26-B-03	27-B-10	A	X	Ent ST4 (b) - Transp ST3
26-B-04	+Vcc	R	X	Vcc ST4 y 5 - Fuente de Poder
26-B-05	-Vcc	VO	X	Transp ST4 - Ent "0"
26-B-06	Sin conexión	X	X	Sin conexión
26-B-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
26-B-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
26-B-09	Sin conexión	X	X	Sin conexión
26-B-11	-Vcc	N	X	Tierra ST4 y 5 - Tierra
26-B-12	31-B-02	AM	X	Sal ST5 - Ent 5Y5
26-B-13	-Vcc	VO	X	Ent ST5 (b) - Ent "0"
27-B-01	33-B-12	A	X	Sal ST2 - Ent 2Y5
27-B-03	29-B-10	VC	X	Ent ST2 (b) - Transp ST1
27-B-04	+Vcc	R	X	Vcc ST2 y 3 - Fuente de Poder
27-B-05	-Vcc	VO	X	Transp ST2 - Ent "0"
27-B-06	Sin conexión	X	X	Sin conexión
27-B-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
27-B-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
27-B-09	Sin conexión	X	X	Sin conexión
27-B-11	-Vcc	N	X	Tierra ST2 y 3 - Tierra
27-B-12	32-B-02	AM	X	Sal ST3 - Ent 3Y5
27-B-13	-Vcc	VO	X	Ent ST3 (b) - Ent "0"
28-B-01	R1K	AM	X	Clear 11Y5 - Ent "1"
28-B-04	R1K	AM	X	Preset 11Y5 - Ent "1"
28-B-05	24-A-04	A	X	Q11Y5 - Ent Puer 0
	24-C-02	A	X	- Ent 59h (a)
	24-C-14	A	X	- Ent S10h (a)
	23-C-02	A	X	- Ent S11h (a)
	23-C-03	A	X	- Ent S11h (b)
28-B-06	29-C-02	VC	X	Q11Y5 - Ent Sg13 (a)

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
	30-C-14	VC	X	- Ent Sg12 (a)
	30-C-02	VC	X	- Ent Sg11 (a)
28-B-07	-Vcc	N	X	Tierra GEN 15 y 11Y5 - Tierra
28-B-08	34-B-02	A	X	Q GEN 15 - Ent Puer 0 2 Ent (1)
28-B-09	34-B-10	VO	X	Q GEN 15 - Ent Puer 0 (3)
	34-B-04	VO	X	- Ent Puer 0 (2)
	30-F-02	A	X	- Ent Sg1 (a)
28-B-10	R1K	AM	X	Preset GEN 15 - Ent "1"
28-B-13	R1K	AM	X	Clear GEN 15 - Ent "1"
28-B-14	+Vcc	R	X	Vcc GEN 15 y 11Y5 - Fuente de Poder
29-B-01	R1K	AM	X	Clear 9Y5 - Ent "1"
29-B-04	R1K	AM	X	Preset 9Y5 - Ent "1"
29-B-05	30-C-13	VC	X	Q9Y5 - Ent Sg12 (b)
	25-C-02	VC	X	- Ent Sh7 (a)
	24-C-03	VC	X	- Ent Sh9 (b)
	18-B-02	VC	X	- Ent 9Y4
	18-E-02	VC	X	- Ent Sd9 (a)
29-B-06	31-C-02	VO	X	Q9Y5 - Ent Sg9 (a)
29-B-07	-Vcc	N	X	Tierra 9 y 10Y5 - Tierra
29-B-08	31-C-14	VO	X	Q10Y5 - Ent Sg13 (b)
29-B-09	29-C-03	VC	X	Q10Y5 - Ent Sg13 (b)
	25-C-14	VC	X	- Ent Sh8 (a)
	24-C-13	VC	X	- Ent Sh10 (b)
	18-B-12	VC	X	- Ent 10Y4
	18-E-14	VC	X	- Ent Sd10 (a)
29-B-10	R1K	AM	X	Preset 10Y5 - Ent "1"
29-B-13	R1K	AM	X	Clear 10Y5 - Ent "1"
29-B-14	+Vcc	R	X	Vcc 9 y 10Y5 - Fuente de Poder
30-B-01	R1K	AM	X	Clear 7Y5 - Ent "1"
30-B-04	R1K	AM	X	Preset 7Y5 - Ent "1"
30-B-05	31-C-13	A	X	Q7Y5 - Ent Sg10 (b)
	26-C-02	A	X	- Ent Sh5 (a)
	25-C-03	A	X	- Ent Sh7 (b)
	19-B-02	A	X	- Ent 7Y4
	19-E-02	A	X	- Ent Sd7 (a)
30-B-06	32-C-02	VO	X	Q7Y5 - Ent Sg7 (a)
30-B-07	-Vcc	N	X	Tierra 7 y 8Y5 - Tierra
30-B-08	32-C-14	A	X	Q8Y5 - Ent Sg8 (a)
30-B-09	30-C-03	VO	X	Q8Y5 - Ent Sg11 (b)
	26-C-14	VO	X	- Ent Sh6 (a)
	25-C-13	VO	X	- Ent Sh8 (b)
	19-B-12	VO	X	- Ent 8Y4
	19-E-14	VO	X	- Ent Sd8 (a)
30-B-10	R1K	AM	X	Preset 8Y5 - Ent "1"
30-B-13	R1K	AM	X	Clear 8Y5 - Ent "1"

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
30-B-14	+Vcc	R	X	Vcc 7 y 8Y5 - Fuente de Poder
31-B-01	R1K	AM	X	Clear 5Y5 - Ent "1"
31-B-04	R1K	AM	X	Preset 5Y5 - Ent "1"
31-B-05	32-C-13	A	X	Q5Y5 - Ent Sg8 (b)
	27-C-02	A	X	- Ent Sh3 (a)
	26-C-03	A	X	- Ent Sh5 (b)
	20-B-02	A	X	- Ent 5Y4
	20-E-02	A	X	- Ent Sd5 (a)
31-B-06	33-C-02	VO	X	Q5Y5 - Ent Sg5 (a)
31-B-07	-Vcc	N	X	Tierra 5 y 6Y5 - Tierra
31-B-08	33-C-14	VC	X	Q6Y5 - Ent Sg6 (a)
31-B-09	31-C-03	VC	X	Q6Y5 - Ent Sg9 (b)
	27-C-14	VC	X	- Ent Sh4 (a)
	26-C-13	VC	X	- Ent Sh6 (b)
	20-B-12	VC	X	- Ent 6Y4
	20-E-14	VC	X	- Ent Sd6 (a)
31-B-10	R1K	AM	X	Preset 6Y5 - Ent "1"
31-B-13	R1K	AM	X	Clear 6Y5 - Ent "1"
31-B-14	+Vcc	R	X	Vcc 5 y 6Y5 - Fuente de Poder
32-B-01	R1K	AM	X	Clear 3Y5 - Ent "1"
32-B-04	R1K	AM	X	Preset 3Y5 - Ent "1"
32-B-05	33-C-13	VO	X	Q3Y5 - Ent Sg6 (b)
	28-C-02	VO	X	- Ent Sh1 (a)
	27-C-03	VO	X	- Ent Sh3 (b)
	21-B-02	VO	X	- Ent 3Y4
	21-E-02	VO	X	- Ent Sd3 (a)
32-B-06	34-C-02	VC	X	Q3Y5 - Ent Sg3 (a)
32-B-07	-Vcc	N	X	Tierra 3 y 4Y5 - Tierra
32-B-08	34-C-14	VO	X	Q4Y5 - Ent Sg4 (a)
32-B-09	32-C-03	A	X	Q4Y5 - Ent Sg7 (b)
	28-C-14	A	X	- Ent Sh2 (a)
	27-C-13	A	X	- Ent Sh4 (b)
	21-B-12	A	X	- Ent 4Y4
	21-E-14	A	X	- Ent Sd4 (a)
32-B-10	R1K	AM	X	Preset 4Y5 - Ent "1"
32-B-13	R1K	AM	X	Clear 4Y5 - Ent "1"
32-B-14	+Vcc	R	X	Vcc 4 y 3Y5 - Fuente de Poder
33-B-01	R1K	AM	X	Clear 1Y5 - Ent "1"
33-B-04	R1K	AM	X	Preset 1Y5 - Ent "1"
33-B-05	34-C-13	VC	X	Q1Y5 - Ent Sg4 (b)
	28-C-03	VO	X	- Ent Sh1 (b)
	22-B-02	VC	X	- Ent 1Y4
	22-E-02	VC	X	- Ent Sd1 (a)
	26-G-14	VC	X	- Ent St6 (a)
33-B-06	35-C-02	VO	X	Q1Y5 - Ent Sg1 (a)

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
33-B-07	-Vcc	N	X	Tierra 1 y 2Y5 - Tierra
33-B-08	35-C-14	A	X	Q2Y5 - Ent Sg2 (a)
33-B-09	33-C-03	A	X	Q2Y5 - Ent Sg5 (b)
	28-C-13	A	X	- Ent Sh2 (b)
	22-B-12	A	X	- Ent 2Y4
	22-E-14	A	X	- Ent Sd2 (a)
	25-G-02	A	X	- Ent St7 (a)
33-B-10	R1K	AM	X	Preset 2Y5 - Ent "1"
33-B-13	R1K	AM	X	Clear 2Y5 - Ent "1"
33-B-14	+Vcc	R	X	Vcc 1 y 2Y5 - Fuente de Poder
34-B-03	35-B-01	VC	X	Sal Puer 0 (1) - Ent Puer NAND 1
34-B-06	35-B-04	VC	X	Sal Puer 0 (2) - Ent Puer NAND (2)
34-B-07	-Vcc	N	X	Tierra Puer 0 - Tierra
34-B-08	35-B-02	A	X	Sal Puer (3) - Ent Puer NAND (1)
34-B-11	34-B-05	A	X	Sal Puer 0 (4) - Ent Puer 0 (2)
	35-B-13	A	X	- Ent Puer NAND (4)
34-B-14	+Vcc	R	X	Vcc Puer 0 - Fuente de Poder
35-B-03	35-B-12	VC	X	Sal Puer NAND (1) - Ent Puer NAND (4)
35-B-05	35-B-11	VO	X	Ent Puer NAND (2) - Sal Puer NAND (4)
35-B-07	-Vcc	N	X	Tierra Puer NAND - Tierra
35-B-08	Sin conexión	X	X	Sal Puer NAND - Sin conexión
35-B-09	-Vcc	N	X	Ent Puer NAND (3) - Ent "0"
35-B-10	-Vcc	N	X	Ent Puer NAND (3) - Ent "0"
35-B-14	+Vcc	R	X	Vcc Puer NAND - Fuente de Poder
01-C-01	01-D-02	VC	X	Sal Sill - Ent Sn15 (a)
01-C-04	+Vcc	R	X	Vcc Si 11 y 12 - Fuente de Poder
01-C-05	02-C-10	A	X	Transp Sill - Transp Si10
01-C-06	Sin conexión	X	X	Sin conexión
01-C-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
01-C-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
01-C-09	Sin conexión	X	X	Sin conexión
01-C-11	-Vcc	N	X	Tierra Si 11 y 12 - Tierra
01-C-12	01-D-14	AM	X	Sal Si12 - Ent Sn16 (a)
02-C-01	02-D-02	A	X	Sal Si9 - Ent Sn13 (a)
02-C-04	+Vcc	R	X	Vcc Si 9 y 10 - Fuente de Poder
02-C-05	03-C-10	VC	X	Transp Si9 - Transp Si8
02-C-06	Sin conexión	X	X	Sin conexión
02-C-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
02-C-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
02-C-09	Sin conexión	X	X	Sin conexión
02-C-11	-Vcc	N	X	Tierra Si 9 y 10 - Tierra
02-C-12	02-D-14	AM	X	Sal Si10 - Ent Sn14 (a)
03-C-01	03-D-02	A	X	Sal Si7 - Ent Sn11 (a)
03-C-04	+Vcc	R	X	Vcc Si 7 y 8 - Fuente de Poder
03-C-05	04-C-10	VC	X	Transp Si7 - Transp Si6



DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
03-C-06	Sin conexión	X	X	Sin conexión
03-C-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
03-C-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
03-C-09	Sin conexión	X	X	Sin conexión
03-C-11	-Vcc	N	X	Tierra Si 7 y 8 - Tierra
03-C-12	03-D-14	AM	X	Sal Si8 - Ent Sn12 (a)
04-C-01	04-D-02	A	X	Sal Si5 - Ent Sn9 (a)
04-C-04	+Vcc	R	X	Vcc Si 5 y 6 - Fuente de Poder
04-C-05	05-C-10	VC	X	Transp Si5 - Transp Si4
04-C-06	Sin conexión	X	X	Sin conexión
04-C-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
04-C-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
04-C-09	Sin conexión	X	X	Sin conexión
04-C-11	-Vcc	N	X	Tierra Si 5 y 6 - Tierra
04-C-12	04-D-14	AM	X	Sal Si6 - Ent Sn10 (a)
05-C-01	05-D-02	VC	X	Sal Si3 - Ent Sn7 (a)
05-C-04	+Vcc	R	X	Vcc Si3 y 4 - Fuente de Poder
05-C-05	06-C-10	VC	X	Transp Si3 - Transp Si2
05-C-06	Sin conexión	X	X	Sin conexión
05-C-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
05-C-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
05-C-09	Sin conexión	X	X	Sin conexión
05-C-11	-Vcc	N	X	Tierra Si 3 y 4 - Tierra
05-C-12	05-D-14	AM	X	Sal Si4 - Ent Sn8 (a)
06-C-01	06-D-02	A	X	Sal Si1 - Ent Sn5 (a)
06-C-04	+Vcc	R	X	Vcc Si1 y 2 - Fuente de Poder
06-C-05	-Vcc	A	X	Transp Si1 - Ent "0"
06-C-06	Sin conexión	X	X	Sin conexión
06-C-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
06-C-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
06-C-09	Sin conexión	X	X	Sin conexión
06-C-11	-Vcc	N	X	Tierra Si 1 y 2 - Tierra
06-C-12	06-D-14	VC	X	Sal Si2 - Ent Sn6 (a)
07-C-04	+Vcc	R	X	Vcc Sc15 - Fuente de Poder
08-C-01	10-D-02	A	X	Sal Sc13 - Ent Sj13 (a)
08-C-04	+Vcc	R	X	Vcc Sc13 y 14 - Fuente de Poder
08-C-05	09-C-10	AM	X	Transp Sc13 - Transp Sc12
08-C-06	Sin conexión	X	X	Sin conexión
08-C-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
08-C-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
08-C-09	Sin conexión	X	X	Sin conexión
08-C-11	-Vcc	N	X	Tierra Sc13 y 14 - Tierra
08-C-12	10-D-14	A	X	Sal Sc14 - Ent Sj14 (a)
09-C-01	11-D-02	VC	X	Sal Sc11 - Ent Sj11 (a)
09-C-04	+Vcc	R	X	Vcc Sc11 y 12 - Fuente de Poder

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
09-C-05	10-C-10	AM	X	Transp Sc11 - Transp Sc10
09-C-06	Sin conexión	X	X	Sin conexión
09-C-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
09-C-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
09-C-09	Sin conexión	X	X	Sin conexión
09-C-11	-Vcc	N	X	Tierra Sc11 y 12 - Tierra
09-C-12	11-D-14	A	X	Sal Sc12 - Ent Sjl2 (a)
10-C-01	12-D-02	AM	X	Sal Sc9 - Ent Sj9 (a)
10-C-04	+Vcc	R	X	Vcc Sc9 y 10 - Fuente de Poder
10-C-05	11-C-10	A	X	Transp Sc9 - Transp Sc8
10-C-06	Sin conexión	X	X	Sin conexión
10-C-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
10-C-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
10-C-09	Sin conexión	X	X	Sin conexión
10-C-11	-Vcc	N	X	Tierra Sc9 y 10 - Tierra
10-C-12	12-D-14	VC	X	Sal Sc10 - Ent Sjl0 (a)
11-C-01	13-D-02	AM	X	Sal Sc7 - Ent Sjl7 (a)
11-C-04	+Vcc	R	X	Vcc Sc7 y 8 - Fuente de Poder
11-C-05	12-C-10	AM	X	Transp Sc7 - Transp Sc6
11-C-06	Sin conexión	X	X	Sin conexión
11-C-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
11-C-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
11-C-09	Sin conexión	X	X	Sin conexión
11-C-11	-Vcc	N	X	Tierra Sc 7 y 8 - Tierra
11-C-12	13-D-14	A	X	Sal Sc8 - Ent Sjl8 (a)
12-C-01	14-D-02	VC	X	Sal Sc5 - Ent Sjl5 (a)
12-C-04	+Vcc	R	X	Vcc Sc 5 y 6 - Fuente de Poder
12-C-05	13-C-10	VC	X	Transp Sc5 - Transp Sc4
12-C-06	Sin conexión	X	X	Sin conexión
12-C-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
12-C-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
12-C-09	Sin conexión	X	X	Sin conexión
12-C-11	-Vcc	N	X	Tierra Sc 5 y 6 - Tierra
12-C-12	14-D-14	AM	X	Sal Sc6 - Ent Sjl6 (a)
13-C-01	15-D-02	A	X	Sal Sc3 - Ent Sjl3 (a)
13-C-03	-Vcc	AM	X	Ent Sc3 (b) - Ent "0"
13-C-04	+Vcc	R	X	Vcc Sc 3 y 4 - Fuente de Poder
13-C-05	14-C-10	A	X	Transp Sc3 - Transp Sc2
13-C-06	Sin conexión	X	X	Sin conexión
13-C-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
13-C-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
13-C-09	Sin conexión	X	X	Sin conexión
13-C-11	-Vcc	N	X	Tierra Sc 3 y 4 - Tierra
13-C-12	15-D-14	VC	X	Sal Sc4 - Ent Sjl4 (a)
13-C-13	-Vcc	AM	X	Ent Sc4 (b) - Ent "0"

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
14-C-01	16-D-02	AM	X	Sal Sc1 - Ent Sjl (a)
14-C-03	R1K	AM	X	Ent Sc1 (b) - Ent "1"
14-C-04	+Vcc	R	X	Vcc Sc 1 y 2 - Fuente de Poder
14-C-05	-Vcc	A	X	Transp Sc1 - Ent "0"
14-C-06	Sin conexión	X	X	Sin conexión
14-C-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
14-C-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
14-C-09	Sin conexión	X	X	Sin conexión
14-C-11	-Vcc	N	X	Tierra Sc 1 y 2 - Tierra
14-C-12	16-D-14	A	X	Sal Sc2 - Ent Sjl2 (a)
14-C-13	-Vcc	A	X	Ent Sc 2 (b) - Ent "0"
15-C-02	16-G-12	A	X	Ent S 1 (a) - Sal Su10
15-C-03	16-G-01	VC	X	Ent S 1 (b) - Sal Su9
15-C-04	+Vcc	R	X	Vcc S 1 y 2 - Fuente de Poder
15-C-05	-Vcc	VO	X	Transp S 1 - Ent "0"
15-C-06	Sin conexión	X	X	Sin conexión
15-C-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
15-C-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
15-C-09	Sin conexión	X	X	Sin conexión
15-C-11	-Vcc	N	X	Tierra S 1 y 2 - Tierra
15-C-13	-Vcc	VO	X	Ent S 2 (b) - Ent "0"
15-C-14	15-G-01	AM	X	Ent S 2 (a) - Sal Su11
16-C-01	15-F-03	A	X	Sal Sel3 - Ent Sk13 (b)
16-C-04	+Vcc	R	X	Vcc Sel3 y 14 - Fuente de Poder
16-C-05	17-C-10	VC	X	Transp Sel3 - Transp Sel2
16-C-06	Sin conexión	X	X	Sin conexión
16-C-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
16-C-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
16-C-09	Sin conexión	X	X	Sin conexión
16-C-10	Sin conexión	X	X	Transp Sel4 - Sin conexión
16-C-11	-Vcc	N	X	Tierra Sel3 y 14 - Tierra
16-C-12	15-F-14	AM	X	Sal Sel4 - Ent Sk14 (a)
17-C-01	16-F-03	VC	X	Sal Sel1 - Ent Sk11 (b)
17-C-04	+Vcc	R	X	Vcc Se 11 y 12 - Fuente de Poder
17-C-05	18-C-10	AM	X	Transp Sel1 - Transp Sel0
17-C-06	Sin conexión	X	X	Sin conexión
17-C-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
17-C-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
17-C-09	Sin conexión	X	X	Sin conexión
17-C-11	-Vcc	N	X	Tierra Se 11 y 12 - Tierra
17-C-12	16-F-13	A	X	Sal Sel2 - Ent Sk12 (b)
18-C-01	17-F-03	VC	X	Sal Se9 - Ent Sk9 (b)
18-C-04	+Vcc	R	X	Vcc Se 9 y 10 - Fuente de Poder
18-C-05	19-C-10	A	X	Transp Se9 - Transp Se8
18-C-06	Sin conexión	X	X	Sin conexión

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
18-C-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
18-C-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
18-C-09	Sin conexión	X	X	Sin conexión
18-C-11	-Vcc	N	X	Tierra Se 9 y 10 - Tierra
18-C-12	17-F-13	AM	X	Sal Se10 - Ent Sk10 (b)
19-C-01	18-F-03	AM	X	Sal Se7 - Ent Sk7 (b)
19-C-04	+Vcc	R	X	Vcc Se7 y 8 - Fuente de Poder
19-C-05	20-C-10	VC	X	Transp Se7 - Transp Se6
19-C-06	Sin conexión	X	X	Sin conexión
19-C-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
19-C-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
19-C-09	Sin conexión	X	X	Sin conexión
19-C-11	-Vcc	N	X	Tierra Se 7 y 8 - Tierra
19-C-12	18-F-13	VC	X	Sal Se8 - Ent Sk8 (b)
20-C-01	19-F-03	A	X	Sal Se5 - Ent Sk5 (b)
20-C-04	+Vcc	R	X	Vcc Se5 y 6 - Fuente de Poder
20-C-05	21-C-10	AM	X	Transp Se5 - Transp Se4
20-C-06	Sin conexión	X	X	Sin conexión
20-C-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
20-C-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
20-C-09	Sin conexión	X	X	Sin conexión
20-C-11	-Vcc	N	X	Tierra Se 5 y 6 - Tierra
20-C-12	19-F-13	A	X	Sal Se6 - Ent Sk6 (b)
21-C-01	20-F-03	VC	X	Sal Se3 - Ent Sk3 (b)
21-C-03	22-C-10	VC	X	Ent Se3 (b) - Transp Se2
21-C-04	+Vcc	R	X	Vcc Se 3 y 4 - Fuente de Poder
21-C-05	-Vcc	A	X	Transp Se 3 - Ent "0"
21-C-06	Sin conexión	X	X	Sin conexión
21-C-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
21-C-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
21-C-09	Sin conexión	X	X	Sin conexión
21-C-11	-Vcc	N	X	Tierra Se 3 y 4 - Tierra
21-C-12	20-F-13	AM	X	Sal Se4 - Ent Sk4 (b)
22-C-01	21-F-03	AM	X	Sal Se1 - Ent Sk1 (b)
22-C-03	R1K	AM	X	Ent Se1 (b) - Ent "1"
22-C-04	+Vcc	R	X	Vcc Se 1 y 2 - Fuente de Poder
22-C-05	-Vcc	AM	X	Transp Se1 - Ent "0"
22-C-06	Sin conexión	X	X	Sin conexión
22-C-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
22-C-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
22-C-09	Sin conexión	X	X	Sin conexión
22-C-11	-Vcc	N	X	Tierra Se 1 y 2 - Tierra
22-C-12	21-F-13	A	X	Sal Se2 - Ent Sk2 (b)
22-C-13	-Vcc	VC	X	Ent Se2 (b) - Ent "0"
23-C-01	30-D-02	A	X	Sal Sh11 - Ent Sm13 (a)

DEBE	A	HECHO	CHEQUEO	TITULO LOGICO
	31-D-14	A	X	- Ent 5m12 (a)
	31-D-02	A	X	- Ent 5m11 (a)
	32-D-14	A	X	- Ent 5m10 (a)
	32-D-02	A	X	- Ent 5m9 (a)
23-C-04	+Vcc	R	X	Vcc Sh11 - Fuente de Poder
23-C-05	24-C-10	VC	X	Transp Sh11 - Transp Sh10
23-C-06	Sin conexión	X	X	Sin conexión
23-C-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
23-C-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
23-C-09	Sin conexión	X	X	Sin conexión
23-C-10	Sin conexión	X	X	Transp Sh - Sin conexión
23-C-11	-Vcc	N	X	Tierra Sh11 - Tierra
23-C-12	Sin conexión	X	X	Sal Sh - Sin conexión
23-C-13	-Vcc	N	X	Ent Sh - Ent "0"
23-C-14	-Vcc	N	X	Ent Sh - Ent "0"
24-C-01	33-D-02	AM	X	Sal Sh9 - Ent 5m7 (a)
24-C-04	+Vcc	R	X	Vcc Sh9 - Fuente de Poder
24-C-05	25-C-10	VC	X	Transp Sh9 - Transp Sh8
24-C-06	Sin conexión	X	X	Sin conexión
24-C-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
24-C-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
24-C-09	Sin conexión	X	X	Sin conexión
24-C-11	-Vcc	N	X	Tierra Sh9 y 10 - Tierra
24-C-12	33-D-14	A	X	Sal Sh10 - Ent 5m8 (a)
25-C-01	34-D-02	VC	X	Sal Sh7 - Ent 5m5 (a)
25-C-04	+Vcc	R	X	Vcc Sh 7 y 8 - Fuente de Poder
25-C-05	26-C-10	AM	X	Transp Sh7 - Transp Sh6
25-C-06	Sin conexión	X	X	Sin conexión
25-C-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
25-C-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
25-C-09	Sin conexión	X	X	Sin conexión
25-C-11	-Vcc	N	X	Tierra Sh 7 y 8 - Tierra
25-C-12	34-D-14	AM	X	Sal Sh8 - Ent 5m6 (a)
26-C-01	35-D-02	A	X	Sal Sh5 - Ent 5m3 (a)
26-C-04	+Vcc	R	X	Vcc Sh5 y 6 - Fuente de Poder
26-C-05	27-C-10	AM	X	Transp Sh5 - Transp Sh4
26-C-06	Sin conexión	X	X	Sin conexión
26-C-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
26-C-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
26-C-09	Sin conexión	X	X	Sin conexión
26-C-11	-Vcc	N	X	Tierra Sh 5 y 6 - Tierra
26-C-12	35-D-14	VC	X	Sal Sh6 - Ent 5m4 (a)
27-C-01	35-E-02	A	X	Sal Sh3 - Ent 5m1 (a)
27-C-04	+Vcc	R	X	Vcc Sh3 y 4 - Fuente de Poder
27-C-05	28-C-10	VO	X	Transp Sh3 - Transp Sh2

SEDE	A	HECHO	CHEQUEO	TITULO LOGICO
27-C-06	Sin conexión	X	X	Sin conexión
27-C-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
27-C-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
27-C-09	Sin conexión	X	X	Sin conexión
27-C-11	-Vcc	N	X	Tierra Sh3 y 4 - Tierra
27-C-12	35-E-14	AM	X	Sal Sh4 - Ent Sm2 (a)
28-C-01	25-G-14	VC	X	Sal Sh1 - Ent St8 (a)
28-C-04	+Vcc	R	X	Vcc Sh 1 y 2 - Fuente de Poder
28-C-05	-Vcc	N	X	Transp Sh1 - Ent "0"
28-C-06	Sin conexión	X	X	Sin conexión
28-C-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
28-C-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
28-C-09	Sin conexión	X	X	Sin conexión
28-C-11	-Vcc	N	X	Tierra Sh 1 y 2 - Tierra
28-C-12	24-G-02	AM	X	Sal Sh2 - Ent St9 (a)
28-C-01	30-D-03	VD	X	Sal Sgl3 - Ent Sm13 (b)
28-C-04	+Vcc	R	X	Vcc Sal gl3 - Fuente de Poder
28-C-05	30-C-10	A	X	Transp Sgl3 - Transp Sgl2
28-C-06	Sin conexión	X	X	Sin conexión
28-C-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
28-C-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
28-C-09	Sin conexión	X	X	Sin conexión
28-C-10	Sin conexión	X	X	Transp Sg - Sin conexión
28-C-11	-Vcc	N	X	Tierra Sgl3 - Tierra
28-C-12	Sin conexión	X	X	Sal Sg - Sin conexión
28-C-13	-Vcc	N	X	Ent Sg - Ent "0"
28-C-14	-Vcc	N	X	Ent Sg - Ent "0"
30-C-01	31-D-03	VC	X	Sal Sgl1 - Ent Sm11 (b)
30-C-04	+Vcc	R	X	Vcc Sal gl1 y 12 - Fuente de Poder
30-C-05	31-C-10	VO	X	Transp Sgl1 - Transp Sgl0
30-C-06	Sin conexión	X	X	Sin conexión
30-C-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
30-C-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
30-C-09	Sin conexión	X	X	Sin conexión
30-C-11	-Vcc	N	X	Tierra Sgl1 y 12 - Tierra
30-C-12	31-D-13	A	X	Sal Sgl2 - Ent Sm12 (b)
31-C-01	32-D-03	VC	X	Sal Sg9 - Ent Sm9 (b)
31-C-04	+Vcc	R	X	Vcc Sg9 y 10 - Fuente de Poder
31-C-05	32-C-10	VO	X	Transp Sg9 - Transp Sg8
31-C-06	Sin conexión	X	X	Sin conexión
31-C-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
31-C-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
31-C-09	Sin conexión	X	X	Sin conexión
31-C-11	-Vcc	N	X	Tierra Sg 9 y 10 - Tierra
31-C-12	32-D-13	A	X	Sal Sgl0 - Ent Sm10 (b)

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
32-C-01	33-D-03	VC	X	Sal Sg7 - Ent Sm7 (b)
32-C-04	+Vcc	R	X	Vcc Sg7 y 8 - Fuente de Poder
32-C-05	33-C-10	VO	X	Transp Sg7 - Transp Sg6
32-C-06	Sin conexión	X	X	Sin conexión
32-C-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
32-C-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
32-C-09	Sin conexión	X	X	Sin conexión
32-C-11	-Vcc	N	X	Tierra Sg 7 y 8 - Tierra
32-C-12	33-D-13	A	X	Sal Sg8 - Ent Sm8 (b)
33-C-01	34-D-03	VC	X	Sal Sg5 - Ent Sm5 (b)
33-C-04	+Vcc	R	X	Vcc Sg5 y 6 - Fuente de Poder
33-C-05	34-C-10	VO	X	Transp Sg5 - Transp Sg4
33-C-06	Sin conexión	X	X	Sin conexión
33-C-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
33-C-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
33-C-09	Sin conexión	X	X	Sin conexión
33-C-11	-Vcc	N	X	Tierra Sg5 y 6 - Tierra
33-C-12	34-D-13	A	X	Sal Sg6 - Ent Sm6 (b)
34-C-01	35-D-03	VC	X	Sal Sg3 - Ent Sm3 (b)
34-C-03	35-G-10	VO	X	Ent Sg3 (b) - Transp Sg2
34-C-04	+Vcc	R	X	Vcc Sg3 y 4 - Fuente de Poder
34-C-05	-Vcc	N	X	Transp Sg3 - Ent "0"
34-C-06	Sin conexión	X	X	Sin conexión
34-C-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
34-C-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
34-C-09	Sin conexión	X	X	Sin conexión
34-C-11	-Vcc	N	X	Tierra Sg3 y 4 - Tierra
34-C-12	35-D-13	A	X	Sal Sg4 - Ent Sm4 (b)
35-C-01	35-E-03	VC	X	Sal Sg1 - Ent Sm1 (b)
35-C-03	R1K	AM	X	Ent Sg1 (b) - Ent "1"
35-C-04	+Vcc	R	X	Vcc Sg1 y 2 - Fuente de Poder
35-C-05	-Vcc	N	X	Transp Sg1 - Ent "0"
35-C-06	Sin conexión	X	X	Sin conexión
35-C-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
35-C-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
35-C-09	Sin conexión	X	X	Sin conexión
35-C-11	-Vcc	N	X	Tierra Sg 1 y 2 - Tierra
35-C-12	35-E-13	A	X	Sal Sg2 - Ent Sm2 (b)
35-C-13	-Vcc	N	X	Ent Sg2 (b) - Ent "0"
01-D-01	03-E-11	VC	X	Sal Sn15 - IN17
01-D-04	+Vcc	R	X	Vcc Sn15 y 16 - Fuente de Poder
01-D-05	02-D-10	A	X	Transp Sn15 - Transp Sn14
01-D-06	Sin conexión	X	X	Sin conexión
01-D-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
01-D-08	Sin conexión	X	X	Sal DR Exc - Sin conexión

DEBE	A	HECHO	CHEQUED	TITULO LOGICO
01-D-09	Sin conexión	X	X	Sin conexión
01-D-11	-Vcc	N	X	Tierra Sn15 y 16 - Tierra
01-D-12	03-E-13	AM	X	Sal Sn16 - IN18
02-D-01	03-E-05	VC	X	Sal Sn13 - IN15
02-D-04	+Vcc	R	X	Vcc Sn13 y 14 - Fuente de Poder
02-D-05	03-D-10	AM	X	Transp Sn13 - Transp Sn12
02-D-06	Sin conexión	X	X	Sin conexión
02-D-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
02-D-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
02-D-09	Sin conexión	X	X	Sin conexión
02-D-11	-Vcc	N	X	Tierra Sn13 y 14 - Tierra
02-D-12	03-E-09	A	X	Sal Sn14 - IN16
03-D-01	03-E-01	VC	X	Sal Sn11 - IN13
03-D-04	+Vcc	R	X	Vcc Sn11 y 12 - Fuente de Poder
03-D-05	04-D-10	A	X	Transp Sn11 - Transp Sn10
03-D-06	Sin conexión	X	X	Sin conexión
03-D-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
03-D-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
03-D-09	Sin conexión	X	X	Sin conexión
03-D-11	-Vcc	N	X	Tierra Sn11 y 12 - Tierra
03-D-12	03-E-03	AM	X	Sal Sn12 - IN14
04-D-01	04-E-11	VC	X	Sal Sn9 - IN11
04-D-04	+Vcc	R	X	Vcc Sn9 y 10 - Fuente de Poder
04-D-05	05-D-10	AM	X	Transp Sn9 - Transp Sn8
04-D-06	Sin conexión	X	X	Sin conexión
04-D-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
04-D-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
04-D-09	Sin conexión	X	X	Sin conexión
04-D-11	-Vcc	N	X	Tierra Sn9 y 10 - Tierra
04-D-12	04-E-13	VC	X	Sal Sn10 - IN12
05-D-01	04-E-05	A	X	Sal Sn7 - IN9
05-D-04	+Vcc	R	X	Vcc Sn7 y 8 - Fuente de Poder
05-D-05	06-D-10	AM	X	Transp Sn7 - Transp Sn6
05-D-06	Sin conexión	X	X	Sin conexión
05-D-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
05-D-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
05-D-09	Sin conexión	X	X	Sin conexión
05-D-11	-Vcc	N	X	Tierra Sn7 y 8 - Tierra
05-D-12	04-E-09	A	X	Sal Sn8 - IN10
06-D-01	04-E-01	AM	X	Sal Sn5 - IN7
06-D-04	+Vcc	R	X	Vcc Sn5 y 6 - Fuente de Poder
06-D-05	07-D-10	AM	X	Transp Sn5 - Transp Sn4
06-D-06	Sin conexión	X	X	Sin conexión
06-D-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
06-D-08	Sin conexión	X	X	Sal OR Exc - Sin conexión



DEBE	A	HECHO	CHEQUEO	TITULO LOGICO
07-0-09	Sin conexión	X	X	Sin conexión
07-0-11	-Vcc	N	X	Tierra Sn3 y 4 - Tierra
07-0-12	05-E-13	A	X	Sal Sn4 - IN6
08-0-01	05-E-05	A	X	Sal Sn1 - IN3
08-0-04	+Vcc	R	X	Vcc Sbl y 2 - Fuente de Poder
08-0-05	-Vcc	VC	X	Transp Sn1 - Ent "0"
08-0-06	Sin conexión	X	X	Sin conexión
08-0-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
08-0-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
08-0-09	Sin conexión	X	X	Sin conexión
08-0-11	-Vcc	N	X	Tierra Sn1 y 2 - Tierra
08-0-12	05-E-09	AM	X	Sal Sn2 - IN4
09-0-01	06-E-02	AM	X	Sal Sjl5 - Ent Spl9 (a)
09-0-04	+Vcc	R	X	Vcc Sjl5 - Fuente de Poder
09-0-05	10-D-10	VC	X	Transp Sjl5 - Transp Sjl4
09-0-06	Sin conexión	X	X	Sin conexión
09-0-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
09-0-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
09-0-09	Sin conexión	X	X	Sin conexión
09-0-10	Sin conexión	X	X	Transp Sjl - Sin conexión
09-0-11	-Vcc	N	X	Tierra Sjl5 - Tierra
09-0-12	Sin conexión	X	X	Sal Sjl - Sin conexión
09-0-13	-Vcc	AM	X	SNU - Ent "0"
09-0-14	-Vcc	A	X	SNU - Ent "0"
10-0-04	+Vcc	R	X	Vcc Sjl3 y 14 - Fuente de Poder
10-0-05	11-D-10	A	X	Transp Sjl3 - Transp Sjl2
10-0-06	Sin conexión	X	X	Sin conexión
10-0-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
10-0-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
10-0-09	Sin conexión	X	X	Sin conexión
10-0-11	-Vcc	N	X	Tierra Sjl3 y 14 - Tierra
11-0-01	08-E-02	VC	X	Sal Sjl1 - Ent Spl5 (a)
11-0-04	Fuente de Poder	R	X	Vcc Sjl1 y 12 - Vcc
11-0-05	12-D-10	A	X	Transp Sjl1 - Transp Sjl0
11-0-06	Sin conexión	X	X	Sin conexión
11-0-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
11-0-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
11-0-09	Sin conexión	X	X	Sin conexión
11-0-11	-Vcc	N	X	Tierra Sjl1 y 12 - Tierra
11-0-12	08-E-14	AM	X	Sal Sjl2 - Ent Spl6 (a)
12-0-01	09-E-02	A	X	Sal Sjl9 - Ent Spl3 (a)
12-0-04	+Vcc	R	X	Vcc Sjl9 y 10 - Fuente de Poder
12-0-05	13-D-10	A	X	Transp Sjl9 - Transp Sjl8
12-0-06	Sin conexión	X	X	Sin conexión
12-0-07	Sin conexión	X	X	Sal OR Exc - Sin conexión

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
12-D-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
12-D-09	Sin conexión	X	X	Sin conexión
12-D-11	-Vcc	N	X	Tierra Sj9 y 10 - Tierra
12-D-12	09-E-14	VC	X	Sal Sjl0 - Ent Sjl4 (a)
13-D-01	10-E-02	AM	X	Sal Sjl7 - Ent Spl1 (a)
13-D-04	+Vcc	R	X	Vcc Sjl7 y 8 - Fuente de Poder
13-D-05	14-D-10	A	X	Transp Sjl7 - Transp Sjl6
13-D-06	Sin conexión	X	X	Sin conexión
13-D-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
13-D-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
13-D-09	Sin conexión	X	X	Sin conexión
13-D-11	-Vcc	N	X	Tierra Sjl7 y 8 - Tierra
13-D-12	10-E-14	A	X	Sal Sjl8 - Ent Spl2 (a)
14-D-01	11-E-02	VC	X	Sal Sjl5 - Ent Sp9 (a)
14-D-04	+Vcc	R	X	Vcc Sjl5 y 6 - Fuente de Poder
14-D-05	15-D-10	A	X	Transp Sjl5 - Transp Sjl4
14-D-06	Sin conexión	X	X	Sin conexión
14-D-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
14-D-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
14-D-09	Sin conexión	X	X	Sin conexión
14-D-11	-Vcc	N	X	Tierra Sjl5 y 6 - Tierra
14-D-12	11-E-14	AM	X	Sal Sjl6 - Ent Spl0 (a)
15-D-01	12-E-02	A	X	Sal Sjl3 - Ent Sp7 (a)
15-D-04	+Vcc	R	X	Vcc Sjl3 y 4 - Fuente de Poder
15-D-05	16-D-10	A	X	Transp Sjl3 - Transp Sjl2
15-D-06	Sin conexión	X	X	Sin conexión
15-D-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
15-D-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
15-D-09	Sin conexión	X	X	Sin conexión
15-D-11	-Vcc	N	X	Tierra Sjl3 y 4 - Tierra
15-D-12	12-E-14	VC	X	Sal Sjl4 - Ent Sp8 (a)
16-D-01	13-E-02	AM	X	Sal Sjl1 - Ent Sp5 (a)
16-D-04	+Vcc	R	X	Vcc Sjl1 y 2 - Fuente de Poder
16-D-05	-Vcc	VC	X	Transp Sjl1 - Ent "0"
16-D-06	Sin conexión	X	X	Sin conexión
16-D-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
16-D-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
16-D-09	Sin conexión	X	X	Sin conexión
16-D-11	-Vcc	N	X	Tierra Sjl1 y 2 - Tierra
16-D-12	13-E-14	A	X	Sal Sjl2 - Ent Sp6 (a)
18-D-10	16-E-05	VC	X	Transp Sfl0 - IN A (3)
	17-F-02	VC	X	- Ent Sk9 (a)
	23-D-14	VC	X	- Ent SM12 (a)
17-D-04	+Vcc	R	X	Vcc Sfl1 - Fuente de Poder
17-D-11	-Vcc	N	X	Tierra Sfl1 - Tierra

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
18-D-01	24-D-14	VC	X	Sal Sf9 - Ent 5A10 (a)
	18-F-02	VC	X	- Ent 5k7 (a)
18-D-04	+Vcc	R	X	Vcc Sf9 y 10 - Fuente de Poder
18-D-05	19-D-10	AM	X	Transp Sf9 - Transp Sf8
18-D-06	Sin conexión	X	X	Sin conexión
18-D-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
18-D-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
18-D-09	Sin conexión	X	X	Sin conexión
18-D-11	-Vcc	N	X	Tierra Sf9 y 10 - Tierra
18-D-12	18-F-14	AM	X	Sal Sf10 - Ent 5k8 (a)
	23-D-02	AM	X	- Ent 5A11 (a)
19-D-01	19-F-02	A	X	Sal Sf7 - Ent 5k5 (a)
	25-D-14	A	X	- Ent 5A8 (a)
19-D-04	+Vcc	R	X	Vcc Sf7 y 8 - Fuente de Poder
19-D-05	20-D-10	VC	X	Transp Sf7 - Transp Sf6
19-D-06	Sin conexión	X	X	Sin conexión
19-D-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
19-D-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
19-D-09	Sin conexión	X	X	Sin conexión
19-D-11	-Vcc	N	X	Tierra Sf7 y 8 - Tierra
19-D-12	19-F-14	VC	X	Sal Sf8 - Ent 5k6 (a)
	24-D-02	VC	X	- Ent 5A9 (a)
20-D-01	20-F-02	AM	X	Sal Sf5 - Ent 5k3 (a)
	26-D-14	AM	X	- Ent 5A6 (a)
20-D-04	+Vcc	R	X	Vcc Sf5 y 6 - Fuente de Poder
20-D-05	21-D-10	AM	X	Transp Sf5 - Transp Sf4
20-D-06	Sin conexión	X	X	Sin conexión
20-D-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
20-D-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
20-D-09	Sin conexión	X	X	Sin conexión
20-D-11	-Vcc	N	X	Tierra Sf5 y 6 - Tierra
20-D-12	20-F-14	A	X	Sal Sf6 - Ent 5k4 (a)
	25-D-02	A	X	- Ent 5A7 (a)
21-D-01	21-F-02	VC	X	Sal Sf3 - Ent 5k1 (a)
	27-D-14	VC	X	- Ent 5A4 (a)
21-D-04	+Vcc	R	X	Vcc Sf3 y 4 - Fuente de Poder
21-D-05	22-D-10	A	X	Transp Sf3 - Transp Sf2
21-D-06	Sin conexión	X	X	Sin conexión
21-D-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
21-D-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
21-D-09	Sin conexión	X	X	Sin conexión
21-D-11	Sin conexión	X	X	Tierra Sf3 y 4 - Tierra
21-D-12	21-F-14	AM	X	Sal Sf4 - Ent 5k2 (a)
	26-D-02	AM	X	- Ent 5A5 (a)
22-D-01	28-D-14	A	X	Sal Sf1 - Ent A2 (a)

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
	28-F-11	A	X	- IQ5
22-D-04	Vcc	R	X	Vcc Sf1 y 2 - Fuente de Poder
22-D-05	-Vcc	VC	X	Transp Sf1 - Ent "0"
22-D-06	Sin conección	X	X	Sin conección
22-D-07	Sin conección	X	X	Sal OR Exc - Sin conección
22-D-08	Sin conección	X	X	Sal OR Exc - Sin conección
22-D-09	Sin conección	X	X	Sin conección
22-D-11	-Vcc	N	X	Tierra Sf1 y 2 - Tierra
22-D-12	27-D-02	VC	X	Sal Sf2 - Ent S83 (a)
	28-F-13	VC	X	- IQ6
23-D-01	23-E-03	VC	X	Sal S811 - Ent Sq13 (b)
23-D-04	+Vcc	R	X	Vcc S811 y 12 - Fuente de Poder
23-D-05	24-D-10	AM	X	Transp S811 - Transp S810
23-D-06	Sin conección	X	X	Sin conección
23-D-07	Sin conección	X	X	Sal OR Exc - Sin conección
23-D-08	Sin conección	X	X	Sal OR Exc - Sin conección
23-D-09	Sin conección	X	X	Sin conección
23-D-10	Sin conección	X	X	Transp S812 - Sin conección
23-D-11	-Vcc	N	X	Tierra S811 y 12 - Tierra
23-D-12	23-E-14	A	X	Sal S812 - Ent Sq14 (a)
24-D-01	24-E-03	VC	X	Sal S89 - Ent Sq11 (b)
24-D-04	+Vcc	R	X	Vcc S89 y 10 - Fuente de Poder
24-D-05	25-D-10	AM	X	Transp S89 - Transp S88
24-D-06	Sin conección	X	X	Sin conección
24-D-07	Sin conección	X	X	Sal OR Exc - Sin conección
24-D-08	Sin conección	X	X	Sal OR Exc - Sin conección
24-D-09	Sin conección	X	X	Sin conección
24-D-11	-Vcc	N	X	Tierra S89 y 10 - Tierra
24-D-12	24-E-13	A	X	Sal S810 - Ent Sq12 (b)
25-D-01	25-E-02	VC	X	Sal S87 - Ent Sq9 (a)
25-D-04	+Vcc	R	X	Vcc S87 y 8 - Fuente de Poder
25-D-05	26-D-10	AM	X	Transp S87 - Transp S86
25-D-06	Sin conección	X	X	Sin conección
25-D-07	Sin conección	X	X	Sal OR Exc - Sin conección
25-D-08	Sin conección	X	X	Sal OR Exc - Sin conección
25-D-09	Sin conección	X	X	Sin conección
25-D-11	-Vcc	N	X	Tierra S87 y 8 - Tierra
25-D-12	25-E-13	A	X	Sal S88 - Ent Sq10 (b)
26-D-01	26-E-02	VC	X	Sal S85 - Ent Sq7 (a)
26-D-04	+Vcc	R	X	Vcc S85 y 6 - Fuente de Poder
26-D-05	27-D-10	AM	X	Transp S85 - Transp S84
26-D-06	Sin conección	X	X	Sin conección
26-D-07	Sin conección	X	X	Sal OR Exc - Sin conección
26-D-08	Sin conección	X	X	Sal OR Exc - Sin conección
26-D-09	Sin conección	X	X	Sin conección

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
26-D-11	-Vcc	N	X	Tierra SR5 y 6 - Tierra
26-D-12	26-E-14	A	X	Sal SR6 - Ent Sq8 (a)
27-D-01	27-E-02	VC	X	Sal SR3 - Ent Sq5 (a)
27-D-04	+Vcc	R	X	Vcc SR3 y 4 - Fuente de Poder
27-D-05	28-D-10	AM	X	T SR3 - T SR2
27-D-06	Sin conexión	X	X	Sin conexión
27-D-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
27-D-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
27-D-09	Sin conexión	X	X	Sin conexión
27-D-11	-Vcc	N	X	Tierra SR3 y 4 - Tierra
27-D-12	27-E-14	A	X	Sal SR4 - Ent Sq6 (a)
28-D-01	28-E-02	VC	X	Sal SR1 - Ent Sq3 (a)
28-D-04	+Vcc	R	X	Vcc SR1 y 2 - Fuente de Poder
28-D-05	-Vcc	A	X	Transp SR1 - Ent "0"
28-D-06	Sin conexión	X	X	Sin conexión
28-D-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
28-D-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
28-D-09	Sin conexión	X	X	Sin conexión
28-D-11	-Vcc	N	X	Tierra SR1 y 2 - Tierra
28-D-12	28-E-14	VC	X	Sal SR2 - Ent Sq4 (a)
29-D-04	+Vcc	R	X	Vcc S T1 - Fuente de Poder
29-D-05	-Vcc	N	X	Transp S T1 - Ent "0"
29-D-06	Sin conexión	X	X	Sin conexión
29-D-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
29-D-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
29-D-09	Sin conexión	X	X	Sin conexión
29-D-11	-Vcc	N	X	Tierra S T1 - Tierra
30-D-01	30-E-02	VO	X	Sal Sml3 - Ent Sr9 (a)
30-D-04	+Vcc	R	X	Vcc Sml3 - Fuente de Poder
30-D-05	31-D-10	A	X	Transp Sml3 - Transp Sml2
30-D-06	Sin conexión	X	X	Sin conexión
30-D-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
30-D-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
30-D-09	Sin conexión	X	X	Sin conexión
30-D-10	Sin conexión	X	X	Transp SNU - Sin conexión
30-D-11	-Vcc	N	X	Tierra Sml3 - Tierra
30-D-12	Sin conexión	X	X	Sal SNU - Sin conexión
30-D-13	-Vcc	N	X	Ent SNU - Ent "0"
30-D-14	-Vcc	AM	X	Ent SNU - Ent "0"
31-D-01	31-E-02	VO	X	Sal Sml1 - Ent Sr7 (a)
31-D-04	+Vcc	R	X	Vcc Sml1 y 12 - Fuente de Poder
31-D-05	32-D-10	A	X	Transp Sml1 - Transp Sml0
31-D-06	Sin conexión	X	X	Sin conexión
31-D-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
31-D-08	Sin conexión	X	X	Sal OR Exc - Sin conexión

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
31-D-09	Sin conexión	X	X	Sin conexión
31-D-11	-Vcc	N	X	Tierra Sm11 y 12 - Tierra
31-D-12	31-E-14	VC	X	Sal Sm12 - Ent Sr8 (a)
32-D-01	32-E-02	VO	X	Sal Sm9 - Ent Sr5 (a)
32-D-04	+Vcc	R	X	Vcc Sm9 y 10 - Fuente de Poder
32-D-05	33-D-10	A	X	Transp Sm9 - Transp Sm8
32-D-06	Sin conexión	X	X	Sin conexión
32-D-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
32-D-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
32-D-09	Sin conexión	X	X	Sin conexión
32-D-11	-Vcc	N	X	Tierra Sm9 y 10 - Tierra
32-D-12	32-E-14	VC	X	Sal Sm10 - Ent Sr6 (a)
33-D-01	33-E-02	VO	X	Sal Sm7 - Ent Sr3 (a)
33-D-04	+Vcc	R	X	Vcc Sm7 y 8 - Fuente de Poder
33-D-05	34-D-10	A	X	T Sm7 - T Sm6
33-D-06	Sin conexión	X	X	Sin conexión
33-D-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
33-D-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
33-D-09	Sin conexión	X	X	Sin conexión
33-D-11	-Vcc	N	X	Tierra Sm7 y 8 - Tierra
33-D-12	33-E-14	VC	X	Sal Sm8 - Ent Sr4 (a)
34-D-01	34-E-02	VO	X	Sal Sm5 - Ent Sr1 (a)
34-D-04	+Vcc	R	X	Vcc Sm5 y 6 - Fuente de Poder
34-D-05	35-D-10	A	X	Transp Sm5 - Transp Sm4
34-D-06	Sin conexión	X	X	Sin conexión
34-D-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
34-D-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
34-D-09	Sin conexión	X	X	Sin conexión
34-D-11	-Vcc	N	X	Tierra Sm5 y 6 - Tierra
34-D-12	34-E-14	VC	X	Sal Sm6 - Ent Sr2 (a)
35-D-01	24-F-14	A	X	Sal Sm3 - Ent St12 (a)
35-D-04	+Vcc	R	X	Vcc Sm3 y 4 - Fuente de Poder
35-D-05	35-E-10	VO	X	T Sm3 - T Sm2
35-D-06	Sin conexión	X	X	Sin conexión
35-D-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
35-D-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
35-D-09	Sin conexión	X	X	Sin conexión
35-D-11	-Vcc	N	X	Tierra Sm3 y 4 - Tierra
35-D-12	23-F-02	VC	X	Sal Sm4 - Ent St13 (a)
01-E-01	02-E-01	VC	X	Sal Sm17 - IN19
01-E-04	+Vcc	R	X	Vcc Sm17 y 18 - Fuente de Poder
01-E-05	01-D-10	VC	X	Transp Sm17 - Transp Sm16
01-E-06	Sin conexión	X	X	Sin conexión
01-E-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
01-E-08	Sin conexión	X	X	Sal DR Exc - Sin conexión

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
01-E-09	Sin conexión	X	X	Sin conexión
01-E-10	Sin conexión	X	X	Transp Snl8 - Sin conexión
01-E-11	-Vcc	AM	X	Tierra Snl7 y 18 - Tierra
01-E-12	02-E-03	VC	X	Sal Snl8 - IN20
06-E-01	04-F-03	VC	X	Sal Spl9 - Ent Ss21 (b)
06-E-04	+Vcc	R	X	Vcc Spl9 - Fuente de Poder
06-E-06	Sin conexión	X	X	Sin conexión
06-E-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
06-E-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
06-E-09	Sin conexión	X	X	Sin conexión
06-E-10	Sin conexión	X	X	Transp Spl9 - Sin conexión
06-E-11	-Vcc	N	X	Tierra Spl9 - Tierra
06-E-12	Sin conexión	X	X	Sal SNU - Sin conexión
06-E-13	-Vcc	AM	X	Ent SNU - Ent "0"
06-E-14	-Vcc	AM	X	Ent SNU - Ent "0"
07-E-04	+Vcc	R	X	Vcc Spl7 y 18 - Fuente de Poder
07-E-11	-Vcc	N	X	Tierra Spl7 y 18 - Tierra
08-E-01	06-F-03	VC	X	Sal Spl5 - Ent Ss17 (b)
08-E-04	+Vcc	R	X	Vcc Spl5 y 16 - Fuente de Poder
08-E-05	09-E-10	VC	X	Transp Spl5 - T Spl4
08-E-06	Sin conexión	X	X	Sin conexión
08-E-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
08-E-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
08-E-09	Sin conexión	X	X	Sin conexión
08-E-11	-Vcc	N	X	Tierra Spl5 y 16 - Tierra
08-E-12	06-F-13	AM	X	Sal Spl6 - Ent Ss18 (b)
09-E-01	07-F-03	A	X	Sal Spl3 - Ent Ss15 (b)
09-E-04	+Vcc	R	X	Vcc Spl3 y 14 - Fuente de Poder
09-E-05	10-E-10	AM	X	Transp Spl3 - Transp Spl2
09-E-06	Sin conexión	X	X	Sin conexión
09-E-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
09-E-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
09-E-09	Sin conexión	X	X	Sin conexión
09-E-11	-Vcc	N	X	Tierra Spl3 y 14 - Tierra
09-E-12	07-F-13	A	X	Sal Spl4 - Ent Ss16 (b)
10-E-01	08-F-03	VC	X	Sal Spl1 - Ent Ss13 (b)
10-E-03	18-E-12	A	X	Ent Spl1 (b) - Sal Sd10
10-E-04	+Vcc	R	X	Vcc Spl1 y 12 - Fuente de Poder
10-E-05	11-E-10	AM	X	Transp Spl1 - Transp Spl0
10-E-06	Sin conexión	X	X	Sin conexión
10-E-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
10-E-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
10-E-09	Sin conexión	X	X	Sin conexión
10-E-11	-Vcc	N	X	Tierra Spl1 y 12 - Tierra
10-E-12	08-F-13	A	X	Sal Spl2 - Ent Ss14 (b)

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
11-E-01	09-F-03	VC	X	Sal Sp9 - Ent Ss11 (b)
11-E-03	19-E-12	AM	X	Ent Sp9 (b) - Sal Sd8
11-E-04	+Vcc	R	X	Vcc Sp9 y 10 - Fuente de Poder
11-E-05	12-E-10	VC	X	Transp Sp9 - Transp Sp8
11-E-06	Sin conexión	X	X	Sin conexión
11-E-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
11-E-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
11-E-09	Sin conexión	X	X	Sin conexión
11-E-11	-Vcc	N	X	Tierra Sp9 y 10 - Tierra
11-E-12	09-F-13	AM	X	Sal Sp10 - Ent Ss12 (b)
11-E-13	18-E-01	VC	X	Ent Sp10 (b) - Sal Sd9
12-E-01	10-F-03	A	X	Sal Sp7 - Ent Ss9 (b)
12-E-03	20-E-12	VC	X	Ent Sp7 (b) - Sal Sd6
12-E-04	+Vcc	R	X	Vcc Sp7 y 8 - Fuente de Poder
12-E-05	13-E-10	VC	X	Transp Sp7 - Transp Sp6
12-E-06	Sin conexión	X	X	Sin conexión
12-E-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
12-E-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
12-E-09	Sin conexión	X	X	Sin conexión
12-E-11	-Vcc	N	X	Tierra Sp7 y 8 - Tierra
12-E-12	10-F-13	AM	X	Sal Sp8 - Ent Ss10 (b)
12-E-13	19-E-01	AM	X	Ent Sp8 (b) - Sal Sd7
13-E-01	11-F-03	VC	X	Sal Sp5 - Ent Ss7 (b)
13-E-03	21-E-12	A	X	Ent Sp5 (b) - Sal Sd4
13-E-04	+Vcc	R	X	Vcc Sp5 y 6 - Fuente de Poder
13-E-05	14-E-10	A	X	Transp Sp5 - Transp Sp4
13-E-06	Sin conexión	X	X	Sin conexión
13-E-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
13-E-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
13-E-09	Sin conexión	X	X	Sin conexión
13-E-11	-Vcc	N	X	Tierra Sp5 y 6 - Tierra
13-E-12	11-F-13	VC	X	Sal Sp6 - Ent Ss 8 (b)
13-E-13	20-F-01	A	X	Ent Sp6 (b) - Sal Sd5
14-E-01	12-F-03	AM	X	Sal Sp3 - Ent Ss5 (b)
14-E-03	22-E-12	AM	X	Ent Sp3 (b) - Sal Sd2
14-E-04	+Vcc	R	X	Vcc Sp3 y 4 - Fuente de Poder
14-E-05	15-E-10	VC	X	Transp Sp3 - Transp Sp2
14-E-06	Sin conexión	X	X	Sin conexión
14-E-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
14-E-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
14-E-09	Sin conexión	X	X	Sin conexión
14-E-11	-Vcc	N	X	Tierra Sp3 y 4 - Tierra
14-E-12	12-F-13	A	X	Sal Sp4 - Ent Ss6 (b)
14-E-13	21-E-01	VC	X	Ent Sp4 (b) - Sal Sd3
15-E-01	13-F-03	AM	X	Sal Sp1 - Ent Ss3 (b)



DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
15-E-04	+Vcc	R	X	Vcc Spl y 2 - Fuente de Poder
15-E-05	-Vcc	AM	X	Transp Spl - Ent "0"
15-E-06	Sin conexión	X	X	Sin conexión
15-E-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
15-E-08	Sin conexión	X	X	Spl OR Exc - Sin conexión
15-E-09	Sin conexión	X	X	Sin conexión
15-E-11	-Vcc	N	X	Tierra Spl y 2 - Tierra
15-E-12	13-F-13	A	X	Sal Sp2 - Ent 5s4 (b)
15-E-13	22-E-01	VC	X	Ent Sp2 (b) - Sal Sd1
16-E-02	16-E-03	AM	X	Sal IA1 - Ent IA2
	16-E-11	AM	X	- Ent 5 IA5
16-E-04	12-G-03	A	X	Sal IA2 - Ent Su17 (b)
	12-G-13	A	X	- Ent Su18 (b)
	11-G-03	A	X	- Ent Su19 (b)
	11-G-13	A	X	- Ent Su20 (b)
	10-G-03	A	X	- Ent Su21 (b)
16-E-06	16-E-09	VO	X	Sal INA3 - Ent INA4
16-E-07	-Vcc	N	X	Tierra INA - Tierra
16-E-08	17-F-14	AM	X	Sal INA4 - Ent Sk10 (a)
	16-F-02	AM	X	- Ent Sk11 (a)
	16-F-14	AM	X	- Ent Sk12 (a)
	15-F-02	AM	X	- Ent Sk13 (a)
	15-F-13	AM	X	- Ent Sk14 (b)
16-E-10	23-B-14	VC	X	Sal IA5 - Ent ST11 (a)
16-E-14	+Vcc	R	X	Vcc IA - Vcc Fuente de Poder
17-E-01	10-E-13	AM	X	Sal Sd11 - Ent Spl2 (b)
	09-E-03	AM	X	- Ent Spl3 (b)
	09-E-13	AM	X	- Ent Spl4 (b)
	08-E-03	AM	X	- Ent Spl5 (b)
	02-E-05	A	X	- Ent IN 21
17-E-04	+Vcc	R	X	Vcc Sd11 - Fuente de Poder
17-E-05	18-E-10	VC	X	Transp Sd11 - Transp Sd10
17-E-06	Sin conexión	X	X	Sin conexión
17-E-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
17-E-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
17-E-09	Sin conexión	X	X	Sin conexión
17-E-10	Sin conexión	X	X	Transp SNU - Sin conexión
17-E-11	-Vcc	N	X	Tierra Sd11 - Tierra
17-E-12	Sin conexión	X	X	Sal SNU - Sin conexión
17-E-13	-Vcc	A	X	Ent SNU - Ent "0"
17-E-14	-Vcc	A	X	Ent SNU - Ent "0"
18-E-04	+Vcc	R	X	Vcc Sd9 - Fuente de Poder
18-E-05	19-E-10	A	X	Transp Sd9 - Transp Sd8
18-E-06	Sin conexión	X	X	Sin conexión
18-E-07	Sin conexión	X	X	Sal OR Exc - Sin conexión

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
18-E-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
18-E-09	Sin conexión	X	X	Sin conexión
18-E-11	-Vcc	N	X	Tierra Sd9 y 10 - Tierra
19-E-04	+Vcc	R	X	Vcc Sd7 y 8 - Fuente de Poder
19-E-05	20-E-10	A	X	Transp Sd7 - Transp Sd6
19-E-06	Sin conexión	X	X	Sin conexión
19-E-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
19-E-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
19-E-09	Sin conexión	X	X	Sin conexión
19-E-11	-Vcc	N	X	Tierra Sd7 y 8 - Tierra
20-E-04	+Vcc	R	X	Vcc Sd5 y 6 - Fuente de Poder
20-E-05	21-E-10	A	X	Transp Sd5 - Transp Sd4
20-E-06	Sin conexión	X	X	Sin conexión
20-E-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
20-E-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
20-E-09	Sin conexión	X	X	Sin conexión
20-E-11	-Vcc	N	X	Tierra Sd5 y 6 - Tierra
21-E-04	+Vcc	R	X	Vcc Sd3 y 4 - Fuente de Poder
21-E-05	22-E-10	A	X	Transp Sd3 - Transp Sd2
21-E-06	Sin conexión	X	X	Sin conexión
21-E-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
21-E-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
21-E-09	Sin conexión	X	X	Sin conexión
21-E-11	-Vcc	N	X	Tierra Sd3 y 4 - Tierra
22-E-04	+Vcc	R	X	Vcc Sd1 y 2 - Fuente de Poder
22-E-05	-Vcc	N	X	Transp Sd1 - Ent "0"
22-E-06	Sin conexión	X	X	Sin conexión
22-E-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
22-E-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
22-E-09	Sin conexión	X	X	Sin conexión
22-E-11	-Vcc	N	X	Tierra
23-E-04	+Vcc	R	X	Vcc Sql3 y 14 - Fuente de Poder
23-E-05	24-E-10	VO	X	Transp Sql3 - Transp Sql2
23-E-06	Sin conexión	X	X	Sin conexión
23-E-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
23-E-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
23-E-09	Sin conexión	X	X	Sin conexión
23-E-11	-Vcc	N	X	Tierra Sql3 y 14 - Tierra
24-E-04	+Vcc	R	X	Vcc Sql1 y 12 - Fuente de Poder
24-E-05	25-E-10	VO	X	Transp Sql1 - Transp Sql0
24-E-06	Sin conexión	X	X	Sin conexión
24-E-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
24-E-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
24-E-09	Sin conexión	X	X	Sin conexión
24-E-11	-Vcc	N	X	Tierra Sql1 y 12 - Tierra

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
25-E-03	15-F-01	A	X	Ent Sq9 (b) - Sal Sk13
25-E-04	+Vcc	R	X	Vcc Sq9 y 10 - Fuente de Poder
25-E-05	26-E-10	VC	X	Transp Sq9 - Transp Sq8
25-E-06	Sin conexión	X	X	Sin conexión
25-E-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
25-E-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
25-E-09	Sin conexión	X	X	Sin conexión
25-E-11	-Vcc	N	X	Tierra Sq9 y 10 - Tierra
26-E-03	16-F-01	VC	X	Ent Sq7 (b) - Sal Sk11
26-E-04	+Vcc	R	X	Vcc Sq7 y 8 - Fuente de Poder
26-E-05	27-E-10	VC	X	Transp Sq7 - Transp Sq6
26-E-06	Sin conexión	X	X	Sin conexión
26-E-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
26-E-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
26-E-09	Sin conexión	X	X	Sin conexión
26-E-11	-Vcc	N	X	Tierra Sq7 y 8 - Tierra
26-E-13	16-F-12	VC	X	Ent Sq8 (b) - Sal Sk12
27-E-03	17-F-01	A	X	Ent Sq5 (b) - Sal Sk9
27-E-04	+Vcc	R	X	Vcc Sq5 y 6 - Fuente de Poder
27-E-05	28-E-10	VC	X	Transp Sq5 - Transp Sq4
27-E-06	Sin conexión	X	X	Sin conexión
27-E-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
27-E-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
27-E-09	Sin conexión	X	X	Sin conexión
27-E-11	-Vcc	N	X	Tierra Sq5 y 6 - Tierra
27-E-13	17-F-12	A	X	Ent Sq6 (b) - Sal Sk10
28-E-03	18-F-01	VC	X	Ent Sq3 (b) - Sal Sk7
28-E-04	+Vcc	R	X	Vcc Sq3 y 4 - Fuente de Poder
28-E-05	29-E-10	VC	X	Transp Sq3 - Transp Sq2
28-E-06	Sin conexión	X	X	Sin conexión
28-E-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
28-E-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
28-E-09	Sin conexión	X	X	Sin conexión
28-E-11	-Vcc	N	X	Tierra Sq3 y 4 - Tierra
28-E-13	18-F-12	VC	X	Ent Sq4 (b) - Sal Sk8
29-E-03	19-F-01	A	X	Ent Sq1 (b) - Sal Sk5
29-E-04	+Vcc	R	X	Vcc Sq1 y 2 - Fuente de Poder
29-E-05	-Vcc	N	X	Transp Sq1 - Ent "0"
29-E-06	Sin conexión	X	X	Sin conexión
29-E-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
29-E-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
29-E-09	Sin conexión	X	X	Sin conexión
29-E-11	-Vcc	N	X	Tierra Sq1 y 2 - Tierra
29-E-13	19-F-12		X	Ent Sq2 (b) - Sal Sk6
30-E-01	21-G-14	VC	X	Sal Sr9 - Ent St22 (a)

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
30-E-04	+Vcc	R	X	Vcc Sr9 - Fuente de Poder
30-E-05	31-E-10	VO	X	Transp Sr9 - Transp Sr8
30-E-06	Sin conección	X	X	Sin conección
30-E-07	Sin conección	X	X	Sal OR Exc - Sin conección
30-E-08	Sin conección	X	X	Sal OR Exc - Sin conección
30-E-09	Sin conección	X	X	Sin conección
30-E-10	Sin conección	X	X	Transp SNU - Sin conección
30-E-11	-Vcc	N	X	Tierra Sr9 - Tierra
30-E-12	Sin conección	X	X	Sal SNU - Sin conección
30-E-13	-Vcc	N	X	Ent SNU - Ent "0"
30-E-14	-Vcc	N	X	Ent SNU - Ent "0"
31-E-01	22-F-14	A	X	Sal Sr7 - Ent St20 (a)
31-E-04	+Vcc	R	X	Vcc Sr7 y 8 - Fuente de Poder
31-E-05	32-E-10	VC	X	Transp Sr7 - Transp Sr6
31-E-06	Sin conección	X	X	Sin conección
31-E-07	Sin conección	X	X	Sal OR Exc - Sin conección
31-E-08	Sin conección	X	X	Sal OR Exc - Sin conección
31-E-09	Sin conección	X	X	Sin conección
31-E-11	-Vcc	N	X	Tierra Sr7 y 8 - Tierra
31-E-12	21-G-02	A	X	Sal Sr8 - Ent St21 (a)
32-E-01	22-G-14	VC	X	Sal Sr5 - Ent St18 (a)
32-E-04	+Vcc	R	X	Vcc Sr5 y 6 - Fuente de Poder
32-E-05	33-E-10	VO	X	Transp Sr5 - Transp Sr4
32-E-06	Sin conección	X	X	Sin conección
32-E-07	Sin conección	X	X	Sal OR Exc - Sin conección
32-E-08	Sin conección	X	X	Sal OR Exc - Sin conección
32-E-09	Sin conección	X	X	Sin conección
32-E-11	-Vcc	N	X	Tierra Sr5 y 6 - Tierra
32-E-12	22-F-02	A	X	Sal Sr6 - Ent St19 (a)
33-E-01	23-G-14	VC	X	Sal Sr3 - Ent St16 (a)
33-E-04	+Vcc	R	X	Vcc Sr3 y 4 - Fuente de Poder
33-E-05	34-E-10	VO	X	Transp Sr3 - Transp Sr2
33-E-06	Sin conección	X	X	Sin conección
33-E-07	Sin conección	X	X	Sal OR Exc - Sin conección
33-E-08	Sin conección	X	X	Sal OR Exc - Sin conección
33-E-09	Sin conección	X	X	Sin conección
33-E-11	-Vcc	N	X	Tierra Sr3 y 4 - Tierra
33-E-12	22-G-02	A	X	Sal Sr4 - Ent St17 (a)
34-E-01	23-F-14	VC	X	Sal Sr1 - Ent St14 (a)
34-E-04	+Vcc	R	X	Vcc Sr1 y 2 - Fuente de Poder
34-E-05	-Vcc	N	X	Transp Sr1 - Ent "0"
34-E-06	Sin conección	X	X	Sin conección
34-E-07	Sin conección	X	X	Sal OR Exc - Sin conección
34-E-08	Sin conección	X	X	Sal OR Exc - Sin conección
34-E-09	Sin conección	X	X	Sin conección

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
34-E-11	-Vcc	N	X	Tierra S1 y 2 - Tierra
34-E-12	23-G-02	A	X	Sal Sx2 - Ent St15 (a)
35-E-01	24-G-14	VC	X	Sal Sml - Ent St10 (a)
35-E-04	+Vcc	R	X	Vcc Sml y 2 - Fuente de Poder
35-E-05	-Vcc	N	X	Transp Sml - Ent "0"
35-E-06	Sin conexión	X	X	Sin conexión
35-E-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
35-E-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
35-E-09	Sin conexión	X	X	Sin conexión
35-E-11	-Vcc	N	X	Tierra Sml y 2 - Tierra
35-E-12	24-F-02	A	X	Sal Sm2 - Ent St11 (a)
04-F-01	10-G-02	VC	X	Sal Ss21 - Ent Su21 (a)
04-F-02	05-F-14	AM	X	Ent Ss21 (a) - Ent Ss20 (a)
	02-E-04	AM	X	- Sal IN20
04-F-04	+Vcc	R	X	Vcc Ss21 - Fuente de Poder
04-F-05	05-F-10	VC	X	Transp Ss21 - Transp Ss20
04-F-06	Sin conexión	X	X	Sin conexión
04-F-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
04-F-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
04-F-09	Sin conexión	X	X	Sin conexión
04-F-10	Sin conexión	X	X	Transp SNU - Sin conexión
04-F-11	-Vcc	N	X	Tierra Ss21 - Tierra
04-F-12	Sin conexión	X	X	Sal SNU - Sin conexión
04-F-13	-Vcc	VC	X	Ent SNU - Ent "0"
04-F-14	-Vcc	VC	X	Ent SNU - Ent "0"
05-F-01	11-G-02	A	X	Sal Ss19 - Ent Su19 (a)
05-F-02	02-E-02	VC	X	Ent Ss19 (a) - Sal IN19
05-F-04	+Vcc	R	X	Vcc Ss19 y 20 - Fuente de Poder
05-F-05	06-F-10	AM	X	Transp Ss19 - Transp Ss18
05-F-06	Sin conexión	X	X	Sin conexión
05-F-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
05-F-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
05-F-09	Sin conexión	X	X	Sin conexión
05-F-11	-Vcc	N	X	Tierra Ss19 y 20 - Tierra
05-F-12	11-G-14	VC	X	Sal Ss20 - Ent Su20 (a)
06-F-01	12-G-02	AM	X	Sal Ss17 - Ent Su17 (a)
06-F-02	03-E-10	A	X	Ent Ss17 (a) - Sal IN17
06-F-04	+Vcc	R	X	Vcc Ss17 y 18 - Fuente de Poder
06-F-05	07-F-10	VC	X	Transp Ss17 - Transp Ss16
06-F-06	Sin conexión	X	X	Sin conexión
06-F-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
06-F-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
06-F-09	Sin conexión	X	X	Sin conexión
06-F-11	-Vcc	N	X	Tierra Ss17 y 18 - Tierra
06-F-12	12-G-14	VC	X	Sal Ss18 - Ent Su18 (a)

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
06-F-14	03-E-12	AM	X	Ent Ss18 (a) - Sal IN18
07-F-01	13-G-02	A	X	Sal Ss15 - Ent Sul5 (a)
07-F-02	03-E-06	VC	X	Ent Ss15 (a) - Sal IN15
07-F-04	+Vcc	R	X	Vcc Ss15 y 16 - Fuente de Poder
07-F-05	08-F-10	VC	X	Transp Ss15 - Transp Ss14
07-F-06	Sin conexión	X	X	Sin conexión
07-F-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
07-F-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
07-F-09	Sin conexión	X	X	Sin conexión
07-F-11	-Vcc	N	X	Tierra Ss15 y 16 - Tierra
07-F-12	13-G-14	A	X	Sal Ss16 - Ent Sul6 (a)
07-F-14	03-E-08	VC	X	Ent Ss16 (a) - Sal IN16
08-F-01	14-G-02	VC	X	Sal Ss13 - Ent Sul3 (b)
08-F-02	03-E-02	A	X	Ent Ss13 (a) - Sal IN13
08-F-04	+Vcc	R	X	Vcc Ss13 y 14 - Fuente de Poder
08-F-05	09-F-10	A	X	Transp Ss13 - Transp Ss12
08-F-06	Sin conexión	X	X	Sin conexión
08-F-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
08-F-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
08-F-09	Sin conexión	X	X	Sin conexión
08-F-11	-Vcc	N	X	Tierra Ss13 y 14 - Tierra
08-F-12	14-G-14	A	X	Sal Ss14 - Ent Sul4 (a)
08-F-14	03-E-04	AM	X	Ent Ss14 (a) - Sal IN14
09-F-01	15-G-03	A	X	Sal Ss11 - Ent Sul1 (b)
09-F-02	04-E-10	VC	X	Ent Ss11 (a) - Sal IN11
09-F-04	+Vcc	R	X	Vcc Ss11 y 12 - Fuente de Poder
09-F-05	10-F-10	VC	X	Transp Ss11 - Transp Ss10
09-F-06	Sin conexión	X	X	Sin conexión
09-F-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
09-F-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
09-F-09	Sin conexión	X	X	Sin conexión
09-F-11	-Vcc	N	X	Tierra Ss11 y 12 - Tierra
09-F-12	15-G-13	AM	X	Sal Ss12 - Ent Sul2 (b)
09-F-14	04-E-12	VC	X	Ent Ss12 - Sal IN12
10-F-01	16-G-03	AM	X	Sal Ss9 - Ent Sul9 (b)
10-F-02	04-E-06	A	X	Ent Ss9 (a) - Sal IN9
10-F-04	+Vcc	R	X	Vcc Ss9 y 10 - Fuente de Poder
10-F-05	11-F-10	A	X	Transp Ss9 - Transp Ss8
10-F-06	Sin conexión	X	X	Sin conexión
10-F-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
10-F-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
10-F-09	Sin conexión	X	X	Sin conexión
10-F-11	-Vcc	N	X	Tierra Ss9 y 10 - Tierra
10-F-12	16-G-13	AM	X	Sal Ss10 - Ent Sul0 (b)
10-F-14	04-E-08	VC	X	Ent Ss10 (a) - Sal IN10

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
11-F-01	17-G-03	AM	X	Sal Ss7 - Ent Su7 (b)
11-F-02	04-E-02	A	X	Ent Ss7 (a) - Sal IN7
11-F-04	+Vcc	R	X	Vcc Ss7 y 8 - Fuente de Poder
11-F-05	12-F-10	A	X	Transp Ss7 - Transp Ss6
11-F-06	Sin conexión	X	X	Sin conexión
11-F-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
11-F-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
11-F-09	Sin conexión	X	X	Sin conexión
11-F-11	-Vcc	N	X	Tierra Ss7 y 8 - Tierra
11-F-12	17-G-13	AM	X	Sal Ss8 - Ent Su8 (b)
11-F-14	04-E-04	A	X	Ent Ss8 (a) - Sal IN8
12-F-01	18-G-03	VC	X	Sal Ss5 - Ent Su5 (b)
12-F-02	05-E-10	A	X	Ent Ss5 (a) - Sal IN5
12-F-04	+Vcc	R	X	Vcc Ss5 y 6 - Fuente de Poder
12-F-05	13-F-10	A	X	Transp Ss5 - Transp Ss4
12-F-06	Sin conexión	X	X	Sin conexión
12-F-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
12-F-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
12-F-09	Sin conexión	X	X	Sin conexión
12-F-11	-Vcc	N	X	Tierra Ss5 y 6 - Tierra
12-F-12	18-G-13	AM	X	Sal Ss6 - Ent Su6 (b)
12-F-14	05-E-12	A	X	Ent Ss6 (a) - Sal IN6
13-F-01	19-G-03	VC	X	Sal Ss3 - Ent Su3 (b)
13-F-02	05-E-06	AM	X	Ent Ss3 (a) - Sal IN3
13-F-04	+Vcc	R	X	Vcc Ss3 y 4 - Fuente de Poder
13-F-05	14-F-10	A	X	Transp Ss3 - Transp Ss2
13-F-06	Sin conexión	X	X	Sin conexión
13-F-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
13-F-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
13-F-09	Sin conexión	X	X	Sin conexión
13-F-11	-Vcc	N	X	Tierra Ss3 y 4 - Tierra
13-F-12	19-G-13	VC	X	Sal Ss4 - Ent Su4 (b)
13-F-14	05-E-08	AM	X	Ent Ss4 (a) - Sal IN4
14-F-01	20-G-03	A	X	Sal Ss1 - Ent Su1 (b)
14-F-02	05-E-02	AM	X	Ent Ss1 (a) - Sal IN1
14-F-04	+Vcc	R	X	Vcc Ss1 y 2 - Fuente de Poder
14-F-06	Sin conexión	X	X	Sin conexión
14-F-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
14-F-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
14-F-09	Sin conexión	X	X	Sin conexión
14-F-11	-Vcc	N	X	Tierra Ss1 y 2 - Tierra
14-F-12	20-G-13	A	X	Sal Ss2 - Ent Su2 (b)
14-F-14	05-E-04	AM	X	Ent Ss2 (a) - Sal IN2
15-F-04	+Vcc	R	X	Vcc Sk13 y 14 - Fuente de Poder
15-F-05	16-F-10	VC	X	Transp Sk13 - Transp Sk12

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
15-F-06	Sin conexión	X	X	Sin conexión
15-F-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
15-F-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
15-F-09	Sin conexión	X	X	Sin conexión
15-F-10	Sin conexión	X	X	Transp Sk14 - Sin conexión
15-F-11	-Vcc	N	X	Tierra Sk12 y 14 - Tierra
15-F-12	23-E-13	A	X	Sal Sk14 - Ent Sql4 (b)
	23-E-02	A	X	- Ent Sql3 (a)
	24-E-14	A	X	- Ent Sql2 (a)
	24-E-02	A	X	- Ent Sql1 (a)
	25-E-14	A	X	- Ent Sql0 (a)
16-F-04	+Vcc	R	X	Vcc Sk11 y 12 - Fuente de Poder
16-F-05	17-F-10	VC	X	Transp Sk11 - Transp Sk10
16-F-06	Sin conexión	X	X	Sin conexión
16-F-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
16-F-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
16-F-09	Sin conexión	X	X	Sin conexión
16-F-11	-Vcc	N	X	Tierra Sk11 y 12 - Tierra
17-F-04	+Vcc	R	X	Vcc Sk9 y 10 - Fuente de Poder
17-F-05	18-F-10	VC	X	Transp Sk9 - Transp Sk8
17-F-06	Sin conexión	X	X	Sin conexión
17-F-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
17-F-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
17-F-09	Sin conexión	X	X	Sin conexión
17-F-11	-Vcc	N	X	Tierra Sk9 y 10 - Tierra
18-F-04	+Vcc	R	X	Vcc Sk7 y 8 - Fuente de Poder
18-F-05	19-F-10	VC	X	Transp Sk7 - Transp Sk6
18-F-06	Sin conexión	X	X	Sin conexión
18-F-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
18-F-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
18-F-09	Sin conexión	X	X	Sin conexión
18-F-11	-Vcc	N	X	Tierra Sk7 y 8 - Tierra
19-F-01	+Vcc	R	X	Vcc Sk5 y 6 - Fuente de Poder
19-F-05	20-F-10	VC	X	Transp Sk5 - Transp Sk4
19-F-06	Sin conexión	X	X	Sin conexión
19-F-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
19-F-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
19-F-09	Sin conexión	X	X	Sin conexión
19-F-11	-Vcc	N	X	Tierra Sk5 y 6 - Tierra
20-F-04	+Vcc	R	X	Vcc Sk3 y 4 - Fuente de Poder
20-F-05	21-F-10	VC	X	Transp Sk3 - Transp Sk2
20-F-06	Sin conexión	X	X	Sin conexión
20-F-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
20-F-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
20-F-09	Sin conexión	X	X	Sin conexión



DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
20-F-11	-Vcc	N	X	Tierra Sk3 y 4 - Tierra
21-F-04	+Vcc	R	X	Vcc Sk1 y 2 - Fuente de Poder
21-F-05	-Vcc	A	X	Transp Sk1 - Ent "0"
21-F-06	Sin conexión	X	X	Sin conexión
21-F-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
21-F-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
21-F-09	Sin conexión	X	X	Sin conexión
21-F-11	-Vcc	N	X	Tierra Sk1 y 2 - Tierra
22-F-04	+Vcc	R	X	Vcc St19 y 20 - Fuente de Poder
22-F-05	22-G-10	VO	X	Transp St19 - Transp St18
22-F-06	Sin conexión	X	X	Sin conexión
22-F-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
22-F-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
22-F-09	Sin conexión	X	X	Sin conexión
22-F-11	-Vcc	N	X	Tierra St19 y 20 - Tierra
23-F-04	+Vcc	R	X	Vcc St13 y 14 - Fuente de Poder
23-F-05	24-F-10	A	X	Transp St13 - Transp St12
23-F-06	Sin conexión	X	X	Sin conexión
23-F-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
23-F-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
23-F-09	Sin conexión	X	X	Sin conexión
23-F-11	-Vcc	N	X	Tierra St13 y 14 - Tierra
24-F-04	+Vcc	R	X	Vcc St11 y 12 - Fuente de Poder
24-F-05	24-G-10	VC	X	Transp St11 - Transp St10
24-F-06	Sin conexión	X	X	Sin conexión
24-F-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
24-F-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
24-F-09	Sin conexión	X	X	Sin conexión
24-F-11	-Vcc	N	X	Tierra St11 y 12 - Tierra
25-F-01	25-E-01	VC	X	IQ19 - Sal Sq9
25-F-02	23-G-13	A	X	Sal IQ19 - Ent St16 (b)
25-F-03	25-E-12	VO	X	IQ20 - Sal Sq10
25-F-04	22-G-03	VC	X	Sal IQ20 - Ent St17 (b)
25-F-05	24-E-01	A	X	IQ21 - Sal Sq11
25-F-06	22-G-13	VC	X	Sal IQ21 - Ent St18 (b)
25-F-07	-Vcc	N	X	Tierra IQ - Tierra
25-F-08	22-F-03	A	X	Sal IQ22 - Ent St19 (b)
25-F-09	24-E-12	VO	X	IQ22 - Sal Sq12
25-F-10	22-F-13	VC	X	Sal IQ23 - Ent St20 (b)
25-F-11	23-E-01	VC	X	IQ23 - Sal Sq13
25-F-12	21-G-03	A	X	Sal IQ24 - Ent St21 (b)
	21-G-13	A	X	- Ent St22 (b)
25-F-13	23-E-12	VC	X	IQ24 - Sal Sq14
25-F-14	+Vcc	R	X	Vcc IQ - Fuente de Poder
26-F-01	28-E-01	A	X	IQ13 - Sal Sq3

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
26-F-02	24-G-13	VO	X	Sal IQ13 - Ent St10 (b)
26-F-03	28-E-12	A	X	IQ14 - Sal Sq4
26-F-04	24-F-03	VC	X	Sal IQ14 - Ent St11 (b)
26-F-05	27-E-01	VO	X	IQ15 - Sal Sq5
26-F-06	24-F-13	VO	X	Sal IQ15 - Ent St12 (b)
26-F-07	+Vcc	N	X	Tierra IQ - Tierra
26-F-08	23-F-03	A	X	Sal IQ16 - Ent St13 (b)
26-F-09	27-E-12	VC	X	IQ16 - Sal Sq6
26-F-10	23-F-13	VC	X	Sal IQ17 - Ent St14 (b)
26-F-11	26-E-01	VO	X	IQ17 - Sal Sq7
26-F-12	23-G-03	A	X	Sal IQ18 - Ent St15 (b)
26-F-13	26-E-12	A	X	IQ18 - Sal Sq8
26-F-14	+Vcc	R	X	Vcc IQ - Fuente de Poder
27-F-01	21-F-01	VC	X	IQ7 - Sal Sk1
27-F-02	27-G-13	A	X	Sal IQ7 - Ent St4 (b)
27-F-03	21-F-12	VC	X	IQ8 - Sal Sk2
27-F-04	26-G-03	A	X	Sal IQ8 - Ent St5 (b)
27-F-05	20-F-01	VC	X	IQ9 - Sal Sk3
27-F-06	26-G-13	VO	X	Sal IQ9 - Ent St6 (b)
27-F-07	+Vcc	N	X	Tierra IQ - Tierra
27-F-08	25-G-03	A	X	Sal IQ10 - Ent St7(b)
27-F-09	20-F-12	VC	X	IQ10 - Sal Sk4
27-F-10	25-G-13	A	X	Sal IQ11 - Ent St8 (b)
27-F-11	29-E-01	VO	X	IQ11 - Sal Sq1
27-F-12	24-G-03	VC	X	Sal IQ12 - Ent St9 (b)
27-F-13	29-E-12	A	X	IQ12 - Sal Sq2
27-F-14	+Vcc	R	X	Vcc IQ - Fuente de Poder
28-F-02	28-F-03	A	X	Sal IQ1 - Ent IQ2
28-F-04	30-E-03	VC	X	Sal IQ2 - Ent Sr9 (b)
	31-E-13	VC	X	- Ent Sr8 (b)
	31-E-03	VC	X	- Ent Sr7 (b)
	32-E-13	VC	X	- Ent Sr6 (b)
	32-E-03	VC	X	- Ent Sr5 (b)
28-F-05	Sin conexión	X	X	Sin conexión
28-F-06	Sin conexión	X	X	Sin conexión
28-F-07	+Vcc	N	X	Tierra IQ - Tierra
28-F-08	Sin conexión	X	X	Sal IQ4 - Sin conexión
28-F-09	Sin conexión	X	X	Ent IQ4 - Sin conexión
28-F-10	28-G-14	VC	X	Sal IQ5 - Ent St2 (a)
28-F-12	27-G-03	VC	X	Sal IQ6 - Ent St3 (b)
28-F-14	+Vcc	R	X	Vcc IQ - Fuente de Poder
29-F-01	34-E-13	VC	X	Sal SG2 <sub>3</sub> - Ent Sr2 (b)
29-F-02	R1K	A	X	Ent SG2 <sub>3</sub> (a) - Ent "1"
29-F-03	30-F-12	VO	X	Ent SG2 <sub>3</sub> (b) - Sal SG1
29-F-04	+Vcc	R	X	Vcc SG2 <sub>3</sub> y SG2 <sub>4</sub> - Fuente de Poder

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
29-F-05	-Vcc	N	X	Transp SG23 - Ent "0"
29-F-06	Sin conexión	X	X	Sin conexión
29-F-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
29-F-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
29-F-09	Sin conexión	X	X	Sin conexión
29-F-10	Sin conexión	X	X	Transp SG24 - Sin conexión
29-F-11	-Vcc	N	X	Tierra SG23 y 624 - Tierra
29-F-12	28-F-01	VO	X	Sal SG24 - IQ1
	33-E-13	VO	X	- Ent Sr4 (b)
	33-E-03	VO	X	- Ent Sr3 (b)
29-F-13	R1K	A	X	Ent SG24 (b) - Ent "1"
29-F-14	30-F-10	A	X	Ent SG24 (a) - T SG12
30-F-01	34-E-03	A	X	Sal SG11 - Ent Sr1 (b)
30-F-04	+Vcc	R	X	Vcc SG11 y SG12 - Fuente de Poder
30-F-05	-Vcc	N	X	Transp SG11 - Ent "0"
30-F-06	Sin conexión	X	X	Sin conexión
30-F-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
30-F-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
30-F-09	Sin conexión	X	X	Sin conexión
30-F-11	-Vcc	N	X	Tierra SG11 y G12 - Tierra
30-F-13	-Vcc	N	X	Ent SG12 (b) - Ent "0"
10-G-04	+Vcc	R	X	Vcc Su21 - Fuente de Poder
10-G-05	11-G-10	A	X	Transp Su21 - Transp Su20
10-G-06	Sin conexión	X	X	Sin conexión
10-G-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
10-G-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
10-G-09	Sin conexión	X	X	Sin conexión
10-G-10	Sin conexión	X	X	Transp SNU - Sin conexión
10-G-11	-Vcc	N	X	Tierra S21u - Tierra
10-G-12	Sin conexión	X	X	Sal SNU - Sin conexión
10-G-13	-Vcc	N	X	Ent SNU - Ent "0"
10-G-14	-Vcc	N	X	Ent SNU - Ent "0"
11-G-04	+Vcc	R	X	Vcc Sul9 y 20 - Fuente de Poder
11-G-05	12-G-10	VC	X	Transp Sul9 - Transp Sul8
11-G-06	Sin conexión	X	X	Sin conexión
11-G-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
11-G-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
11-G-09	Sin conexión	X	X	Sin conexión
11-G-11	-Vcc	N	X	Tierra Sul9 y 20 - Tierra
12-G-04	+Vcc	R	X	Vcc Sul7 y 18 - Fuente de Poder
12-G-05	13-G-10	VC	X	Transp Sul7 - Transp Sul6
12-G-06	Sin conexión	X	X	Sin conexión
12-G-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
12-G-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
12-G-09	Sin conexión	X	X	Sin conexión

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
12-G-11	-Vcc	N	X	Tierra Su17 y 18 - Fuente de Poder
13-G-04	+Vcc	R	X	Vcc Su15 y 16 - Fuente de Poder
13-G-05	14-G-10	A	X	Transp Su15 - Transp Su14
13-G-06	Sin conexión	X	X	Sin conexión
13-G-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
13-G-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
13-G-09	Sin conexión	X	X	Sin conexión
13-G-11	-Vcc	N	X	Tierra Su15 y 16 - Tierra
14-G-04	+Vcc	R	X	Vcc Su13 y 14 - Fuente de Poder
14-G-05	15-G-10	A	X	Transp Su13 - Transp Su12
14-G-06	Sin conexión	X	X	Sin conexión
14-G-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
14-G-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
14-G-09	Sin conexión	X	X	Sin conexión
14-G-11	-Vcc	N	X	Tierra Su13 y 14 - Tierra
15-G-04	+Vcc	R	X	Vcc Su11 y 12 - Fuente de Poder
15-G-05	16-G-10	VC	X	Transp Su11 - Transp Su10
15-G-06	Sin conexión	X	X	Sin conexión
15-G-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
15-G-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
15-G-09	Sin conexión	X	X	Sin conexión
15-G-11	-Vcc	N	X	Tierra Su11 y 12 - Tierra
16-G-04	+Vcc	R	X	Vcc Su9 y 10 - Fuente de Poder
16-G-05	17-G-10	VC	X	Transp Su9 - Transp Su8
16-G-06	Sin conexión	X	X	Sin conexión
16-G-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
16-G-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
16-G-09	Sin conexión	X	X	Sin conexión
16-G-11	-Vcc	N	X	Tierra Su9 y 10 - Tierra
17-G-01		X	X	Sal Su7
17-G-04	+Vcc	R	X	Vcc Su7 y 8 - Fuente de Poder
17-G-05	18-G-10	A	X	Transp Su7 - Transp Su6
17-G-06	Sin conexión	X	X	Sin conexión
17-G-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
17-G-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
17-G-09	Sin conexión	X	X	Sin conexión
17-G-11	-Vcc	N	X	Tierra Su7 y 8 - Tierra
17-G-12		X	X	Sal Su8
18-G-01		X	X	Sal Su5
18-G-04	+Vcc	R	X	Vcc Su5 y 6 - Fuente de Poder
18-G-05	19-G-10	VC	X	Transp Su5 - Transp Su4
18-G-06	Sin conexión	X	X	Sin conexión
18-G-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
18-G-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
18-G-09	Sin conexión	X	X	Sin conexión

REFE	A	HECHO	CHEQUEO	TITULO LOGICO
18-G-11	-Vcc	N	X	Tierra Su5 y 6 - Tierra
18-G-12		X	X	Sal Su6
19-G-01		X	X	Sal Su3
19-G-04	+Vcc	R	X	Vcc Su3 y 4 - Fuente de Poder
19-G-05	20-G-10	A	X	Transp Su3 - Transp Su2
19-G-06	Sin conexión	X	X	Sin conexión
19-G-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
19-G-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
19-G-09	Sin conexión	X	X	Sin conexión
19-G-11	-Vcc	N	X	Tierra Su3 y 4 - Tierra
19-G-12		X	X	Sal Su4
20-G-01		X	X	Sal Su1
20-G-04	+Vcc	R	X	Vcc Su1 y 2 - Fuente de Poder
20-G-05	-Vcc	N	X	Transp Su1 - Ent "0"
20-G-06	Sin conexión	X	X	Sin conexión
20-G-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
20-G-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
20-G-09	Sin conexión	X	X	Sin conexión
20-G-11	-Vcc	N	X	Tierra Su1 y 2 - Tierra
20-G-12		X	X	Sal Su2
21-G-01	15-G-14	A	X	Sal St21 - Ent Su12 (a)
	23-B-02	A	X	- Ent ST10 (a)
21-G-04	+Vcc	R	X	Vcc St21 y 22 - Fuente de Poder
21-G-05	22-F-10	VO	X	Transp St21 - Transp St20
21-G-06	Sin conexión	X	X	Sin conexión
21-G-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
21-G-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
21-G-09	Sin conexión	X	X	Sin conexión
21-G-10	Sin conexión	X	X	Transp St22 - Sin conexión
21-G-11	-Vcc	N	X	Tierra St21 y 22 - Tierra
21-G-12	16-E-01	VC	X	Sal St22 - Ent IA1
	14-G-03	VC	X	- Ent Su13 (b)
	14-G-13	VC	X	- Ent Su14 (b)
	13-G-03	VC	X	- Ent Su15 (b)
	13-G-13	VC	X	- Ent Su16 (b)
22-G-01	17-G-14	A	X	Sal St17 - Ent Su8 (a)
	25-B-02	A	X	- Ent ST6 (a)
22-G-04	+Vcc	R	X	Vcc St17 y 18 - Fuente de Poder
22-G-05	23-G-10	VO	X	Transp St17 - Transp St16
22-G-06	Sin conexión	X	X	Sin conexión
22-G-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
22-G-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
22-G-09	Sin conexión	X	X	Sin conexión
22-G-11	-Vcc	N	X	Tierra St17 y 18 - Tierra
22-G-12	16-G-02	VC	X	Sal St18 - Ent Su9 (a)

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
	25-B-14	VC	X	- Ent ST7 (a)
23-G-01	18-G-14	A	X	Sal St15 - Ent Su6 (a)
	26-B-02	A	X	- Ent ST4 (a)
23-G-04	+Vcc	R	X	Vcc St15 y 16 - Fuente de Poder
23-G-05	23-F-10	VO	X	Transp St15 - Transp St14
23-G-06	Sin conexión	X	X	Sin conexión
23-G-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
23-G-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
23-G-09	Sin conexión	X	X	Sin conexión
23-G-11	-Vcc	N	X	Tierra St15 y 16 - Tierra
23-G-12	17-G-02	VC	X	Sal St16 - Ent Su7 (a)
	26-B-14	VC	X	- Ent ST5 (a)
24-G-01		X	X	Sal St9
24-G-04	+Vcc	R	X	Vcc St9 y 10 - Fuente de Poder
24-G-05	25-G-10	VC	X	Transp St9 - Transp St8
24-G-06	Sin conexión	X	X	Sin conexión
24-G-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
24-G-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
24-G-09	Sin conexión	X	X	Sin conexión
24-G-11	-Vcc	N	X	Tierra St9 y 10 - Tierra
24-G-12	20-G-02	A	X	Sal St10 - Ent Sul (a)
25-G-01		X	X	Sal St7
25-G-04	+Vcc	R	X	Vcc St7 y 8 - Fuente de Poder
25-G-05	26-G-10	VO	X	Transp St7 - Transp St6
25-G-06	Sin conexión	X	X	Sin conexión
25-G-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
25-G-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
25-G-09	Sin conexión	X	X	Sin conexión
25-G-11	-Vcc	N	X	Tierra St7 y 8 - Tierra
25-G-12		X	X	Sal St8
26-G-01		X	X	Sal St5
26-G-02	-Vcc	AM	X	Ent St5 (a) - Ent "0"
26-G-04	+Vcc	R	X	Vcc St5 y 6 - Fuente de Poder
26-G-05	27-G-10	VO	X	Transp St5 - Transp St4
26-G-06	Sin conexión	X	X	Sin conexión
26-G-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
26-G-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
26-G-09	Sin conexión	X	X	Sin conexión
26-G-11	-Vcc	N	X	Tierra St5 y 6 - Tierra
26-G-12		X	X	Sal St6
27-G-01		X	X	Sal St3
27-G-02	-Vcc	AM	X	Ent St3 (a) - Ent "0"
27-G-04	+Vcc	R	X	Vcc St 3 y 4 - Fuente de Poder
27-G-05	28-G-10	VO	X	Transp St3 - Transp St2
27-G-06	Sin conexión	X	X	Sin conexión

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
27-G-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
27-G-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
27-G-09	Sin conexión	X	X	Sin conexión
27-G-11	-Vcc	N	X	Tierra St3 y 4 - Tierra
27-G-12		X	X	Sal St4
27-G-14	-Vcc	AM	X	Ent St4 (a) - Ent "0"
28-G-01		X	X	Sal St1
28-G-04	+Vcc	R	X	Vcc St1 y 2 - Fuente de Poder
28-G-03	R1K	D	X	Ent St1 (b) - Ent "1"
28-G-05	-Vcc	N	X	Transp St1 - Ent "0"
28-G-06	Sin conexión	X	X	Sin conexión
28-G-07	Sin conexión	X	X	Sal DR Exc - Sin conexión
28-G-08	Sin conexión	X	X	Sal DR Exc - Sin conexión
28-G-09	Sin conexión	X	X	Sin conexión
28-G-11	-Vcc	N	X	Tierra St1 y 2 - Tierra
28-G-12		X	X	Sal St2
28-G-13	-Vcc	AM	X	Ent St2 (b) - Ent "0"

CONEXIONES DEL RELOJ

26-A-01	SELECTOR		X	Ent Puer NAND3 - SELECTOR
26-A-02	R1K		X	Ent Puer NAND3 - Ent "1"
26-A-03	27-A-11	VC	X	Sal Puer NAND3 - Reloj GEN14
	27-A-03	VC	X	- Reloj GEN13
	28-A-11	VC	X	- Reloj GEN12
	28-A-03	VC	X	- Reloj GEN11
	29-A-11	VC	X	- Reloj GEN10
	29-A-03	VC	X	- Reloj GEN9
	30-A-11	VC	X	- Reloj GEN8
	30-A-03	VC	X	- Reloj GEN7
	31-A-11	VC	X	- Reloj GEN6
	31-A-03	VC	X	- Reloj GEN5
	32-A-11	VC	X	- Reloj GEN4
	32-A-03	VC	X	- Reloj GEN3
	33-A-11	VC	X	- Reloj GEN2
	33-A-03	VC	X	- Reloj GEN1
	33-B-03	VC	X	- Reloj 1Y5
26-A-04	SELECTOR		X	Ent Puer NAND4 - SELECTOR
26-A-05	R1K		X	Ent Puer NAND4 - Ent "1"
	17-B-11	AM	X	- Reloj Y4 11'
	17-B-03	AM	X	- Reloj Y4 11
	18-B-11	AM	X	- Reloj 10Y4
	18-B-03	AM	X	- Reloj 9Y4
	19-B-11	AM	X	- Reloj 8Y4


DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
	19-B-03	AM	X	- Reloj 7Y4
	20-B-11	AM	X	- Reloj 6Y4
26-A-08	20-B-03	AM	X	- Reloj 5Y4
	21-B-11	AM	X	- Reloj 4Y3
	21-B-03	AM	X	- Reloj 3Y4
	22-B-11	AM	X	- Reloj 2Y4
	22-B-03	AM	X	- Reloj 1Y4
	28-B-11	AM	X	- Reloj GEN15
	28-B-03	AM	X	- Reloj 11Y5
	29-B-11	AM	X	- Reloj 10Y5
	29-B-03	AM	X	- Reloj 9Y5
	30-B-11	AM	X	- Reloj 8Y5
	30-B-03	AM	X	- Reloj 7Y5
	31-B-11	AM	X	- Reloj 6Y5
	31-B-03	AM	X	- Reloj 5Y5
	32-B-11	AM	X	- Reloj 4Y5
	32-B-03	AM	X	- Reloj 3Y5
26-A-06	33-B-11	AM	X	- Reloj 2Y5
26-A-07	-Vcc	N	X	Tierra Puer NAND - Tierra
	13-A-03	A	X	- Reloj 1Y3
	13-A-11	A	X	- Reloj 2Y3
	12-A-03	A	X	- Reloj 3Y3
	12-A-11	A	X	- Reloj 4Y3
	11-A-03	A	X	- Reloj 5Y3
	11-A-11	A	X	- Reloj 6Y3
	10-A-03	A	X	- Reloj 7Y3
26-A-11	10-A-11	A	X	- Reloj 8Y3
	09-A-03	A	X	- Reloj 9Y3
	09-A-11	A	X	- Reloj 10Y3
	08-A-03	A	X	- Reloj 11Y3
	08-A-11	A	X	- Reloj 1Y2
	07-A-03	A	X	- Reloj 2Y2
	07-A-11	A	X	- Reloj 3Y2
	06-A-03	A	X	- Reloj 4Y2
	06-A-11	A	X	- Reloj 5Y2
	05-A-03	A	X	- Reloj 6Y2
	05-A-11	A	X	- Reloj 7Y2
	04-A-03	A	X	- Reloj 8Y2
	04-A-11	A	X	- Reloj 9Y2
	03-A-03	A	X	- Reloj 10Y2
	03-A-11	A	X	- Reloj 11Y2

C O R R E C C I O N E S

22-F-01 16-G-14 A X Sal St19 - Ent Sul0 (a)



DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
	24-B-02	A	X	- Ent ST8 (a)
22-F-12	15-G-02	VC	X	Sal St20 - Ent Su11 (a)
	24-B-14	VC	X	- Ent ST9 (a)
23-F-01	19-G-14	A	X	Sal St13 - Ent Su4 (a)
	27-B-02	A	X	- Ent ST2 (a)
23-F-12	18-G-02	VO	X	Sal St14 - Ent Su5 (a)
	27-B-14	VO	X	- Ent ST3 (a)
24-F-01	20-G-14	VC	X	Sal St11 - Ent Su2 (a)
	29-D-13	VC	X	- Ent ST1 (b)
24-F-12	19-G-02	A	X	Sal St12 - Ent Su3 (a)
	29-D-14	A	X	- Ent ST1 (a)
24-A-06	17-B-02	AM	X	Sal Puer 0 - Ent 11Y4
	17-B-12	AM	X	- Ent 11'Y4
	17-E-02	AM	X	- Ent Sd11 (a)
01-B-01	01-E-02	AM	X	Sal Sil3 - Ent Snl7 (a)
01-B-12	01-E-14	AT	X	Sal Sil4 - Ent Snl8 (a)
02-E-06	02-E-09	VC	X	Sal IN(21) - Ent IN(22)
02-E-08	06-E-03	A	X	Sal IN(22) - Ent Sp19 (b)
	17-D-13	A	X	- Ent Sp18 (b)
	17-D-03	A	X	- Ent Sp17 (b)
	08-E-13	A	X	- Ent Sp16 (b)
02-E-07	-Vcc	AM	X	Tierra IN y IN(3 y 4) - Tierra
02-E-14	+Vcc	AM	X	Vcc IN - Fuente de Poder
03-E-07	-Vcc	N	X	Tierra IN - Tierra
03-E-14	+Vcc	R	X	Fuente de Poder - Vcc
04-E-07	-Vcc	N	X	Tierra IN - Tierra
04-E-14	+Vcc	R	X	Fuente de Poder - +Vcc
05-E-07	-Vcc	N	X	Tierra IN - Tierra
05-E-14	+Vcc	R	X	Fuente de Poder - +Vcc
08-C-10	16-E-13	VC	X	Transp Sc14 - Ent IA(6)
16-E-12	09-E-12	A	X	Sal IA(6) - Ent Sj15 (a)
10-B-10	09-D-03	A	X	Transp b10 - Ent Sj15 (b)
	10-D-13	A	X	- Ent Sj14 (b)
	10-D-03	A	X	- Ent Sj13 (b)
	11-D-13	A	X	- Ent Sj12 (b)
	02-E-13	A	X	- Ent IN (24)
02-E-12	02-E-11	VC	X	Sal IN(24) - Ent IN(23)
02-E-10	11-D-02	AM	X	Sal IN(23) - Ent Sj11 (b)
	12-D-13	AM	X	- Ent Sj10 (b)
	12-D-03	AM	X	- Ent Sj9 (b)
	13-D-13	AM	X	- Ent Sj8 (b)
09-B-06	08-A-01	AM	X	Sal Puer NAND (2) - Clear 11Y3
	09-A-13	AM	X	- Clear 10Y3
	09-A-01	AM	X	- Clear 9Y3
	10-A-13	AM	X	- Clear 8Y3

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
	10-A-01	AM	X	- Clear 7Y3
	11-A-13	AM	X	- Clear 6Y3
	11-A-01	AM	X	- Clear 5Y3
	12-A-13	AM	X	- Clear 4Y3
	12-A-01	AM	X	- Clear 3Y3
	13-A-13	AM	X	- Clear 2Y3
	13-A-01	AM	X	- Clear 1Y3
09-B-07	+Vcc	AM	X	Tierra Puer NAND - Tierra
09-B-08	17-B-13	AM	X	Sal Puer NAND (3) - Clear 11Y4
	17-B-01	AM	X	- Clear 11Y4
	18-B-13	AM	X	- Clear 10Y4
	18-B-01	AM	X	- Clear 9Y4
	19-B-13	AM	X	- Clear 8Y4
	19-B-01	AM	X	- Clear 7Y4
	20-B-13	AM	X	- Clear 6Y4
	20-B-01	AM	X	- Clear 5Y4
	21-B-13	AM	X	- Clear 4Y4
	21-B-01	AM	X	- Clear 3Y4
	22-B-13	AM	X	- Clear 2Y4
	22-B-01	AM	X	- Clear 1Y4
09-B-11	28-B-01	AM	X	Sal Puer NAND (4) - Clear 11Y5
	29-B-13	AM	X	- Clear 10Y5
	29-B-01	AM	X	- Clear 9Y5
	30-B-13	AM	X	- Clear 8Y5
	30-B-01	AM	X	- Clear 7Y5
	31-B-13	AM	X	- Clear 6Y5
	31-B-01	AM	X	- Clear 5Y5
	32-B-13	AM	X	- Clear 4Y5
	32-B-01	AM	X	- Clear 3Y5
	33-B-13	AM	X	- Clear 2Y5
	33-B-01	AM	X	- Clear 1Y5
09-B-14	+Vcc	R	X	Vcc Puer NAND - Fuente de Poder
07-C-01	34-B-11	A	X	Ent Puer NAND -  - SELECTOR
07-C-02			X	Ent Puer NAND (I) - "PARAR"
07-C-04			X	Ent Puer NAND (II) - "PROBAR"
07-C-05	07-C-05	A	X	Ent Puer NAND (II) - Sal NAND (III)
07-C-07	+Vcc	AM	X	Tierra Puer NAND (III) - Tierra
07-C-10			X	Ent Puer NAND (III) - "FUNCIONAR"
07-C-11			X	} Puer NAND no usada
07-C-12			X	
07-C-13			X	
07-C-14	+Vcc	R	X	
29-D-01	Sin conexión	X	X	Sal ST1 - Sin conexión
29-D-02	+Vcc	AM	X	Ent ST1 (a) - Ent "0"

DESDE	A	HECHO	CHEQUEO	TITULO LOGICO
29-D-03	-Vcc	AM	X	Ent ST1 (b) - Ent "0"
29-D-04	+Vcc	D	X	Vcc ST1 - Fuente de Poder
29-D-05	-Vcc	fi	X	Transp ST1 - Ent "0"
29-D-06	Sin conexión	X	X	Sin conexión
29-D-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
29-D-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
29-D-09	Sin conexión	X	X	Sin conexión
29-D-11	-Vcc	N	X	Tierra
29-D-12	33-B-02	VC	X	Sal ST1 - D1Y5
17-D-01	05-F-03	A	X	Sal Spl7 - Ent Ssl9 (b)
17-D-02	10-D-01	VC	X	Ent Spl7 (a) - Sal Sjl3
17-D-04	+Vcc	R	X	Vcc Spl7 y 18 - Fuente de Poder
17-D-05	08-E-10	AM	X	Transp Spl7 - Transp Spl6
17-D-06	Sin conexión	X	X	Sin conexión
17-D-07	Sin conexión	X	X	Sal OR Exc - Sin conexión
17-D-08	Sin conexión	X	X	Sal OR Exc - Sin conexión
17-D-09	Sin conexión	X	X	Sin conexión
17-D-10	06-E-05	AM	X	Transp Spl8 - Transp Spl9
17-D-11	-Vcc	N	X	Tierra Spl7 y 18 - Tierra
17-D-12	05-F-13	A	X	Sal Spl8 - Ent Sa20 (b)
17-D-14	10-D-12	VC	X	Ent Spl8 (a) - Sal Sjl4
14-F-05	R1K		X	Transp Ssl - Ent "1"
28-B-13	27-A-13		X	Clear GEN15 - Clear GEN14
09-B-01	09-B-04	VC	X	Ent Puer NAND(1) - Ent Puer NAND(2)
	09-B-09	VC	X	- Ent Puer NAND(3)
	09-B-12	VC	X	- Ent Puer NAND(4)
	07-C-03	VC	X	- Ent Puer NAND(I)
09-B-02	09-B-05	A	X	Ent Puer NAND(1) - Ent Puer NAND(2)
	09-B-10	A	X	- Ent Puer NAND(3)
	09-B-13	A	X	- Ent Puer NAND(4)
	07-C-06	A	X	- Sal Puer NAND(II)
	07-C-09	A	X	- Ent Puer NAND(III)
09-B-03	08-A-13	AM	X	Sal Puer NAND(1) - Clear 1 Y2
	07-A-01	AM	X	- Clear 2 Y2
	07-A-13	AM	X	- Clear 3 Y2
	06-A-01	AM	X	- Clear 4 Y2
	06-A-13	AM	X	- Clear 5 Y2
	05-A-01	AM	X	- Clear 6 Y2
	05-A-13	AM	X	- Clear 7 Y2
	04-A-01	AM	X	- Clear 8 Y2
	04-A-13	AM	X	- Clear 9Y2
	03-A-13	AM	X	- Clear 11 Y2
	03-A-01	AM	X	- Clear 10 Y2
03-A-09	01-E-13	VC	X	Q11Y2 - Ent(b) - Ssl8
17-B-09	23-D-13	VC	X	Q11Y4 - Ent SR12 (b)
	23-D-03	VC	X	- Ent SR11 (b)
	24-D-13	VC	X	- Ent SR10 (b)
	24-D-03	VC	X	- Ent SR9 (b)

El sistema de conexiones del Filtro Digital se encuentra fotografiado en la siguiente página.

Mencionamos a continuación diversos casos que se nos presentaron en el tiempo de construcción del Filtro Digital.

Los dos últimos bits de la izquierda de los sumadores  $u_j$  es decir el 32 y 33, siempre deben ser iguales. Luego el último sumador no lo conectamos.

Las salidas OR Exclusiva de los sumadores las dejamos sin conexión. Como regla general añadiremos que siempre hay que fijar las entradas, mas no las salidas.

Chequeamos la acción de los sumadores  $b$  con respecto a los de  $j$ . El sumador 11 de  $b$  recibe sus dos entradas de una sola salida, de la verdadera de 11 de 43, más su transporte. Cualquiera que sea la salida del registro de 11 de 43, la salida del sumador 11 de  $b$  siempre será igual a su transporte. Por tanto solo bastará hacer el transporte a la salida del sumador b10 igual a la salida del sumador b11, y ya que no existirá más este sumador, eliminar sus dos entradas, las salidas del Registro 11 de 43.

Algo semejante nos ocurrió con los sumadores  $c$ . Salta a simple vista que existiendo 15 entradas de sumadores  $j$ , y que llegan estas de las salidas de los sumadores  $c$ , al existir de estos últimos sólo 14 sumadores, faltará añadir un sumador que vendría a ser el c15. Pero ya que éste tiene como entradas las salidas falsa y verdadera del Registro 11 de 43, lo que obtendremos siempre como resultado de la suma es el transporte del sumador c14 negado. Por lo tanto se añade un inversor y conectamos su salida a una de las entradas del sumador j15.

Otra cosa interesante fue lo que sucedió con el flip-flop del



Registro 1 de  $Y_4$ . Para evitar una sobrecarga de su salida verdadera, es decir la  $Q$ , y ya que antes de entrar al sumador  $\Sigma_2$  pasa por un inversor, sacamos directamente la salida falsa del flip-flop 1 de  $Y_4$ , es decir la  $\bar{Q}$ , y la conectamos al sumador  $\Sigma_2$ . De igual forma surgió un problema con la sobrecarga del flip-flop del Registro 11 de  $Y_4$ , en lo concerniente a su salida verdadera  $Q$ . Esta salida alimenta los sumadores 14 de  $e_2$ , las dos entradas del 11 de  $f$ , los 9, 10, 11 y 12 de  $\bar{n}$ , los 10 y 11 de  $d_2$  y el 10 de  $f$ . Con las entradas del 11 de  $f$  se procede de igual manera que con el 11 de  $b$ . Anulamos ese sumador y hacemos su salida igual al transporte del 10 de  $f$ . Para alimentar el resto de sumadores repartimos la carga entre el propio flip-flop 11 de  $Y_4$  y su adyacente al cual llamaremos 11 de  $Y_4$ .

Hablemos ahora algo sobre el tipo de herramienta que se usó para el cableado de los diferentes zócalos. Es una pistola Wire Wrap de 110 V., con fusible térmico automático, que se toma diez segundos para reactivarse. Su circuito presenta las siguientes características: un mínimo de 150 VDC a la salida sin carga, con 117 VAC de entrada. Este circuito no es para repararse cuando defecciona. Su placa deberá ser cambiada en su totalidad. El enrollado a las patas de los zócalos deberá ser calificado e inspeccionado a intervalos regulares. Se pueden presentar anomalías como: enrollado abierto, que ocurre cuando no ha existido la suficiente presión contra la conexión en el instante del enrollado. Una reparación mayor de 0,005 en una serie de 4 vueltas es desechada. Enrollado espiral, que también se debe a falta de presión contra la conexión. Enrollado sobrepuesto, que se presenta cuando existe una presión excesiva en la conexión. Hay que tener presente que mientras más largo sea el cable, mayor será la presión ejercida con la pistola. Nuestros enrollados tuvieron un promedio de 6 vueltas por pata.

Para mayor protección de los circuitos integrados, en lo referen

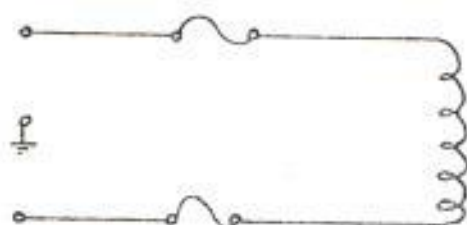
te a su entrada de voltaje de 5 VDC, tuvimos la necesidad de recurrir al crabbar que es un dispositivo que coloca una sobrecarga elevada sobre el elemento de actuación de un interruptor automático de circuito u otro dispositivo protector comparable a un cortocircuito en una línea de Potencia, cuando se coloca una palanca a través de dicho interruptor. A nuestro crabbar se lo va a ajustar para que provoque un cortocircuito a 6,5 VDC. Se usa un multímetro, que accionará como breaker, y dos alambres con lagartos. Se elevó el voltaje del crabbar hasta 6,4 voltios, que fue donde soltó el multímetro y luego se accionó para que el ajustador de voltaje ( $V_{A_{ij}}$ ) vuelva la salida a la posición de 5 voltios. Sólo falta entonces escoger los fusibles que se quemarán cuando exista exceso de corriente.

Para hallar el valor de estos fusibles, partimos de los datos de la fuente de poder, es decir, 5 VDC a 12 Amp, lo que nos da un wattaje de salida igual a 60. Buscaremos la disipación de wattaje en la fuente tomando todos los valores entre 0 y 100%. Si hay cortocircuito el voltaje se hará cero y la corriente tendrá tendencia a aumentar limitada por su resistencia interna.

Los siguientes valores son interesantes:

$$\begin{aligned} 0\% \text{ de disipación: } I &= \frac{P}{V} = \frac{60}{115} = 0,52 \text{ Amp} \\ 100\% \text{ " " : } I &= 1,04 \text{ Amp} \\ 200\% \text{ " " : } I &= 1,56 \text{ Amp} \end{aligned}$$

Entonces según estos datos, escogeremos dos fusibles de 2 Amp conectados a las entradas del Transformador, según la siguiente configuración



La fotografía de la página siguiente nos muestra la Fuente de Poder con los cables lagartos que se usaron en las diferentes pruebas que mencionaremos en el siguiente capítulo.

## DISEÑO DEL AMPLIFICADOR DE SALIDA

Según el Diagrama de bloques de la Fig. II 1, observamos que antes de tocar el amplificador de salida tenemos que ver dos bloques más: el conversor digital-analógico y el filtro analógico, este último ya diseñado. Entonces no trataremos el tema del amplificador de salida hasta no haber encontrado un conversor digital-analógico que se ajuste a las condiciones de nuestro diseño.

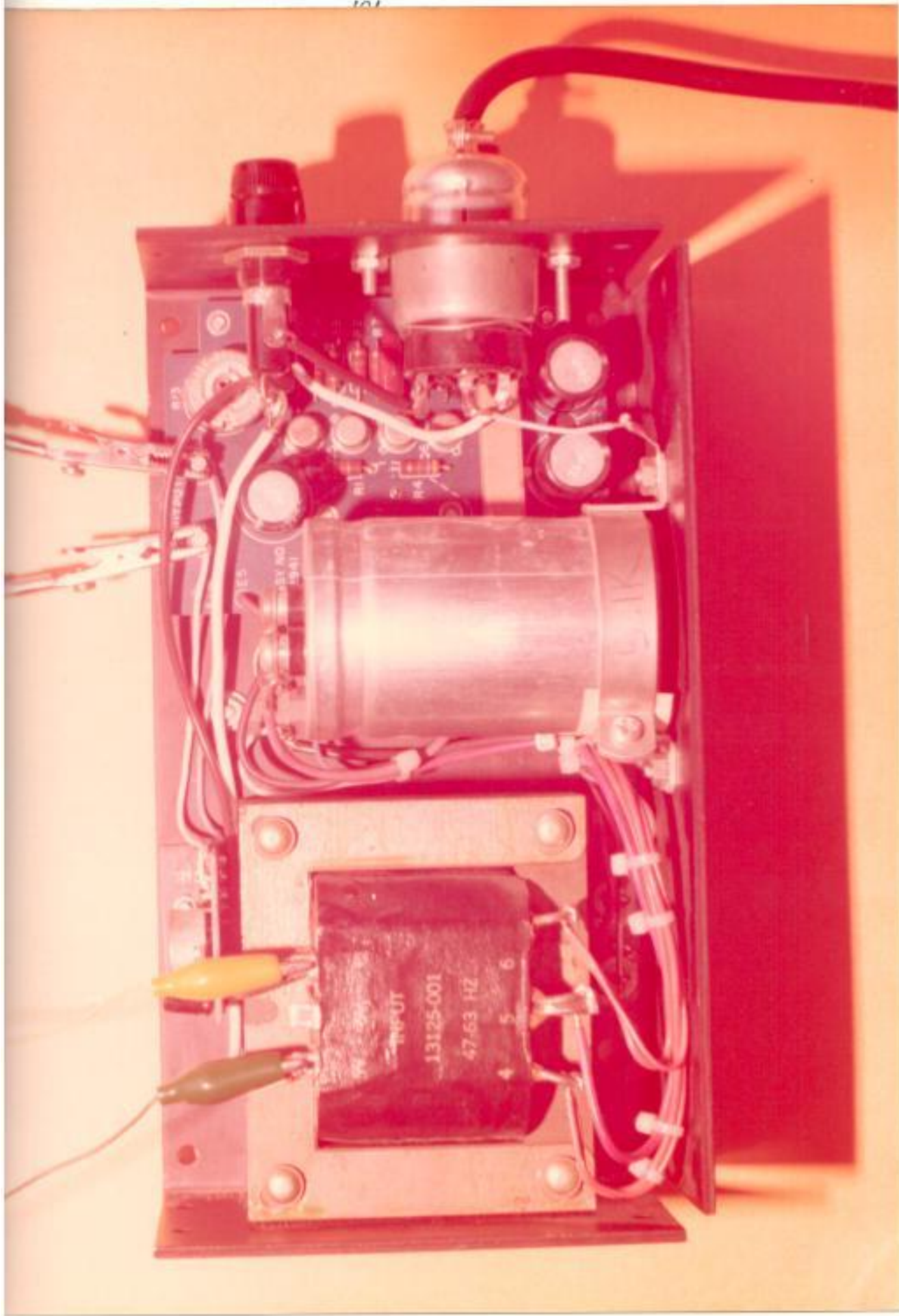
### EL CONVERSOR DIGITAL-ANALÓGICO

El conversor digital-analógico es un aparato que transforma las señales de entrada en señales analógicas esencialmente proporcionales.

La casa americana DITEL nos ofrece un gran surtido de estos aparatos, con resoluciones hasta de 12 bits y de medidas ultraminiaturas ( $0,8 \text{ in}^3$ ) y Tiempos de Convección (Settling Time) de 150 nanosegundos, siendo este tiempo el requerido por la variable controlada para alcanzar y permanecer en una banda determinada alrededor del punto de control, siguiendo a cualquier modificación operativa, en un sistema de control.

Todas las entradas digitales para estos conversores DITEL son compatibles a las lógicas DTL y TTL.





875  
ADJUSTMENT

ES  
RESISTOR AND  
CAPACITOR

INPUT  
13125-001  
47-63 HZ  
5 6

Para elegir nuestro conversor nos vamos a basar en los siguientes hechos:

- 1) Tamaño: tan pequeño como sea posible.
- 2) Costo: es importante, tanto para la construcción de un solo Generador de Ruido, como para el caso en que estos fueran a ser construidos en serie.
- 3) Porcentaje de precisión adecuado, tal vez del  $\pm 0,01\%$  o menos, y una linealidad de  $\frac{1}{2}$  para el bit menos significativo (LSB), entendiéndose por linealidad la condición según la cual la variación del valor de una magnitud es directamente proporcional a la variación del valor de otra magnitud.
- 4) Tipo de salida analógico, fijándonos exclusivamente en sus valores de corriente.
- 5) El número de bits. La salida de nuestro Filtro Digital por el Registro 43 es binaria, de 10 bits más signo, en paralelo y de complemento a dos. Entonces ya que tenemos 11 bits incluido el signo, vamos a necesitar un conversor con entradas para 12 bits ya que el otro existente, de 10, dejaría el bit del signo afuera.
- 6) El Tiempo de Corrección (Settling Time), que tiene que ser menor que el período de la señal del reloj,  $T_c$ , que es  $0,6103515$   $\mu\text{seg}$ .

Con estas seis exigencias ya estamos en condiciones de elegir nuestro conversor.

Elegimos de la serie I de los productos DAC, el I-12B que tiene las siguientes especificaciones a 25 C:

#### Entradas Digitales:

Resolución ..... Hasta 12 bits binarios o 3 dígitos BCD  
Código ..... Binario ( salida unipolar )



BCD ( salida unipolar )

Complemento a dos ( salida bipolar )

Nota: Salida bipolar de complemento a dos puede ser lograda cuando el bit más significativo ( MSB ) es invertido por el uso de almacenamiento de un registro externo o por el uso de un inversor.

Niveles lógicos ..... Lógica positiva compatible DTL o TTL  
Carga ..... Una carga standard TTL como:  $I_L$  max. = 1,6 mA a un  $V_{in} = +0,4$  V.

### Salida Analógica

Presición ..... 0,5% de FS  $\pm \frac{1}{2}$  LSB  
Resolución ..... 1 LSB ( 0,5  $\mu$ A para 12 bits binarios )  
Linealidad .....  $\pm \frac{1}{2}$  LSB  
Coeficiente de temperatura  $\pm 15$  ppm/ $^{\circ}$ C de FS  
Voltaje oscilante Umite de salida  $\pm 1,2$  V  
Escala completa de la corriente de salida: 2 mA (unipolar);  $\pm 1$  mA (bipolar); 1,25 mA (BCD)  
Impedancia de salida ..... 5 K ohms;  $\pm 0,1\%$   
Tiempo de Corrección ..... 150 nseg. a 0,025% de FS  
Fuente de referencia ..... Interna (externa opcional de 6,2 Volts.  $\pm 5\%$ )  
Exigencias para el voltaje de entrada:  $\pm 15$  V(D,  $\pm .5$  volts. a 20mA max.

### Medidas Físicas

Rango de Temperatura en operación: 0 $^{\circ}$ C a + 70 $^{\circ}$ C  
Rango de Temperatura en almacenamiento: -55 $^{\circ}$ C a + 85 $^{\circ}$ C  
Tamaño ..... 2" largo x 1" ancho x 0,375" alto  
Peso ..... menos de 1 onza

Su precio es de 89 dólares y sus patas están numeradas de la

siguiente manera:

<u>Pata</u>	<u>Función</u>	<u>Pata</u>	<u>Función</u>
1	Bit 1 (MSB)	10	Bit 10
2	Bit 2	11	Bit 11
3	Bit 3	12	Bit 12 (LSB)
4	Bit 4	13	+ 15 Voltios de Entrada
5	Bit 5	14	- 15 Voltios de Entrada
6	Bit 6	15	Tierra Común
7	Bit 7	16	Offset
8	Bit 8	17	Salida analógica
9	Bit 9	18	Sin conexión

El diagrama de bloques simplificado de este conversor es el de la Fig. IV 2.

Posee el siguiente código de entrada:

<u>Salida Analógica</u>	<u>Entrada Digital</u>
0,9995 mA	1111111111
0,0000	100000000000
-1,0000 mA	000000000000

Como lo único que necesita el conversor digital-analógico para operar es un voltaje DC, tendremos que escoger una fuente de poder con voltaje DC de salida de + 15 y - 15 voltios.

La misma casa DITEL nos ofrece una fuente de poder de la serie POWERSTE con numeración BPS 15/200 que nos servirá para nuestro propósito.

+15V. -15V.  
13 14

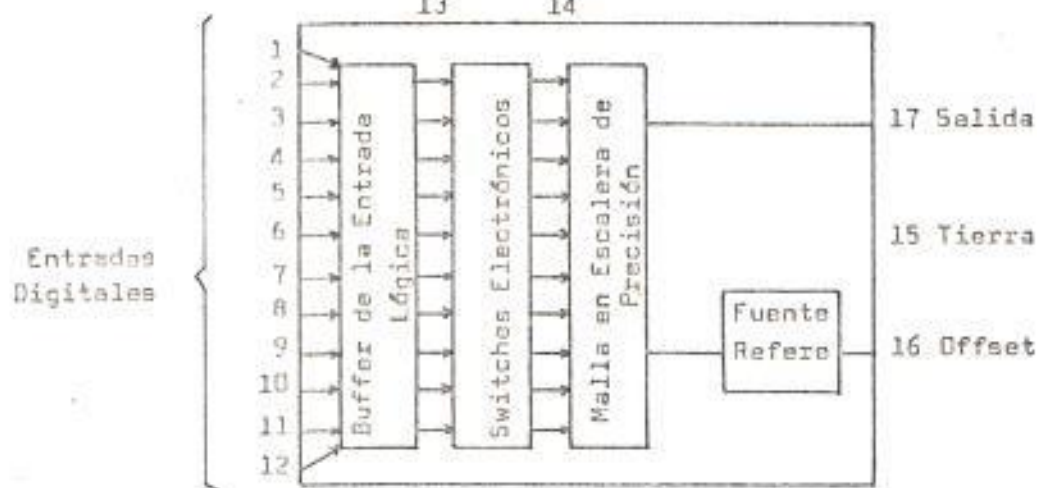


Fig. IV.2 Diagrama de Bloques Simplicado del Conversor.

El diagrama fuente de poder-conversor lo construiremos ahora así:

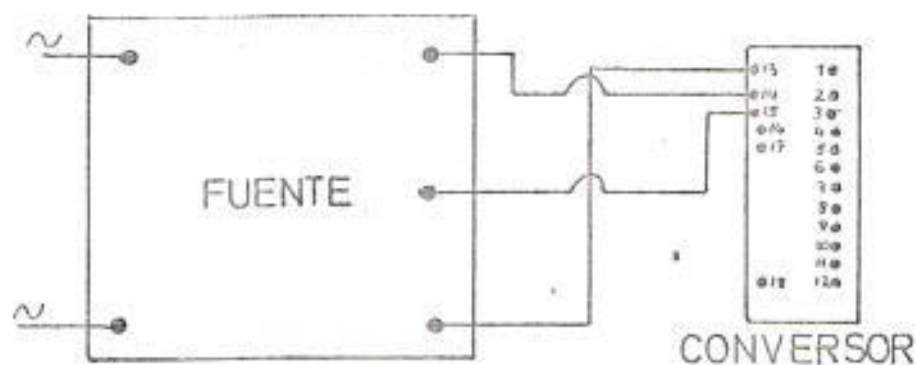


Fig. IV.3 Diagrama Fuente de Poder-Conversion.

Sus especificaciones técnicas son las siguientes:

- Voltaje de salida .....  $\pm 15$  VDC
- Corriente de Salida .....  $\pm 200$  mA
- Impedancia de Salida .....  $0,2 \Omega$

Ambos elementos se encuentran en la foto de la siguiente página.

### ESPECIFICACIONES DEL AMPLIFICADOR DE SALIDA

Nuestro amplificador va a tener dos salidas: a) una salida de 50 ohmios no balanceada y b) una salida de 600 ohmios balanceada.

De otra forma habrá que poner un selector para el caso de una salida.

Un dato que deberos tener en consideración es el de que la salida de los filtros tiene de cero, ( o casi cero ) a 50 kilohertz de frecuencia. Otro punto de consideración, es el de escoger amplificadores cuyas salidas sean fieles con entradas de 1 milivoltio.

Tendremos que tomar una decisión, la de que si bastará una etapa o vamos a necesitar dos o más.

Una especificación importante para la salida, es la potencia. Tiene que ser 7 y  $\frac{1}{2}$  voltios pico a pico, con salida push-pull. En cambio podemos considerar el uso de la retroalimentación, que puede tener otras ventajas.

Después de un análisis a estas especificaciones haremos un estudio previo de los amplificadores con salida push-pull, el uso de la realimentación y algo sobre amplificadores diferenciales.

### AMPLIFICADORES CON SALIDA PUSH-PULL

Una definición sencilla es la de un amplificador que emplea dos tubos electrónicos análogos, o dispositivos amplificadores equivalentes que trabajan en oposición de fase.

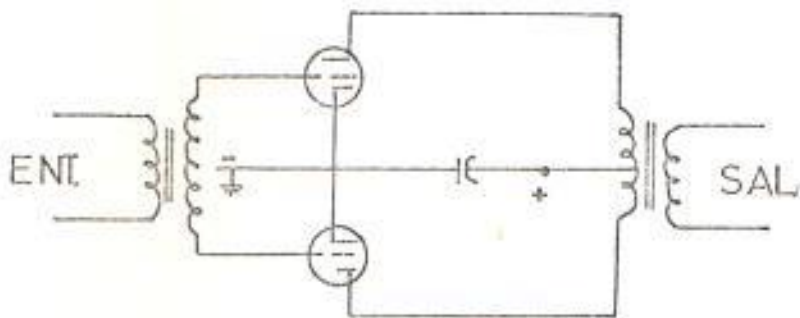


Fig. IV 4 Amplificador con salida Push-pull.

La acción de los amplificadores push-pull es la de generar más potencia audio que la que ofrece una sola etapa.

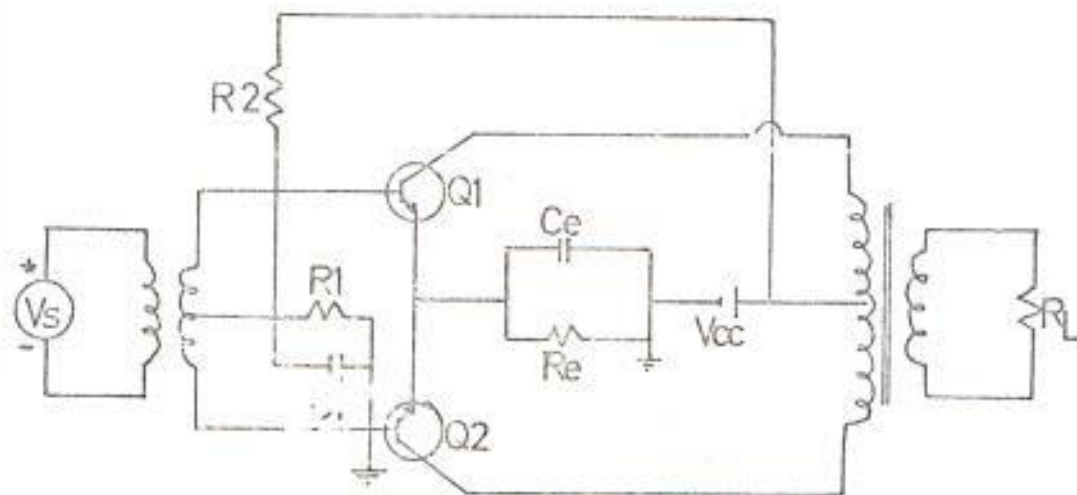


Fig. IV 5 Par de transistores de potencia npn conectados en push-pull Clase A.

Circuitos como el de la Fig. IV 5 se usan en las etapas de los amplificadores de potencia no sintonizados. Usando elementos de idénticas características las salidas de voltaje y corriente serán perfectamente simétricas. Esta salida ni siquiera tiene trminos de armónicas impares.

En la Fig. IV 5, Q1 y Q2 son dos transistores de salida conectados como amplificador de emisor común. Los transformadores son acopladores interetapas. Las bases de Q1 y Q2 están conectadas a los extremos opuestos del transformador de entrada y reciben dos señales de la misma amplitud, pero desfasadas  $180^\circ$ . Por lo tanto cuando aumenta la corriente en el colector de Q1, la del colector de Q2 disminuye y viceversa.

Los colectores de Q1 y Q2 están conectados a los extremos del transformador de salida. Suponiendo que el campo magnético que crea la corriente de Q1 aumenta con el crecer de la corriente de colector de Q1 al mismo tiempo que la corriente de colector de Q2 disminuye, desplazándose el campo magnético resultante en el mismo sentido. Por lo tanto los dos campos se suman e inducen en el secundario una fem mayor que la que podría inducir uno cualquiera de los campos individualmente.

Q1 y Q2 son dos transistores de salida de media potencia. Los emisores de Q1 y Q2 están retornados a la batería  $V_{CC}$ .

#### AMPLIFICADOR FINAL PARA EL GENERADOR DIGITAL

Uno de los problemas comunes encontrados en el diseño de amplificadores transistorizados es aquel de establecer y mantener la corriente  $I_C$  de emisor y el voltaje colector a emisor apropiados, llamados las condiciones de polarización del circuito.

Este problema es debido esencialmente al cambio con la temperatura de los parámetros del transistor,  $h_{FE}$ ,  $I_{CO}$  y  $V_{BE}$  y la variación de estos parámetros con transistores del mismo tipo.

En la configuración de emisor a masa, la señal de entrada se aplica a la base. La ganancia de corriente se define por  $\frac{\Delta I_C}{\Delta I_B}$



con tensión de colector constante, siendo esta corriente definida por  $h_{FE}$ , el factor de amplificación de corriente en un amplificador de emisor a masa.

La corriente de colector abierta para el caso del circuito emisor-base abierto es lo que se llama la corriente de Saturación del Colector y se designa por  $I_{\infty}$ .  $V_{BE}$  es la caída de voltaje base-emisor.

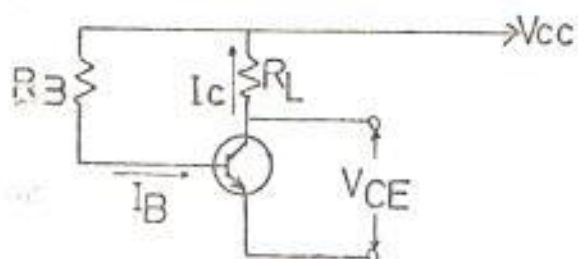


Fig. IV 6 Transistor operado en emisor común.

Si nos referimos a la figura IV 6 en la cual el transistor es operado en emisor común y polarizado por la corriente constante de base  $I_B$ .

Los factores que debemos considerar en el análisis de circuitos polarizados de transistores, ya sea de una etapa o varias son:

- 1) Los valores máximos y mínimos de ganancia de corriente ( $h_{FE}$ ) en el punto de operación, para el tipo de transistor usado.
- 2) El cambio de  $h_{FE}$  con la temperatura.
- 3) El cambio de la corriente de fuga del colector ( $I_{\infty}$ ) con la temperatura.

Para la mayoría de los transistores,  $I_{\infty}$  aumenta a aproximadamente  $6,5-8\%/^{\circ}\text{C}$  y se duplica con un cambio de temperatura de  $9-11^{\circ}\text{C}$ . En el diseño de circuitos polarizados, el valor mínimo de  $I_{\infty}$  se

asume que sea cero y el máximo se obtiene de curvas especiales. Cuando se usan transistores de silicón  $I_{CQ}$  generalmente se lo desprecia si la temperatura está bajo los  $100^{\circ}\text{C}$ .

4) El cambio de la caída de voltaje base-emisor con la temperatura. Bajo condiciones de polarización normales  $V_{BE}$  es aproximadamente 0,2 voltios para transistores de germanio y 0,7 voltios para los de silicón, y tienen un coeficiente de temperatura de cerca de  $-2,5$  milivoltios/ $^{\circ}\text{C}$ .

5) La tolerancia de los resistores usados en los circuitos de polarización, y la tolerancia de las fuentes de voltaje.

Existen variados métodos por los cuales cada circuito puede ser analizado y sintetizado, y el método a escoger se basará en los requerimientos para su aplicación y las preferencias del diseñador.

Por ejemplo el siguiente circuito:

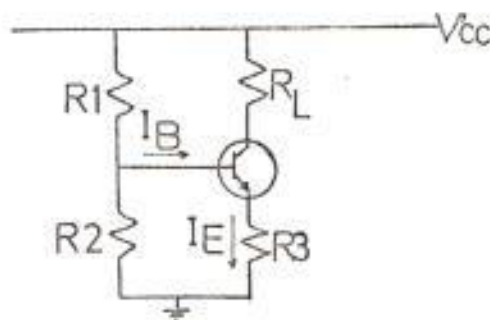


Fig. IV 7 Amplificador de una etapa.

Este circuito generalmente puede ser polarizado para aplicaciones de bajo nivel que operen a la temperatura ambiente. Los valores de  $V_{CC}$ ,  $V_{CE}$  e  $I_C$  son seleccionados por el diseñador; generalmente es aconsejable escoger  $V_{CE}$  e  $I_C$  de los valores de la hoja de

especificación para las medidas de los parámetros de señales pequeñas. Entonces  $I_B = \frac{I_E}{h_{FE}} + I_{CO}$ ; y  $V_A$  el voltaje en el punto

$A = I_E R_3 + V_{BE}$  ( $V_{BE}$  es aproximadamente 0,2 voltios para el germanium y 0,7 voltios para el silicón).  $I_E R_3$  se escoge de tal manera que sea por lo menos cinco veces más grande que  $V_{BE}$ , y la corriente a través de  $R_2$  se escoge para que sea por lo menos cinco veces más grande que  $I_B$ .

Entonces  $R_2$  será  $\frac{V_A}{I_2}$  y  $R_1 = \frac{V_{CC} - V_A}{I_2 + I_B}$ .

La resistencia de carga  $R_L$  es entonces  $\frac{V_{CC} - V_{CE} - R_3}{I_E}$ .

Otro de los circuitos con una sola batería para polarización es el siguiente:

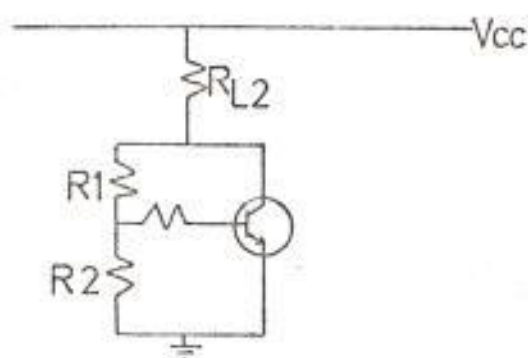


FIG. III 8 Una etapa con una sola batería de polarización.

Veremos ahora el uso de amplificadores de dos o tres etapas acoplados directamente. La figura III 9 trata de un circuito directamente acoplado.

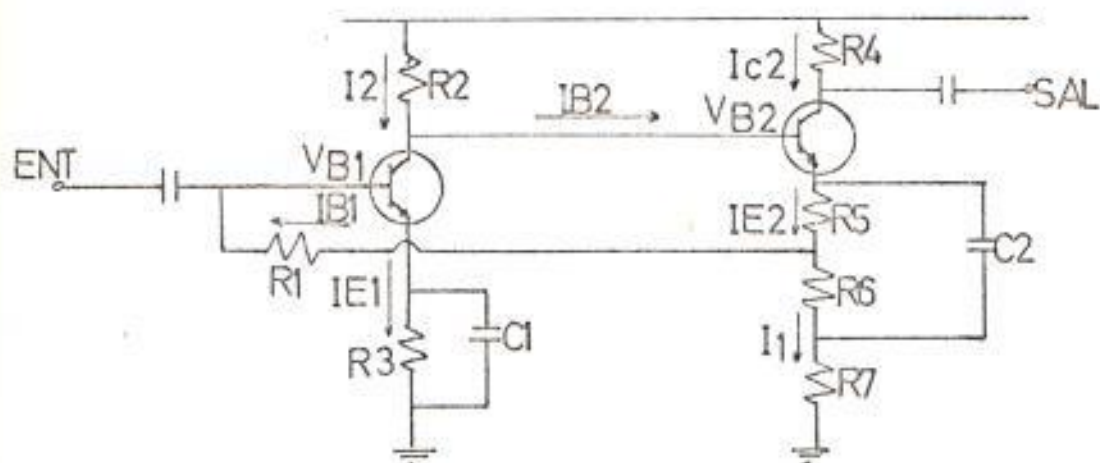


Fig. IV 9 Amplificador directamente acoplado.

Aquí la realimentación AC es eliminada esencialmente por C<sub>2</sub>. Por lo tanto R<sub>1</sub> puede ser pequeña con el objeto de obtener buena estabilidad de temperatura para el amplificador. Como en el caso de circuitos de una sola etapa, la polarización puede hacerse por procedimientos analíticos. En el desarrollo analítico que lo realizaremos para la Fig. IV 9, R<sub>5</sub> y R<sub>7</sub> se combinan y se llamarán R<sub>G</sub> ya que solamente las condiciones de AC son de interés. Las ecuaciones de ruido para este circuito son:

$$I_2 = I_{C1} + I_{B2} \quad (\text{Ec. IV 1})$$

$$I_{B1} + I_{C1} = I_{E1} \quad (\text{Ec. IV 2})$$

$$I_{B2} + I_{C2} = I_{E2} \quad (\text{Ec. IV 3})$$

$$I_{E2} = I_{B1} + I_1 \quad (\text{Ec. IV 4})$$

Vale recordar que estas corrientes son aquellas que se miden en la línea por donde fluyen. Aparte de estas ecuaciones, pueden ser escritas dos más dependientes de la acción del transistor:

$$I_{C1} = h_{FE1} I_{B1} + (h_{FE1} + 1) I_{CO1} \quad (\text{Ec. IV 5})$$

$$I_{C2} = h_{FE2} I_{B2} + (h_{FE2} + 1) I_{CO2} \quad (\text{Ec. IV 6})$$

Las relaciones entre voltaje, resistencias y corrientes en el circuito son:

$$I_2 = \frac{V_0 - V_{C1}}{R_2}$$

$$I_{B1} = \frac{V_1 - V_{B1}}{R_1}$$

$$I_{E1} = \frac{V_{E1}}{R_3}$$

$$I_{C2} = \frac{V_0 - V_{C2}}{R_4}$$

$$I_{E2} = \frac{V_{E2} - V_1}{R_5}$$

$$I_1 = \frac{V_1}{R_6}$$

Sustituimos estos valores de resistencia y voltaje en las ecuaciones de nudos, y eliminando  $I_{C1}$  e  $I_{B2}$  por el uso de las ecuaciones

IV 5 y IV 6 se obtienen los siguientes resultados:

$$\begin{aligned} \frac{V_0 - V_{C1}}{R_2} &= h_{FE1} \left( \frac{V_1 - V_{B1}}{R_1} \right) + (h_{FE1} + 1) I_{CO1} \\ &+ \frac{V_0 - V_{C2}}{h_{FE2} R_4} - \left( \frac{h_{FE2} + 1}{h_{FE2}} \right) I_{CO2} \end{aligned} \quad (\text{Ec. IV 7})$$

$$(1 + h_{FE1}) \left( \frac{V_1 - V_{BE1}}{R_1} + I_{CO1} \right) = \frac{V_{E1}}{R_3} \quad (\text{Ec. IV 8})$$

$$\left( \frac{V_0 - V_{CE2}}{R_4} - I_{CO2} \right) (1 + h_{FE2}) = h_{FE2} \left( \frac{V_{E2} - V_1}{R_5} \right) \quad (\text{Ec. IV 9})$$

$$\frac{V_{E2} - V_1}{R_5} = \frac{V_1 - V_{BE1}}{R_1} + \frac{V_1}{R_6} \quad (\text{Ec. IV 10})$$

A estas últimas ecuaciones, otras relaciones para los voltajes del transistor pueden ser escritas:

$$V_{E1} + V_{CE1} = V_{C1} \quad (\text{Ec. IV 11})$$

$$V_{E2} + V_{CE2} = V_{C2} \quad (\text{Ec. IV 12})$$

$$V_{E1} + V_{BE1} = V_{B1} \quad (\text{Ec. IV 13})$$

$$V_{E2} + V_{BE2} = V_{B2} = V_{C1} \quad (\text{Ec. IV 14})$$

Con estas existen ahora ocho ecuaciones independientes que relacionen los valores de voltaje y resistencias del circuito, y son válidas para todas las temperaturas. Los problemas de estabilidad aparecen cuando los valores de  $I_{CO}$  y  $h_{FE}$  cambian como una función de la temperatura.

Por ejemplo en diseños prácticos, las especificaciones para el amplificador normalmente demanda que la salida sea apta para una excursión o alternación específica de voltaje. Este valor pico a pico en el colector del transistor de salida puede igualar convenientemente el valor de la fuente de voltaje si el voltaje de polarización  $V_{C2}$  es exactamente  $\frac{V_0}{2}$ . Mantener  $V_{C2}$  exactamente sobre el

rango de  $h_{FE}$  e  $I_C$  es prácticamente imposible, y por lo tanto el voltaje de excursión a la salida deberá ser algo menor que el de la fuente de poder.

El escoger valores de resistencias para los circuitos es normalmente parte de las consideraciones de los requerimientos del circuito junto con las condiciones de operación de los transistores. Las ecuaciones IV 1 a IV 4 y las IV 5 y IV 6 pueden ser de valor para seleccionar las resistencias.

Es difícil describir un diagrama básico perfecto de polarización ya que los requerimientos de cada circuito juegan un rol importante en cada amplificador. Una manera general de chequear los valores escogidos para las resistencias puede ser resolviendo las ecuaciones IV 7 a IV 14 para  $V_C$  eliminando todos los voltajes excepto  $V_0$ ,  $V_{BE1}$  y  $V_{BE2}$ . La ecuación resultante deberá ser de la forma

$$V_{C2} = \frac{K_1 V_0 + K_2 V_{BE1} + K_3 V_{BE2} + K_4 I_{C1} + K_5 I_{C2}}{K_6} \quad (\text{Ec. IV 15})$$

Si no se realiza ninguna aproximación, estas constantes pueden ser algo grandes. Para nuestro caso analizado las constantes son:

$$K_1 = \frac{(1 + h_{FE2}) R_6'}{R_4} \left[ R_5 \left( 1 + \frac{R_A}{R_6} \right) + R_A + h_{FE1} R_2 \right] - R_A \left( h_{FE2} - \frac{R_2}{R_4} \right) \quad (\text{Ec. IV 16})$$

$$K_2 = -h_{FE2} (h_{FE1} R_2 - R_6') \quad (\text{Ec. IV 17})$$

$$K_3 = h_{FE2} R_A \quad (\text{Ec. IV 18})$$

$$R_4 = h_{FE2} (1 + h_{FE1}) (R_B + R_1 R_2) \quad (\text{Ec. IV } 19)$$

$$R_5 = - (1 + h_{FE2}) \left[ (1 + h_{FE1}) (R_3 R_5 + R_B) + (R_1 R_2 R_C) \right] \quad (\text{Ec. IV } 20)$$

$$R_6 = \frac{(1 + h_{FE2}) R_6'}{R_4} R_5 \left(1 + \frac{R_A}{R_6}\right) + R_A + h_{FE1} R_2 + \frac{(R_A + R_6') R_2}{R_4} \quad (\text{Ec. IV } 21)$$

donde:

$$R_A = R_1 + (1 + h_{FE1}) R_3 \quad (\text{Ec. IV } 22)$$

$$R_B = R_2 R_3 + R_2 R_6' + R_3 R_6' \quad (\text{Ec. IV } 23)$$

$$R_C = R_1 R_5 + R_1 R_6' + R_5 R_6' \quad (\text{Ec. IV } 24)$$

Otros tipos de polarización pueden ser también analizados haciendo algunos valores de resistencias igual a cero. Los esquemas diferentes de polarización podrán presentarse haciendo los siguientes cambios:  $R_5 = 0$ ; ó  $R_6 = 0$  y  $R_1$  representa la resistencia vista en la base del primer transistor.

Ya sabemos entonces que las variaciones de los parámetros del transistor con la temperatura y el tiempo producen un cambio correspondiente en las condiciones de polarización del transistor. Por lo tanto los valores de corriente o voltaje de base deben ser cambiados para hacer retornar a su valor original el voltaje y la corriente del colector.

Este valor de desplazamiento, o sea la entrada necesaria para regresar la salida a su valor original, de ninguna manera se redu



ce por el efecto de la realimentación en un amplificador dc, por que la ganancia también se reduce parcialmente.

El desplazamiento se reduce por la compensación y el método más efectivo encontrado hasta ahora es el del uso de otro transistor acoplado por el emisor de la siguiente figura:

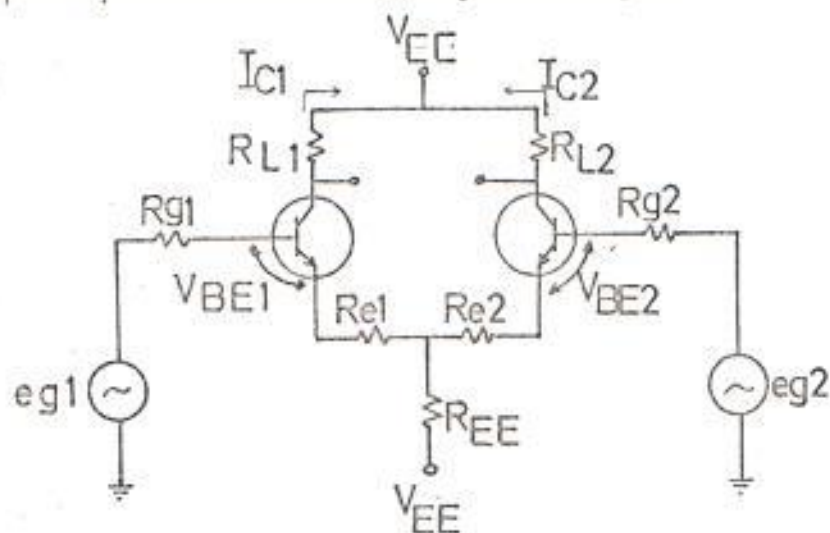


Fig. IV 10 Diferencial acoplado por el emisor.

Este circuito amplificará ya sea una sola señal de entrada, es decir haciendo  $eg_2 = 0$ , ó amplificará la diferencia de ambas señales separadas ( $eg_1 - eg_2$ ). Una característica del circuito es la tendencia a amplificar sólo la diferencia de las dos señales de entrada y rechazar la señal común a ambas entradas. A esta propiedad se le ha dado el nombre de "rechazo de modo común" (RMC) que entonces lo definiremos como la "facultad de un amplificador de cancelar una señal de modo común, en cambio responde a una señal fuera de fase" o dicho de otra forma " la ganancia de un amplificador con entrada diferencial para la ganancia del amplificador con ambas entradas enlazadas" y es generalmente expresado en decibelios.

Una rápida inspección de la Fig. IV 10 nos dice que ambas entra

das la única y la diferencial, se encuentran disponibles. La salida única presenta varios problemas de desplazamiento que puede ser minimizado por el uso de amplificadores de varias etapas con una realimentación de modo común y una fuente de corriente constante de emisor.

Los parámetros del transistor que contribuyen al desplazamiento son:

1) Corriente de fuga (leakage current): para transistores de silicio. Esta corriente puede ser hasta 1 nA a 100 C con  $V_{CB} = 10$  voltios. Generalmente es un factor de desplazamiento secundario.

2) Ganancia de corriente dc: ya que  $I_B = \frac{I_C}{h_{FE}} + I$  un cambio en la

ganancia de corriente produce un cambio en la corriente de base, que multiplicada por la impedancia de la fuente, produce un cambio equivalente en voltaje, que es el voltaje de desplazamiento. Este desplazamiento puede ser reducido igualando las ganancias de corriente del transistor, operando a corrientes bajas de polarización y por el uso de fuentes de baja impedancia.

3) Voltaje Base-emisor: los valores de voltaje base-emisor, tienden a cancelarse unos a otros en los amplificadores diferenciales. De cualquier modo, la diferencia de voltajes base-emisor están en serie con la señal y no puede distinguirse de ella. Es importante no solo equiparar los voltajes base-emisor sino mantenerlos a la misma temperatura, ya que el coeficiente de temperatura de  $V_{BE}$  es de  $2,5 \text{ mV}/^\circ\text{C}$ .

En el circuito de la Fig. IV 10 el voltaje de salida de un solo terminal  $E_{O2}$  para una entrada diferencial está dado por:

$$V_{CC} - R_{L2} \left[ \frac{(e_{g2} - e_{g1}) + (V_{BE1} - V_{BE2}) + R_{g2} I_{C02} - R_{g1} I_{C01}}{R_{e1} + R_{e2} + \frac{R_{g2}}{h_{FE2}} + \frac{R_{g1}}{h_{FE1}}} \right. \\ \left. \frac{\left( \frac{R_{g1}}{h_{FE1}} + R_{E1} \right) \frac{V_{CC}}{R_{CC}}}{\frac{R_{g1} R_{g2}}{h_{FE1} h_{FE2} R_{CC}}} \right] - I_{C02} R_{L2} \quad (\text{Ec. IV 25})$$

y el voltaje de salida diferencial está dado por:

$$E_{02} - E_{01} = K \left[ (e_{g1} - e_{g2}) + (V_{BE2} - V_{BE1}) + (R_{g1} I_{C01} - R_{g2} I_{C02}) \right. \\ \left. + \left( \frac{R_{g1}}{h_{FE1}} - \frac{R_{g2}}{h_{FE2}} + R_{e1} - R_{e2} \right) \frac{V_{CC}}{R_{CC}} \right] + I_{C01} R_{L1} \\ - I_{C02} R_{L2} \quad (\text{Ec. IV 26})$$

siendo  $K$  una constante cuyo valor depende de las resistencias.

Si los transistores y resistencias externas son iguales, la ganancia diferencial está dada por:

$$A_d = \frac{E_{02} - E_{01}}{e_{g1} - e_{g2}} = \frac{2R_L}{R_E + \frac{R_g}{h_{FE}} + \frac{1}{R_{CC}}} \left( \frac{R_g}{h_{FE}} \right)^2$$

Donde  $R_E = R_E + r_E$ , siendo  $r_E$  la impedancia dinámica de función base-emisor y es  $\frac{1}{\beta} \frac{V_T}{I_E}$ . Para el caso de que  $R_g/h_{FE} \ll R_E$ , la ganancia diferencial  $A_d$  será:

$$A_d = \frac{2R_L}{R_E} \quad (\text{Ec. IV 27})$$

Si  $R_{CE} \gg R_E$ , la resistencia de entrada para una entrada diferencial es:

$$R_{in} \approx (h_{FE} + 1) R_E$$

Para una entrada diferencial y salida única, o para entrada única y salida diferencial, la ganancia es la mitad de las dadas por las ecuaciones IV 25 y IV 26.

Si el circuito está perfectamente balanceado y los transistores son exactamente semejantes, el rechazo de modo común es cero. Si la impedancia de la fuente y las resistencias externas son iguales, pero la ganancia de la corriente son diferentes tenemos que la ganancia de modo común  $A_C$  es:

$$A_C = \frac{E_{O2} - E_{O1}}{e_g} = \frac{K}{2R_{CE}} \left( \frac{1}{h_{FE2}} - \frac{1}{h_{FE1}} \right)$$

Y el rechazo de modo común se hace:

$$RC = \frac{\text{Ganancia Diferencial}}{\text{Ganancia de modo común}} = \frac{2R_{CE} h_{FE1} h_{FE2}}{R_g (h_{FE1} - h_{FE2})}$$

Para una salida única la ganancia de modo común es para  $2R_{CE}$

$h_{FE} \gg R_g$

$$A_C = \frac{R_{L1}}{R_{E1} + 2R_{CE}}$$

El rechazo de modo común para  $R_{CE} \gg R_{E1}$  se hace:

$$RC = \frac{2R_{CE}}{R_{E1} + R_{E2}}$$

Por lo tanto para reducir la ganancia de modo común y mejorar el  $R_C$  para salidas trica y diferenciales,  $R_{EE}$  debe ser lo más grande posible. Al aumentar  $R_{EE}$  las corrientes de operación deberán descender, ó  $V_{EE}$  debe ser aumentado. Otra solución es reemplazar  $R_{EE}$  y  $V_{EE}$  por una fuente de corriente constante como en el caso de la siguiente figura:

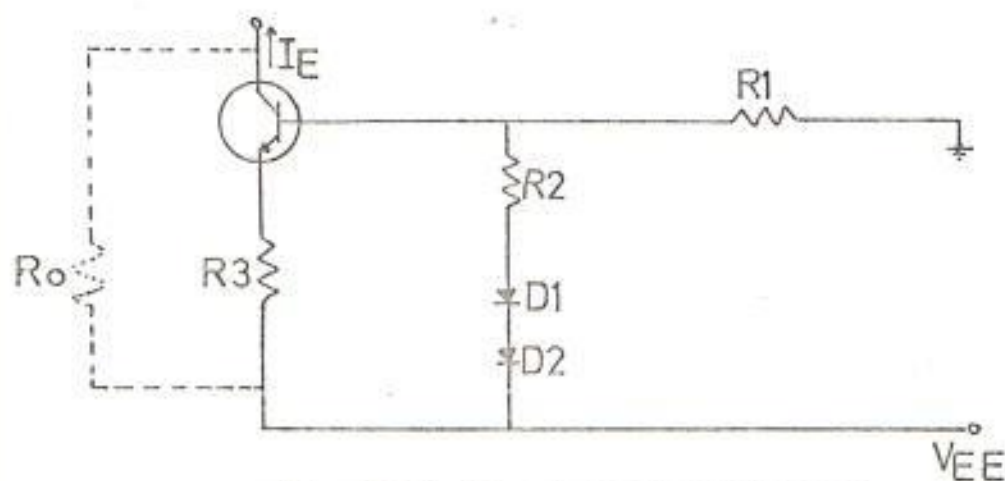


Fig. IV 11 Fuente de corriente constante.

Para  $R_1 = R_2$ , se hará  $I_{EE} = \frac{V_{EE}}{2R_2}$ , y los diodos D1 y D2 compensarán las variaciones de  $V_{BE}$  del transistor con la Temperatura.

Ya que el coeficiente de temperatura de una unión polarizada directamente es una función importante de la corriente  $I_C$  para el silicio, es indispensable el poner cierto cuidado en seleccionar los transistores, diodos y niveles de corriente si se persigue una óptima compensación. La resistencia mostrada en líneas de puntos es la impedancia de salida del circuito y es aproximadamente el  $h_{ob}$  del transistor, siendo  $h_{ob}$  la admitancia de salida para base común. Para corrientes pequeñas de colector, esta corriente es de algunos  $me$

gahoms.

La siguiente figura nos muestra la configuración Darlington para un amplificador diferencial de una etapa en el que se muestra que la ganancia es aumentada usando transistores en adicionales.

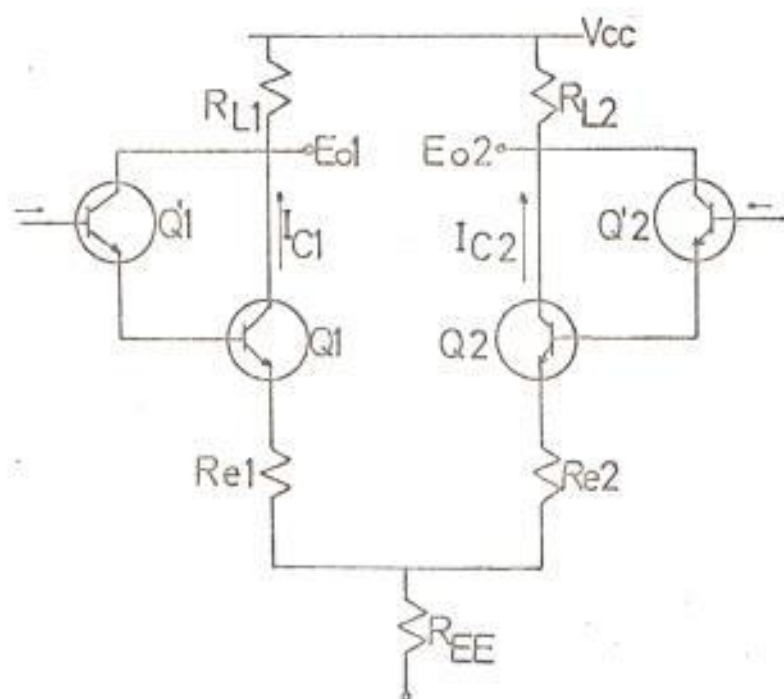


Fig. IV 12 Amplificador Diferencial Darlington de una Etapa.

En la configuración Darlington es importante que  $Q_1$  y  $Q_2$  tengan buenas ganancias de corriente, capacitancia de colector pequeña y poca fuga.

Un amplificador diferencial básico en se muestra en la siguiente figura:

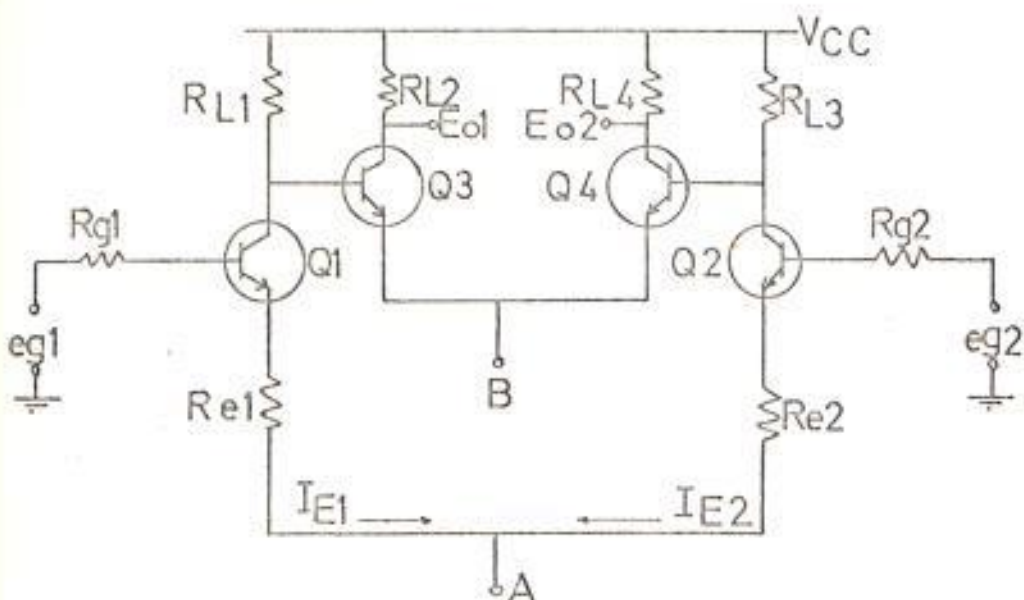


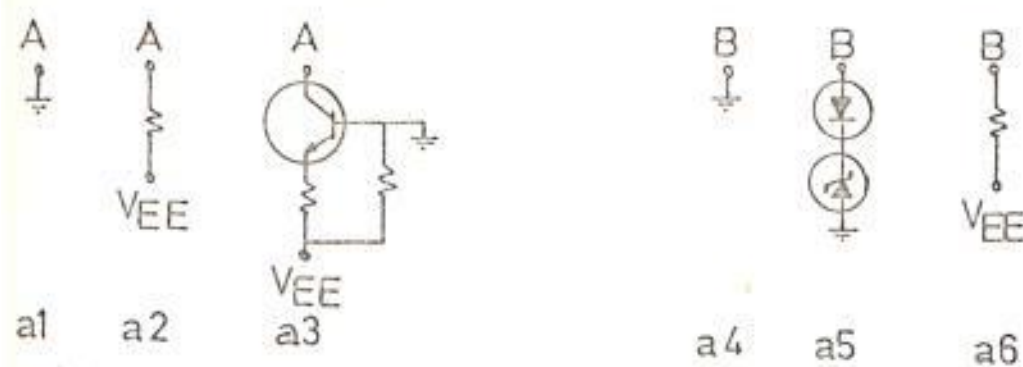
Fig. IV 13 Amplificador diferencial nra de dos etapas.

Los emisores de la primera y segunda etapa han sido regresados a los terminales A y B respectivamente, ya que existen varias maneras de configuración para los terminales A y B, tanto para el caso cuando se requiere realimentación como para cuando se usa realimentación de modo común. Ambos casos están representados en la Fig. IV 14.

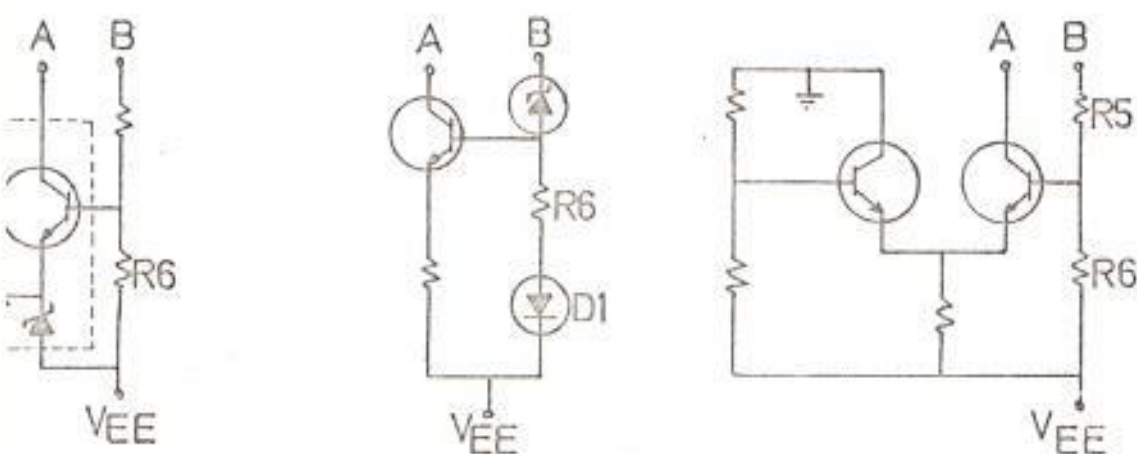
Cualquiera de las configuraciones a utilizarse para el caso que no exista realimentación, dependen de las aplicaciones del circuito tales como: la magnitud de la entrada, si existen o no señales de modo común, etc.

La ganancia diferencial del amplificador de dos etapas es:

$$A_d = \frac{V_{O1} - V_{O2}}{e_{g1} - e_{g2}} = \frac{2\beta_F \epsilon_3 R_{L3}}{R_{E1}}$$



(a) Terminales para el caso sin realimentación



(b) Terminales para realimentación de modo común

Fig. IV 14 Terminaciones para los Puntos A y B del Amplificador Diferencial de dos etapas.

cuando  $R_{e1} = R_{e2} + r_e$ , y se asume que las ganancias de corriente y resistencias en ambos lados son iguales, por ejemplo  $h_{fe3} = h_{fe4}$ ,  $R_{e1} = R_{e2}$ , etc.

Se asume también que la impedancia de entrada vista en la base de  $Q_1$  y  $Q_2$  es mayor que la impedancia de la fuente,  $R_g$ . Es posible que se obtengan ganancias de voltaje del orden de los miles, ya que existen transistores con ganancia de corriente de 100 a 400 con corrientes de 10 a 100  $\mu A$ .



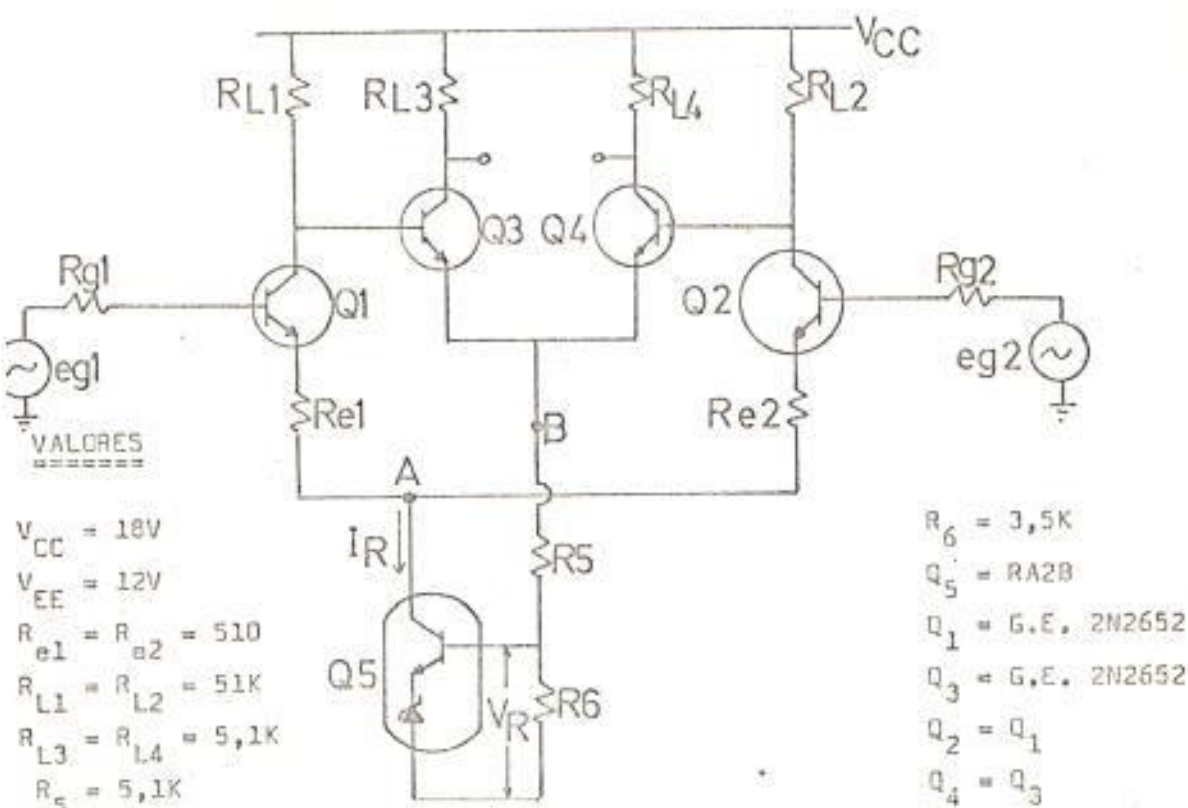


Fig. IV 15 Amplificador diferencial de dos etapas con realimentación de modo común.

El amplificador de la Fig. IV 15 presenta entre los terminales A y B un circuito de realimentación de modo común que puede reducir los desplazamientos de temperatura de los circuitos polarizados.

La caída de voltaje en  $R_5$ , debido a las corrientes de los emisores de  $Q_3$  y  $Q_4$ , es comparado con el voltaje del diodo de referencia más el del emisor base del amplificador de referencia  $Q_5$ . Este voltaje  $V_{R5}$  es extremadamente estable con la temperatura y el tiempo. El error entre  $V_{R5}$  y la caída de voltaje en  $R_5$  es convertida en corriente  $I_{R5}$  por  $Q_5$ . Esta corriente es esencialmente la corriente de colector de la primera etapa del amplificador diferencial que

2 su vez determina la corriente de emisor de Q3 y Q4.

Si utilizamos amplificadores de referencia de la serie R12, no se requiere la corriente externa  $I_2$  y las corrientes de polarización de Q1 y Q2 deben ser 250  $\mu$ A.

Por último para reducir la ganancia de modo común, sin afectar la ganancia diferencial, se puede amplificar y realimentar el voltaje existente en el terminal P. La realimentación se la hace vía R5, R6, el amplificador de referencia, Q1 y Q2 y el circuito base emisor de Q3 y Q4.

El amplificador de referencia proporciona la ganancia de circuito, ya que Q1 y Q2 en esta parte del modo base a tierra.

P A R T E V

P R U E B A S

Para la realización de las siguientes pruebas nos será indispensable un osciloscopio de doble trazo en el que visualizaremos los resultados de las operaciones del Filtro Digital.

### PRUEBAS CON OSCILOSCOPIO

**Sincronización:** Durante las primeras pruebas, en el osciloscopio no se distingulan las señales debido a la superposición provocada por la ausencia de sincronización. La sincronización se la hace buscando una señal que tenga sólo una subida durante un ciclo completo. Esa señal es la salida de la Puerta OR de dos entradas en la conexión 31-8-11. Con el Nivel de Disparo del osciloscopio se juega hasta hallar disparo; luego con la Punta de la Doble Base de Tiempo, con el External apretado dejamos el osciloscopio sincronizado, porque entra la misma señal pero por otra ruta. Para operar sacamos la punta del Canal 1, dejando lo que entra por la ruta External. También utilizaremos el botón del modo Chop. Es un dispositivo destinado a interrumpir una señal a intervalos regulares para permitir la amplificación de la misma asociada por un amplificador de C.A. Este modo proporciona los mejores resultados a barridos menores de un milisegundo/división, o cuando se usa el doble trazo. El modo Alternado puede ser usado con todos los valores de barrido, pero el Chop proporciona mejores muestras con valores de cerca de un milisegundo/división hasta cinco segundos/división. Estos valores bajos de barrido se hace difícil apreciar en el modo alternado.

La prueba en el osciloscopio se la hizo utilizando los cuatro canales. En un principio los canales 1, 2 y 3 se llamo a las salidas Q del 9913, 14 y 15 respectivamente. Se fue probando la salida de los sumadores incluyendo su Transporte y el resultado fue el siguiente:

13	14	15	$SG_1$	$TG_1$	$SG_2$	$TSG_2$	$SG_3$	$TG_3$	$SG_4$
0	0	0	0	0	0	0	1	0	1
0	0	1	1	0	0	0	1	0	1
0	1	0	0	0	1	0	0	1	0
0	1	1	1	0	1	0	0	1	0
1	0	0	1	0	0	0	1	0	1
1	0	1	0	1	1	0	0	1	0
1	1	0	1	0	0	0	1	0	0
1	1	1	0	1	0	1	1	0	0

Antes de probar los diferentes bloques del Filtro Digital, se hizo una prueba preliminar sencilla: la del Generador de Señales Binarias. Este Generador tiene la configuración de la Fig. V-1.

La prueba arrojó los siguientes resultados:

<u>Entradas</u>			<u>Salidas</u>		
$K_{15}$	$K_{14}$	$K_{13}$	$\alpha_2$		
0	0	0	1	1	0
0	0	1	1	1	1
0	1	0	0	0	0
0	1	1	0	0	1
1	0	0	1	1	1
1	0	1	0	0	0
1	1	0	0	0	1
1	1	1	0	1	0

Si efectuamos la suma de los bloques como lo indica la Fig. V-1, comprobaremos que  $\alpha_2$  está correcto para los diferentes valores de  $K_{13}$ ,  $K_{14}$  y  $K_{15}$ .

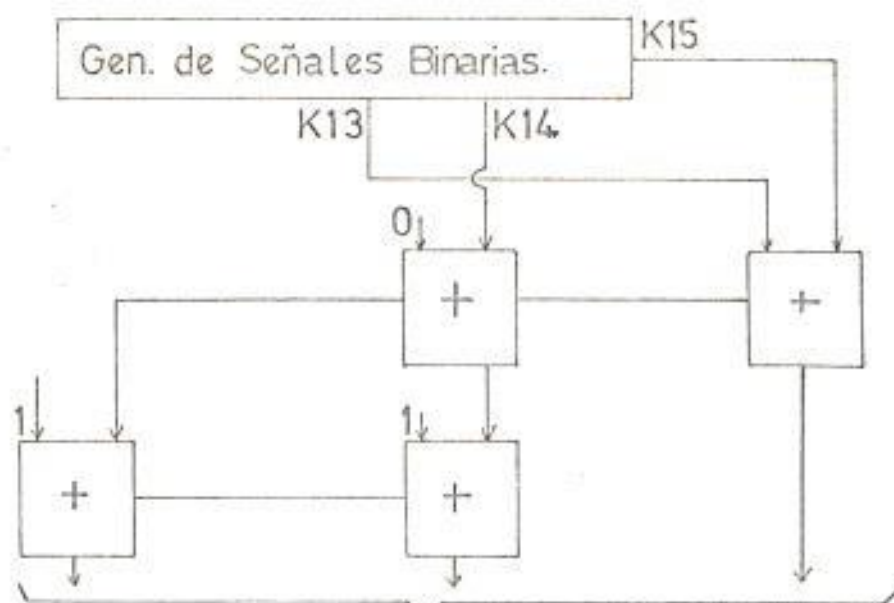


Fig. IV-1 <sup>α2</sup> Diagrama de Bloques del Generador de Señales Binarias.

Procedemos ahora a probar el bloque de 45 que consta de los sumadores  $g$ ,  $h$ ,  $m$  y  $n$  el registro 45.

### BLOQUE DE 45

Para esta prueba debemos tomar en cuenta las siguientes hechas:

- Están conectados los sumadores  $g$ ,  $h$ ,  $m$ ,  $n$ ,  $t$  y  $T$  y el Registro 45.
- La entrada  $K2/44$  son todos "1" al no estar conectados los inversores  $\bar{R}$ .

En el osciloscopio aparecerá una serie de 17 bits, por ejemplo el siguiente, para la salida del sumador  $m$ :



lo que leeremos como:

$S_{m3}$ : 11011010100001010

por lo que el eje vertical indica voltios y el horizontal, el tiempo.

Ahora bien, el número de 13 bits del bloque  $m$  se formará con el primer bit de  $S_{m1}$ , el de  $S_{m2}$ , el de  $S_{m3}$  ... etc. El segundo número será el que se forme con el segundo bit de  $S_{m1}$ ,  $S_{m2}$  ... etc. y así sucesivamente.

La primera lectura de  $K195$ , es decir todas las salidas de los sumadores  $m$ , nos da:

- $S_{m1}$ : 10001101110101101
- $S_{m2}$ : 11000000010000000
- $S_{m3}$ : 11011010100001010
- $S_{m4}$ : 10100111000000111
- $S_{m5}$ : 10011000010101111
- $S_{m6}$ : 00100000100101111
- $S_{m7}$ : 01011001000101101
- $S_{m8}$ : 01111010010100101
- $S_{m9}$ : 01110011111100101
- $S_{m10}$ : 10110101111000001
- $S_{m11}$ : 11010110111110001
- $S_{m12}$ : 01100011011111011
- $S_{m13}$ : 00111001101111100

Para el registro 95 nos da:

- 195: 00001101011000101
- 295: 01010011100000011
- 395: 00001100001010101
- 495: 01011111011010111

5<sup>15</sup>: 1000011001111110  
6<sup>15</sup>: 01111100001110101  
7<sup>15</sup>: 00111011111011011  
8<sup>15</sup>: 10110101010010000  
9<sup>15</sup>: 11000100000001011  
10<sup>15</sup>: 11010110101000011  
11<sup>15</sup>: 1111111111111111

Debido a una posible desincronización chequearemos los valores de los sumadores y los registros y obtendremos los siguientes nuevos resultados:

S<sub>m5</sub>: 0101110111111000  
S<sub>m7</sub>: 0101111001010000  
S<sub>m9</sub>: 10100101101011010  
S<sub>m11</sub>: 0110101110111110  
S<sub>m13</sub>: 0111101110111100

4<sup>15</sup>: 00101111101101011

(Aquí se nota que está corrido un bit a la izquierda, pero lo demás se encuentra en orden)

5<sup>15</sup>: 10100011010111001  
6<sup>15</sup>: 11100010000011010  
7<sup>15</sup>: 10010110000011110  
8<sup>15</sup>: 00011010101001000  
9<sup>15</sup>: 01101011011110001

Veremos ahora el valor de  $\alpha_2$ :

Sal. S<sub>G1</sub>(1): 0010000000001101  
Sal. S<sub>G2</sub>(3): 0011111111111010  
Sal. S<sub>G2</sub>(4): 0011111111111000

Veremos ahora la salida Y1 (sin redondeo):



S<sub>10</sub>: 01001100011100010  
S<sub>11</sub>: 00101110001111101  
S<sub>12</sub>: 00110101111001010  
S<sub>13</sub>: 00011000101011011  
S<sub>14</sub>: 1101111000010100  
S<sub>15</sub>: 11000110100000100  
S<sub>16</sub>: 01000110101110011  
S<sub>17</sub>: 11000100000110100  
S<sub>18</sub>: 00101100000111100  
S<sub>19</sub>: 00110101010010000  
S<sub>20</sub>: 1101011011100011  
S<sub>21</sub>: 11010110101000011  
S<sub>22</sub>: 01101011010101001

Alona 41 (redondeado):

ST1: 0001101111011011  
ST2: 00011000101011100  
ST3: 1101111000010100  
ST4: 0101111011010111  
ST5: 0000011001111101  
ST6: 0111100001110101  
ST7: 0111011111011011  
ST8: 10110001111010011  
ST9: 1101011011100011  
ST10: 0110001101111001  
ST11: 1111111111111111

Efectuemos la multiplicación RNS y comprobemos el resultado con aquel leído en el osciloscopio:

$$\begin{array}{r}
 Y_5 : 110011100,00 \\
 K_1 : \underline{1,110101} \\
 1111111001110000 \\
 111110011100000 \\
 11110011100000 \\
 111001110000 \\
 \underline{11001110000} \\
 100101001001,00110000
 \end{array}$$

Para que  $Y_5$  sea negativo es necesario que en la suma  $\alpha = K_1 Y_5 + \alpha_2$  el valor de  $\alpha_2$  sea negativo.

Después de un análisis, observamos que  $\alpha_2$  es un valor negativo complementado, por lo que  $\alpha$ , y por ende  $Y_5$ , será también un valor negativo complementado. De aquí se deduce el por qué de los "unos" a la izquierda en la multiplicación.

El resultado de la multiplicación  $K_1 Y_5$  tiene que coincidir con aquel de la salida del bloque de los trece sumadores  $m$ . El resultado leído en el osciloscopio es:

$$0001100001111$$

Este resultado no concuerda con el de la multiplicación, por lo tanto tomaremos nuevos datos. Ya que hemos mencionado el valor de  $K_1$ , nombremos de una vez el resto de las constantes:

$$\begin{array}{l}
 |K_2| = 0,11010111011 \\
 |K_3| = 1,111001001 \\
 |K_4| = 0,111011101
 \end{array}$$

Los nuevos datos de  $Y_5$  son:

$1^2_5$ : 10001000100100100  
 $2^2_5$ : 10110000100010001  
 $3^2_5$ : 000000000000111001  
 $4^2_5$ : 10110011011010101  
 $5^2_5$ : 10101101000011001  
 $6^2_5$ : 10110100111100001  
 $7^2_5$ : 00010011111111110  
 $8^2_5$ : 01110000000000000  
 $9^2_5$ : 11110000000000000  
 $10^2_5$ : 00001111111111111  
 $11^2_5$ : 11111111111111111

y los de  $m$ :

$S_{m1}$ : 10010101100010101  
 $S_{m2}$ : 10010111100111000  
 $S_{m3}$ : 10011110000011111  
 $S_{m4}$ : 11011110011010000  
 $S_{m5}$ : 11011100111000110  
 $S_{m6}$ : 11110111100000111  
 $S_{m7}$ : 00101011011101100  
 $S_{m8}$ : 11011101000001000  
 $S_{m9}$ : 11101011000001111  
 $S_{m10}$ : 10100111000001111  
 $S_{m11}$ : 01100000111100000  
 $S_{m12}$ : 11100000000000000  
 $S_{m13}$ : 00011111111111111

Efectuemos la multiplicación  $K1^2_5$ :

$^2_5$  : 101001110, 11  
 $K1$  : 1, 110101  
1111110100111011  
1111101001110110  
11101001110110  
110100111011  
10100111011  
1010111011, 11110111

El resultado a la salida de los sumadores  $m$  es:

010111011111

El resultado de la multiplicación nos da un bit adicional al diseño hecho por el Ing. Rehbein. Los dejaremos así por el momento que en lo sucesivo no moleste ese bit, para chequear el bloque de  $Y_4$  cuyos resultados son:

$1Y_4$ : 11000100010010010  
 $2Y_4$ : 11011000010001000  
 $3Y_4$ : 10000000000011100  
 $4Y_4$ : 11011001101101010  
 $5Y_4$ : 01010110100001100  
 $6Y_4$ : 11011010011110000  
 $7Y_4$ : 10001001111111111  
 $8Y_4$ : 10111000000000000  
 $9Y_4$ : 01111000000000000  
 $10Y_4$ : 00000111111111111  
 $11Y_4$ : 11111111111111111

y la salida de los sumadores  $q$ :

medición de  $V_{k2}Y_4$

$1q_1$ : 11000100010010010  
 $5q_1$ : 00011100000011010  
 $5q_2$ : 10011000000010100  
 $5q_3$ : 01011101101101100  
 $5q_4$ : 11010011011100110  
 $5q_5$ : 00001100001101000  
 $5q_6$ : 00011100111110111  
 $5q_7$ : 10111001001111001  
 $5q_8$ : 00001010001110110  
 $5q_9$ : 00010001100001100  
 $5q_{10}$ : 11101111011100110  
 $5q_{11}$ : 11100111100000101  
 $5q_{12}$ : 11011100100010111  
 $5q_{13}$ : 0011110101

Al medir el sumador  $\Sigma 7$ , se nos desincronizó en el décimo bit. De todas maneras haremos dos multiplicaciones para ver si los resultados hasta ahora obtenidos están correctos:

$$\begin{array}{r} y_4 : 1001110111 \\ \sqrt{2} : \underline{11010111011} \\ 1111111111001110111 \\ 1111111111001110111 \\ 000000000000000000 \\ 11111110011101111 \\ 1111110011101111 \\ 111110011101111 \\ 0000000000000000 \\ 11110011101111 \\ 00000000000000 \\ 110011101111 \\ \underline{1001110111} \\ 111000110101110010010101 \end{array}$$

El resultado observado en el osciloscopio es:

$$01110010010101$$

Como vemos los catorce últimos bits del resultado concuerdan con aquel de  $\sqrt{2}y_4$ , que alcanzamos a medir; sin embargo, para mayor seguridad, haremos una segunda operación:

$$\begin{array}{r} y_4 : 10100111011 \\ \sqrt{2} : \underline{11010111011} \\ 11111111110100111011 \\ 11111111110100111011 \\ 000000000000000000 \\ 11111110100111011 \\ 1111110100111011 \\ 111110100111011 \\ 0000000000000000 \\ 11110100111011 \\ 00000000000000 \\ 110100111011 \\ \underline{10100111011} \\ 11101101010111000011001 \end{array}$$

De igual manera que la anterior, concuerdan los catorce últimos bits.

Los cambios de bits intermitentes, y que se producen sin seguir una regla fija no han cesado y debemos hallar una solución. Es una falla muy difícil de localizar, por lo que tomaremos medidas mientras ésta no se produzca y tratar de descubrirla por algún golpe de suerte. Podemos también "estabilizar" la acción de los Circuitos Integrados utilizando un circuito para Conexiones de Clear.

### CIRCUITO PARA CONEXIONES DE CLEAR

El circuito es el de la Fig. IV-2.

Hagamos algunas pruebas para observar como funciona este circuito:

a) Switch en PROBAR

PARAR abierto

Se miden 4 voltios con un mínimo de 0,2.

b) Switch en FUNCIONAR

PARAR abierto

Se miden 4,2 voltios, constante en todo el ciclo.

c) Switch en PROBAR

PARAR cerrado

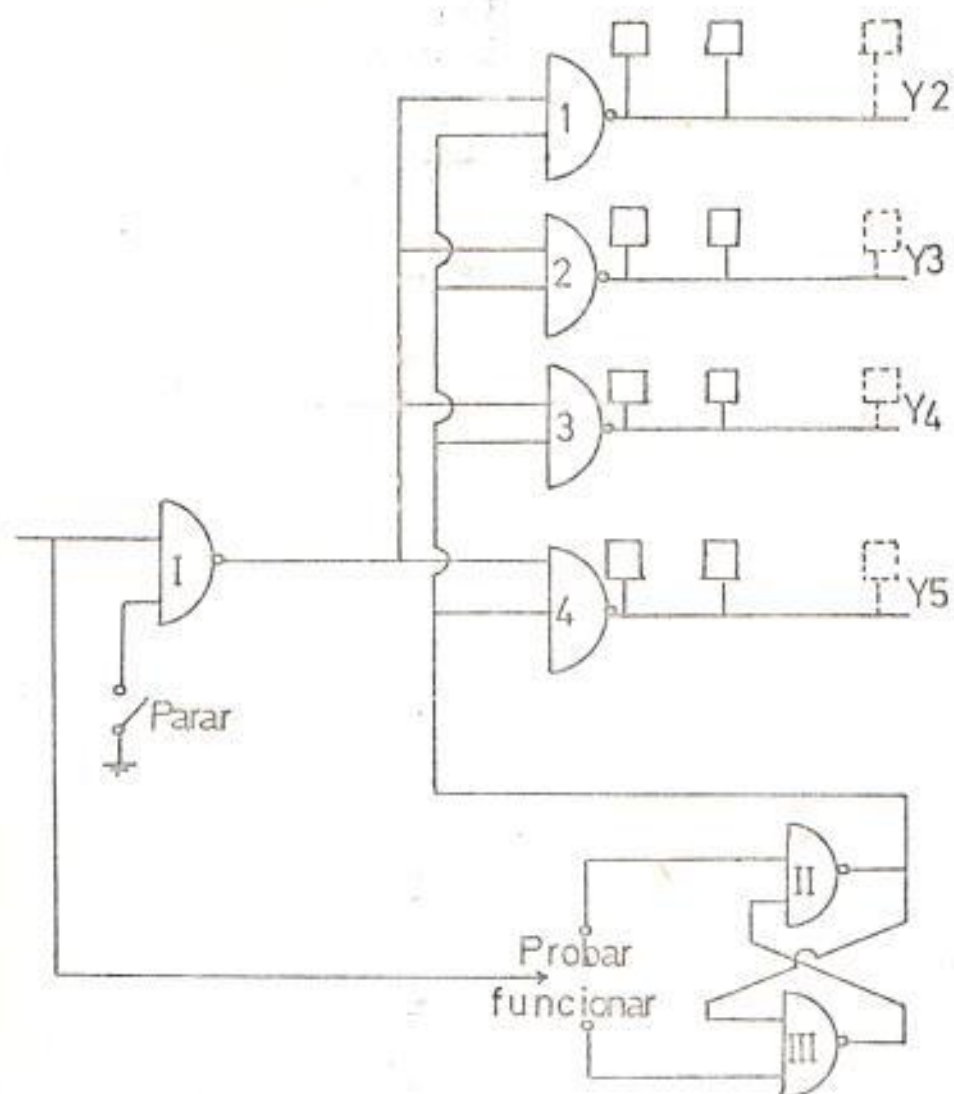
Se miden 0,1 voltios constante en todo el ciclo.

d) Switch en FUNCIONAR

PARAR cerrado

Se miden 4,2 voltios, constante en todo el tiempo.

Para trabajar con este circuito usaremos la opción d. Este circuito también se incluye en la lista de conexiones.



*Tomamos entonces nuevas medidas del registro 95.*

*195: 10001011100111001*

*295: 10010011100111000*

*395: 00100011011001011*

*Debido a fallas en el zócalo 25-F, que es el inversor N des-*

de 19 a 24, lo sacamos y encontramos que uno de los seis inversores estaba dañado. Luego de un instante, otro inversor del mismo zócalo también se dañó por lo que procedimos a cambiarlo. Tomamos nuevas medidas de 45:

145: 00000110011000011  
245: 00010110001110011  
345: 00000000101101111  
445: 00010001010010010  
545: 00011011101101010  
645: 00010001101101011  
745: 00001011001001101  
845: 00001110000001011  
945: 00011010101011001  
1045: 00010011001101101  
1145: 00011111111111111

Al tomar medidas de 145, un tiempo después de haber tomado las últimas, no obtuvimos los mismos valores; ahora pondremos en PFD-B/R y tomaremos nuevas mediciones.

De aquí en adelante intentaremos tomar medidas y chequearlas de una manera más minuciosa. La salida de los sumadores  $\Sigma$  en la Fig. III-18 se llama  $Y_1$  y responde a la siguiente ecuación:

$$Y_1 = \alpha - |K_2| Y_4 \quad (\text{Ec. V-1})$$

El valor de  $\alpha$  se toma de la salida de los sumadores  $\Sigma$  y es:

$$\alpha = K_{145} + \alpha_2$$

siendo a su vez  $\alpha_2$  la salida del generador de señales binarias, medida a la salida de los sumadores  $G_1$  y  $G_2$ .

Entonces tomemos medidas de la salida de los sumadores  $G_1$  y  $G_2$ .



22

SG1(1): 1000000000000101  
 Sal SG2(1): 111111111111101  
 Sal SG2(2): 111111111111101

Y ahora de los sumadores  $\Sigma$ :

41

Sal  $\Sigma 1$ : 00000011001100001  
 Sal  $\Sigma 2$ : 00001011000111001  
 Sal  $\Sigma 3$ : 00000011011010110  
 Sal  $\Sigma 4$ : 00000011101010001  
 Sal  $\Sigma 5$ : 00000101100101011  
 Sal  $\Sigma 6$ : 00001110010001010  
 Sal  $\Sigma 7$ : 00010101101110101  
 Sal  $\Sigma 8$ : 00001101111110011  
 Sal  $\Sigma 9$ : 00000001001100110  
 Sal  $\Sigma 10$ : 00001000111101101  
 Sal  $\Sigma 11$ : 00000011001000101  
 Sal  $\Sigma 12$ : 00001111111000011

Al tomar la medida del sumador  $\Sigma 3$ , nos dimos cuenta de la aparición de un "1" como primer valor el cual no debería aparecer. Al revisar hallamos que el inversor IA en 16-E no estaba colocado y es el que abastece las sobrecargas que da  $h_2$ .

Los nuevos valores de 195:

195: 00000000000110010  
 295: 00001101101010101  
 395: 00000010101111111  
 495: 00011100100100011  
 595: 00010101010111110  
 695: 00010101100111111  
 795: 00001110101101000

815: 0000101011100001  
915: 00011011010110011  
1015: 00010010111000010  
1115: 00011101001111011

Y los de  $\alpha_2$ :

SG1(1): 1000000000000101  
SG2(1): 111111111111101  
SG2(2): 111111111111101

Y los de  $\alpha$  son:

Sal S $\alpha$ 1: 0000000000011001  
Sal S $\alpha$ 2: 00000111001000100  
Sal S $\alpha$ 3: 00000001010100110  
Sal S $\alpha$ 4: 00001000100100010  
Sal S $\alpha$ 5: 00001101101111001  
Sal S $\alpha$ 6: 00000110110100011  
Sal S $\alpha$ 7: 00001010000101000  
Sal S $\alpha$ 8: 00000100001010010  
Sal S $\alpha$ 9: 00010111101101101  
Sal S $\alpha$ 10: 00010001010011000  
Sal S $\alpha$ 11: 00000110101000001  
Sal S $\alpha$ 12: 00000110100100100  
Sal S $\alpha$ 13: 00011011010101011  
Sal S $\alpha$ 14: 10000101011111111  
Sal S $\alpha$ 15: 1111001001000110  
Sal S $\alpha$ 16: 11101010101111100  
Sal S $\alpha$ 17: 11101011001111110  
Sal S $\alpha$ 18: 00011101011010001  
Sal S $\alpha$ 19: 00010101111000010  
Sal S $\alpha$ 20: 11110110101100110

Sal St21: 11100101110000100

Sal St22: 11111010011110111

Para comprobar los resultados obtenidos, realicemos la multiplicación K145 tomando al azar la quinta columna.

La operación es:

$$\begin{array}{r} Y5 : 101110010,10 \\ K1 : \quad \underline{1,110101} \\ 1111110111001010 \\ 111101110010100 \\ 11101110010100 \\ 110111001010 \\ 10111001010 \\ \hline 10101111101,01010010 \end{array}$$

Según la Ec. V-2, sumamos este resultado a  $\alpha_2$  para obtener  $\alpha$ :

$$\begin{array}{r} 101111101,01010010 \\ \alpha_2: \underline{111111110,} \\ 101111101,01010010 \end{array}$$

Por las dudas revisemos todas las patas de los flip-flops 1194. El primer flip-flop nos dio los siguientes resultados:

Pata D: 00011101001111011

Pata Reloj: 1 voltio

Pata Preset: 5 voltios

Pata Q: 0 voltio

Pata Q: 3,6 voltios

Clear: 

Tierra: 0 voltio

Para el segundo flip-flop:

Pata D: 00011101001111011

Pata Reloj: 1 voltio

Pata Preset: 5 voltios

Pata  $\bar{Q}$ : 0 voltio

Pata Q: 2 voltios

Clear: 

Fuente: 5 voltios

Como se observa, no hay entrada de Reloj. Al revisar encontramos que 11'44 y 11'44 no estaban conectados a su cadena de reloj. Luego de corregido el error, fijamos nuestra atención en los primeros bits de  $\bar{t}_8$  y  $\bar{t}_9$  que no deben ser "0". Al revisar paso a paso, encontramos que tres de los seis inversores JNA se encontraban dañados. Luego de reponer el  $\bar{t}_8$  tomamos nuevas medidas. Para el registro 45 nos dió los siguientes resultados:

145: 00000010101010010  
245: 00001010000111010  
345: 00000100111010111  
445: 00011001101011011  
545: 00010110000011100  
645: 00010001001010011  
745: 00001000010110100  
845: 00001100100010010  
945: 00011000101011011  
1045: 00010000110011100  
1145: 00011110111111111

Al medir la salida de los sumadores  $\bar{t}_2$  nos dió los siguientes

resultados:

$\pm 18$ : 00010000 .....  
 $\pm 19$ : 00011001 .....

es decir que la falla anterior aún persiste. (Checamos los valores de  $M_A$ , y de los sumadores  $q$ ,  $r$ ,  $e$ ,  $f$  y  $\bar{n}$  y al llegar a  $\bar{n}10$  (b), se halló que faltaba una conexión que enlace éste con el sumador  $\bar{n}11$  (b).

### BLOQUE DE $Y_4$

Procedemos a tomar nuevas medidas; la de los sumadores  $\pm$  son:

Sal S $\pm$ 1: 00000111011010010  
Sal S $\pm$ 2: 00000000000011011  
Sal S $\pm$ 3: 00000100011001111  
Sal S $\pm$ 4: 00001110000010100  
Sal S $\pm$ 5: 00001001000011001  
Sal S $\pm$ 6: 00001101011101110  
Sal S $\pm$ 7: 00001101110001001  
Sal S $\pm$ 8: 00000111100101001  
Sal S $\pm$ 9: 00011110010111000  
Sal S $\pm$ 10: 00010001001000010  
Sal S $\pm$ 11: 00001111101010100  
Sal S $\pm$ 12: 00010010000011100  
Sal S $\pm$ 13: 00000000011011111  
Sal S $\pm$ 14: 10001100001110100  
Sal S $\pm$ 15: 11110100001111111  
Sal S $\pm$ 16: 11101100001111101  
Sal S $\pm$ 17: 11110110100101001  
Sal S $\pm$ 18: 11111000110110001  
Sal S $\pm$ 19: 1111111000111110  
Sal S $\pm$ 20: 11111111110000000

Sal S<sub>21</sub>: 1111111111111111

Sal S<sub>22</sub>: 1111111111111111

Los tres valores de  $\alpha_2$  son:

Sal S<sub>91</sub>(1): 1000000000000101

Sal S<sub>92</sub>(1): 1111111111111101

Sal S<sub>92</sub>(2): 1111111111111101

Los valores de  $\gamma_5$  son:

1 $\gamma_5$ : 00001110110100100

2 $\gamma_5$ : 00000000000110111

3 $\gamma_5$ : 00000110000111010

4 $\gamma_5$ : 00011010000111111

5 $\gamma_5$ : 00010110000111110

6 $\gamma_5$ : 00011011010010100

7 $\gamma_5$ : 00011100011011000

8 $\gamma_5$ : 00011111000111111

9 $\gamma_5$ : 00011111111000000

10 $\gamma_5$ : 00011111111111111

11 $\gamma_5$ : 00011111111111111

Tomemos la quinta columna de  $\gamma_5$  y efectuemos las operaciones.  
Primero 11 $\gamma_5$ :

$\gamma_5$  : 11111010,01

K1 : 1,110101

1111111111101001

0000000000000000

111111111101001

0000000000000000

1111111101001

111111101001

11111101001

1111101001

111110101,0111101

Según la Ec. V-2,  $\alpha$  será entonces:

$$\begin{aligned} K_{145}: & \text{ 111110101,0111101} \\ \alpha_2: & \text{ 111111110} \\ \alpha: & \text{ 111110011,0111101} \end{aligned}$$

Ahora bien, la salida de  $Y_5$  va a  $Y_4$ ; por lo que debido al retraso de un bit que produce el flip-flop D,  $Y_4$  se encontrará representado en las mediciones de  $Y_5$ , en una columna antes; en este caso, la cuarta de  $Y_5$ . Efectuemos la multiplicación  $1/2|Y_4$ :

$$\begin{array}{r} \text{11111110,00} \\ \text{0,1101011011} \\ \hline \text{1111111111111000} \\ \text{1111111111111000} \\ \text{111111111110000} \\ \text{11111111111000} \\ \text{1111111111000} \\ \text{1111111110000} \\ \text{111111110000} \\ \text{1111111000} \\ \hline \text{1111110,0101000101000} \end{array}$$

Y según la Ec. V-1 el valor de  $Y_1$  será:

$$Y_1: \text{ 111110101,0010101111000}$$

Como ya lo mencionamos anteriormente,  $Y_1$  es la salida de los sumadores  $\underline{t}_2$ , por lo que este valor se encontrará representado en la quinta columna de los valores de los sumadores  $\underline{t}_2$ . Al comparar ambas respuestas nos dió correcto. De aquí en adelante obviaremos copiar toda la multiplicación. Probemos otra columna. Por ejemplo la cuarta:

El registro  $Y_5$  es:

11111110,00

y  $K_1 Y_5$  será:

111111100,01011000

La salida del Generador de señales binarias,  $\alpha_2$ , está representado por:

111111110,0

Y según la Ec. V-2,  $\alpha$  será:

111111010,01011000

Ya  $Y_4$  es cero,  $K_2 Y_4$  será también cero, y la Ec. V-1 se hace:

$$Y_1 = \alpha$$

que coincide con el valor de la cuarta columna de  $\underline{t}$ .

Estamos listos ahora para incluir una nueva comprobación: la del redondeo. La salida redondeada de los sumadores  $\underline{u}$  se dirige a  $Y_5$ , y por el flip-flop D, aparecerá un flip-flop adelantado. En este caso, la quinta columna de  $Y_5$ , el valor redondeado aparecerá en la sexta y es:

11110101,01

$Y_1$  redondeado es:

11110101,01



y la comprobación está correcta.

Proberos ahora con la sexta columna de  $Y_5$ . El valor de  $Y_5$  es:

11110101,01

y  $K1Y_5$  será:

1111101100,01011001

Si el valor de  $\alpha_2$  es:

111111110,0

según la Ec.  $\text{V}-2$ ,  $\alpha$  será:

1111101010,01011001

Si  $Y_4$  es:

11111010,01

$\sqrt{2}Y_4$  será entonces:

11111011,0010100110011

y  $Y_1$  según la Ec.  $\text{V}-1$  será:

111101111,0010111101101

que comparando con la sexta columna de  $t_2$  están correctas. Veamos el redondeo.  $Y_1$  redondeado es:

111101111,01

que comprobándolo con la séptima columna de  $Y_5$ , están correctas.

Intentemos otra prueba, la séptima columna de  $Y_5$ . Esto es:

111101111,01

$K1Y_5$  es entonces:

1111100001,01100001

$\alpha_2$  es:

111111110,0

y  $\alpha$  por la Ec. V-2:

111101111,01100001

Si  $Y_4$  es:

11110101,01

$K2Y_4$  será:

11110110,1111010010111

y según la Ec. V-1,  $Y_1$  es:

11110110,1111010010111

Que comparando con las salidas de  $t_2$  concuerdan perfectamente. Veremos el redondeo.  $Y_1$  redondeado es:

111101000,10

Y la octava columna de 45 nos da:

111101000,00

por lo que existe una falla.

Al revisar las conexiones encontramos que existía una disposición equivocada de las conexiones del sumador T1. El Transporte del primer sumador nunca llegaría a T2, y se tuvo que cambiar la posición del sumador T1. Teniendo en cuenta que desde 45 a 42 son los miseros que los últimos, los nuevos datos de 45 son:

145: 00001110100000110  
245: 00000001011111100  
345: 00000110111111111  
445: 00011010000000011  
545: 00010110000000001  
645: 00011011010101010  
745: 00011100011001100  
845: 00011111100001111  
945: 0001111111110000  
1045: 00011111111111111  
1145: 00011111111111111

Y 44 a 41 son:

44: 10001101111111101  
43: 00000000100011011  
42: 00010010011100110  
41: 00001111011101010  
40: 00010000010111001  
39: 00011110110100001  
38: 00000110110110010

$\epsilon_7$ : 00001100100011110  
 $\epsilon_6$ : 00001101001010001  
 $\epsilon_5$ : 00001001011111100  
 $\epsilon_4$ : 00001110111111100  
 $\epsilon_3$ : 00000100001111100  
 $\epsilon_2$ : 00000000101111110  
 $\epsilon_1$ : 00000111010000011

Desde ya observamos que ahora si aparece el "1" que antes falta  
ba en el redondeo.

Entonces hagamos una prueba con la novena columna de  $\epsilon_5$ . Esta  
es:

111100001,01

y  $K\epsilon_5$  es:

1111000111,11001001

Si  $\alpha_2$  es:

111111110,0

será según la Ec. II-2:

1111000101,11001001

$\epsilon_4$  es:

111101000,10

y  $1/2\epsilon_4$ :

111101100,0011101010110

Y  $Y_1$  según la Ec. V-1 es:

111011001,1000111001010

que comparado con las salidas de  $z$  nos dió correcta.

Probamos con la décima columna de  $Y_5$ . Esta es:

111011001,10

Y  $K_{195}$ :

111011001,10011110

Siendo  $\alpha_2$ :

111111110,0

$\alpha$  serb:

111011011,10011110

Y si  $Y_4$  es:

111100001,01

$\sqrt{K_2} Y_4$  serb:

111100110,0010000100111

$Y_1$  por la Ec. V-1 es entonces:

111010001,0111110011001

Redondeamos esta expresión de  $\alpha_1$ , y nos queda:

$$111010001, 10$$

que chequeando con la siguiente salida de  $\gamma_5$  nos da el resultado correcto.

### BLOQUE DE $\gamma_3$

Analizamos brevemente lo que realiza este bloque, para tomar sólo los datos necesarios del Filtro Digital y que aparecerán en el osciloscopio.

Del diagrama de bloques del Filtro Digital, Fig. III 18, obtenemos las siguientes ecuaciones para este bloque:

$$\alpha_1 = \alpha'' + K_3 \gamma_3 \quad (\text{Ec. V-3})$$

$$\alpha_7 = \alpha_1 - |K_4| \gamma_2 \quad (\text{Ec. V-4})$$

$$\alpha'' = 2\gamma_5 + \gamma_4 \quad (\text{Ec. V-5})$$

$$\gamma = \alpha_7 + \gamma_1 \quad (\text{Ec. V-6})$$

sabiendo además que la salida redondeada es de los sumadores  $U$  y se dirigen al registro  $\gamma_3$ .

Al disponernos a trabajar, se encontró una omisión en el diseño del diagrama del Filtro Digital, en la Pág. 157 de la tesis de Grado del Ing. M. Rehbein. Era que en el primer sumador  $s$  su transporte no debería ser cero, sino uno de acuerdo al siguiente análisis: los sumadores  $s$  son los que efectúan la resta  $|K_4| \gamma_2$  de  $\alpha_1$  y para hacerlo se suma el complemento a dos al número que se desea restar, el cual se obtiene sumando "1" al complemento a uno en la primera columna.

Por ejemplo restemos 0000 de 0000:

$$\begin{array}{r} \phantom{\text{complemento a "1":}} 0000 \\ \text{complemento a "1": } 1111 \\ \text{más "1"} \phantom{+} : \underline{\phantom{0000}1} \\ \phantom{\text{complemento a "1":}} 0000 \end{array}$$

número que si existía en los sumadores  $\underline{t}_2$  pero no en  $\underline{s}_2$ .

Procedemos entonces a tomar los datos. Primero del registro  $\underline{y}_3$ :

1 $\underline{y}_3$ : 0000011011111101  
2 $\underline{y}_3$ : 00000101000000010  
3 $\underline{y}_3$ : 00000110110011000  
4 $\underline{y}_3$ : 00000111010010111  
5 $\underline{y}_3$ : 00000111100110000  
6 $\underline{y}_3$ : 0000011111011010  
7 $\underline{y}_3$ : 0000011111100011  
8 $\underline{y}_3$ : 0000011111111100  
9 $\underline{y}_3$ : 0000011111111111  
10 $\underline{y}_3$ : 0000011111111111  
11 $\underline{y}_3$ : 0000011111111111

Ahora de los sumadores  $\underline{u}_2$ :

$u_1$ : 0001010111011010  
 $u_2$ : 0000100111101010  
 $u_3$ : 00010111011001111  
 $u_4$ : 00001000011110001  
 $u_5$ : 10001101100110001  
 $u_6$ : 1111101011100110  
 $u_7$ : 1111111111011010  
 $u_8$ : 11100001110001111

$u_9$ : 11110100100000100  
 $u_{10}$ : 111100101111110  
 $u_{11}$ : 1111010000000001  
 $u_{12}$ : 1111101100110001  
 $u_{13}$ : 1111110100101110  
 $u_{14}$ : 1111111001100000  
 $u_{15}$ : 111111110110101  
 $u_{16}$ : 111111111000110  
 $u_{17}$ : 11111111111000  
 $u_{18}$ : 11111111111111  
 $u_{19}$ : 11111111111111  
 $u_{20}$ : 11111111111111  
 $u_{21}$ : 11111111111111

Sabiendo que  $Y_2$  es un tiempo de bit después de  $Y_3$ , tomemos los valores de la cuarta columna para efectuar nuestra primera comprobación:

$Y_3$  es cero  
 $Y_2$  es cero  
 $K_4 Y_2$  es cero  
 $K_3 Y_3$  es cero  
 $Y_5$ : 11111110,00  
 $Z_5$ : 11111100,00  
 $Y_4$  es cero

Por lo tanto, según la Ec. V-5,  $\alpha''$  viene a ser igual a  $Z_5$ , y según la Ec. V-3,  $\alpha_1$  será igual a  $\alpha''$ ; de igual manera, por la Ec. V-4,  $\alpha_7$  es igual a  $\alpha_1$ . Sumamos este valor a  $Y_1$  sin redondeo para obtener  $Y$ :

$Y_1$ : 11111010,0101100  
 $\alpha_7$ : 11111100,00  
 $Y$ : 11111010,0101100



que chequeando con lo obtenido del Filtro Digital nos da correcto.

Una segunda prueba la realizaremos con la quinta columna:

$Y_3$  es cero  
 $Y_2$  es cero  
 $W_4 Y_2$  es cero  
 $K_3 Y_3$  es cero  
 $Y_5: 11111010, 01$   
 $Z_5: 11110100, 10$   
 $Y_4: 11111110, 00$

Según la Ec. V-5,  $\alpha''$  será:

$111110010, 10$

y ya que  $K_3 Y_3$  es cero,  $\alpha_1$  será igual a  $\alpha''$  por la Ec. V-3. Por idéntico análisis y según la Ec. V-4,  $\alpha_7$  será igual a  $\alpha_1$ .  $Y_1$  sin redondeo es:

$111110101, 0010101110$

y según la Ec. V-6,  $Y$  será:

$111100111, 1010101110$

que comparando con los datos obtenidos nos da correcto.

Haremos una tercera prueba con la séptima columna.  $K_3 Y_3$  es:

$1111111101001010, 0101$

y  $W_4 Y_2$  es:

111111111100010,0011

Según la Ec. V-5

111111111010011,11

Utilizando la Ec. V-3, obtenemos:

111111100011110,0001

Luego según la Ec. V-4,  $\alpha_7$  será:

11111100111011,1110

Y aplicando la Ec. V-6, obtenemos el valor de  $Y$  que es:

11111100100100,0100110001

Comparando este resultado de  $Y$  con el observado en el osciloscopio hemos comprobado que fallan los bits subrayados anteriormente, que corresponden a las filas de  $u_{10}$  y  $u_{11}$ .

Al tratar de sincronizar el osciloscopio vemos que es imposible hacerlo, porque la salida  $\mathcal{H}-B-11$  de la puerta NOR, variaba con mucha frecuencia. Además se encontró que desde  $Y_5$  y los sumadores  $t$  y  $T$  se observaba en sus salidas señales con diferentes pulsos en cada tiempo de bit, parecidas a la señal de reloj pero mucho más estrechas. Se decidió entonces inspeccionar al azar las salidas de varios flip-flop y sumadores, pero no se encontró nada en los Registros  $Y_5$  y  $Y_4$  y en los sumadores  $t$  y  $f$ .

Pero al llegar a los sumadores  $g_1$  y  $g_2$  se hallaron los pulsitos indeseables en la pata 12. El sumador  $g_2$  viene de  $Q_{215}$ , pero al

chequear esta pata, la 33-3-08, nos dió una salida normal. Procedimos a revisar con una lupa estas conexiones y tampoco se halló algo anormal, por lo que decidimos cambiar el cable, y se obtuvo una sincronización más estable.

Regresamos a nuestro problema de los sumadores  $u10$  y  $u11$ , pero el problema persistía, procediendo a revisar las patas correspondientes de los sumadores  $s11$  y  $s10$ , y obtuvimos:

$$\begin{aligned} s11: & a = 0 \\ & b = 0 \\ & Transp = 1 \end{aligned}$$

$$Sal = 1$$

$$\begin{aligned} s10: & a = 1 \\ & b = 0 \\ & Transp = 1 \end{aligned}$$

$$Sal = 0$$

Aquí la entrada  $a$  de  $s10$  debe ser cero, e inmediatamente nos dirigimos al sumador  $n8$  y la falla continuaba. Revisando  $i4$  y chequeando las entradas y los transportes, se llega a la conclusión de que a pesar de estar estas correctas, la salida da una respuesta no concordante. Se cambia entonces el circuito sumador ubicado en 05-C que contiene a  $i3$  e  $i4$ . El resultado es favorable pero cambian los datos de  $u$  por lo que habrá que tomarlos nuevamente.

$$u1: 00010100000111100$$

$$u2: 00001001111101000$$

$$u3: 00010111110110000$$

$$u4: 00001001111000110$$

$$u5: 10001100100110011$$

$$u6: 1111101001100101$$

$$u7: 1111110010100010$$

$$u8: 11100000001010111$$

u9: 11110101010001101  
u10: 11111010010000001  
u11: 11111001101111001  
u12: 1111100011001001  
u13: 1111110111100110  
u14: 1111111010100001  
u15: 111111100110100  
u16: 111111111000110  
u17: 111111111111001  
u18: 111111111111111  
u19: 111111111111111  
u20: 111111111111111  
u21: 111111111111111

y los valores de  $4^3$  son:

143: 0000011110000110  
243: 0000010011111100  
343: 00000110001100100  
443: 00000111011110011  
543: 00000111101010000  
643: 0000011110011010  
743: 0000011111100011  
843: 0000011111111100  
943: 0000011111111110  
1043: 0000011111111110  
1143: 0000011111111111

Con estos nuevos datos volveremos a probar con la séptima columna que era la que faltaba anteriormente. La nueva  $Y$  redondeada que se obtiene es:

1111111001

que coincide con la octava columna de  $\gamma_3$ , dando resultados correctos.

Haremos una quinta prueba con la octava columna. Los datos de  $\gamma_5$ ,  $\gamma_4$  y  $\alpha''$  son:

$$\begin{aligned}\gamma_5: & 111101000,10 \\ 2\gamma_5: & 1111010001,00 \\ \gamma_4: & 1111101111,01 \\ \alpha'' = 2\gamma_5 + \gamma_4: & 1111000000,01\end{aligned}$$

La operación de  $K\gamma_3$  nos da:

$$1111111001011000,0001$$

y la de  $K\gamma_2$  es:

$$11111110100110,1001$$

$\alpha_1$  según la Ec. V-3 es:

$$11111111000011000,0101$$

y  $\alpha_7$  según la Ec. V-4 es:

$$1111111001110001,1100$$

$\gamma_1$  sin redondeo es:

$$111111111100001,001000011$$

y según la Ec. V-6,  $\gamma$  sin redondeo es

$$1111111001010010,111000011$$

Y redondeado será entonces:

1111110011

que es el resultado correcto.

Hacemos una sexta prueba con la novena columna. La operación  $K3/3$  para esta columna es:

1111110011101100,1011

y  $K4/42$  es:

111111001011111,0101

Además obtendremos los siguientes valores:

- $45:$  111100001,01
- $2/5:$  1111000010,10
- $4/4:$  1111101000,10
- $2/5 + 4/4 = \alpha'':$  11111110101011,00
- $K3/3 + \alpha'' = \alpha_1:$  1111110010010111,1011
- $\alpha_1 - K4/42 = \alpha_7:$  111110101101000,0110
- $4/1:$  11111111011001,1000111001010
- $\alpha_7 + 4/1 = 4:$  111110101000001,1110111001010

Y redondeado será:

1111101010

que es exactamente el valor buscado.

Hagamos una séptima prueba con la décima columna. La multipli

enciclon 1313 nos da:

1111101011001011,1010

y la de 111142:

111111001111100,0111

Además tenemos los siguientes datos de  $45$ ,  $44$ ,  $\alpha''$  y  $\alpha_1$ .

$45$ : 111011001,10  
 $245$ : 1110110011,00  
 $44$ : 1111100001,01  
 $\alpha''$ : 111111110010100,01  
 $\alpha_1$ : 111110100101111,1110

y nos da:

1111111111010001,011110011

por lo que  $\alpha_7$  según la Ec. V-4

111110111100011,0111

y  $4$  según la Ec. V-6 es:

1111101110110100,111011

y redondeando ser:

11111011110

que es el resultado correcto.

Otra prueba con la onceava columna. El producto de  $K_{313}$  es:

1111101111110100,1110

El de  $W_{442}$  da:

111110101110000,0010

El valor de  $45$  es:

111010001,10

Por lo que el de  $245$  será:

110100011,00

El de  $\frac{1}{4}$  es:

1111011001,10

El de  $\alpha''$  de acuerdo a la Ec. V-5 será:

110111100,10

$\alpha_1$  según la Ec. V-3 será:

11111011101110001,0110

y el de  $\alpha_7$  según la Ec. V-4 es:

11111101000000001,0100

El de  $41$  es leído directamente:



1111111111001001,011000011111

Por lo que el de 4, según la Ec. II-6 es:

1111100111001010,101000011111

Y la 4 redondeada sería:

11111001110

El redondeo nos proporciona una respuesta correcta, pero 4 sin redondeo falla en el catorceavo bit de derecha a izquierda. Se chequeó y comprobó resultados de los siguientes sumadores:  $\bar{6}$  y 5,  $\bar{6}$  y 5,  $\bar{n}4$  y  $\bar{n}3$ ,  $\bar{a}4$  y  $\bar{a}3$ ,  $\bar{Q}4$  y 2,  $\bar{Q}3$  y 2,  $\bar{p}4$  y 3,  $\bar{d}3$  y 2 que estaban correctos, pero al llegar a la onceava columna de 45 se encontraron 3 bits cambiados en 41, seguramente mal copiados. Con esta rectificación, el resultado es correcto.

Hagamos una novena prueba con la doceava columna. El producto  $K313$  da:

11111010000101011,1110

El de  $K412$  es:

111110000001010,0110

El valor de 45 es:

111001001,10

Por lo que el de 245 es:

1110010011,0



El valor de  $Y_4$  es:

1111010001, 10

$\alpha''$  según la Ec. V-5 es:

111111101100100, 10

$\alpha_1$  según la Ec. V-3

1111001110010000, 0110

$\alpha_7$  será:

111101110000110, 0000

El valor de  $Y_1$  es:

11111111000001, 01111001110

El valor de  $Y$  sin redondear es:

1111011101000101, 01111001110

Por lo que el de  $Y$  redondeado es:

11110111010

El valor de  $Y$  redondeado está bien, pero el quinceavo bit de derecha a izquierda de la  $Y$  sin redondear está cambiado. Chequea los siguientes bits: 15 y 14, 7 y 8, 1 y 2, 12, 16; pero la falla persiste. La ausencia de una sincronización estable ha sido posible distinguir los bits en la pantalla del osciloscopio.

las cuales la añadiremos a la placa del Filtro Digital.

Solucionado este problema, trataremos de resolver ahora aquel de los cambios de bits sucesivos. Comenzaremos a chequear los registros de 45. Luego los sumadores  $\pm$  desde 1 a 22.

El  $\pm$  10 que contenía los sumadores  $\pm$  17 y 18, presentó la particularidad de un ruido sumamente visible en el osciloscopio. Chequeando en cadena hacia atrás se llegó a que el sumador  $\pm$  10 presentaba una salida de este tipo:



Se procede a cambiar el sumador y el efecto desapareció. La pata #2 del sumador reemplazado estaba doblada.

Realizamos seis chequeos finales: las columnas 11, 12, 13, 14, 15 y 16, no existiendo problemas de ninguna naturaleza por lo que damos por concluidas las pruebas.